



1. Nastudujte syntax jazyka Verilog.
2. Nakreslete logický obvod pomocí základních hradel realizující funkci danou podle předpisu:
když A je rovno 1
pak $Y = B \text{ and } C$
jinak $Y = (B \text{ xor } D) \text{ or } C$
kde A, B, C a D jsou vstupy obvodu, a Y je výstup. A, B, C, D a Y mohou nabývat hodnotu 0 nebo 1.
3. Logický obvod vytvořený v předchozím bodě popište v jazyku Verilog.
4. Vykonejte simulaci tohoto logického obvodu v prostředí Xilinx ISE.
5. Popište v jazyku Verilog logický obvod uvedený na obrázku níže a vykonejte jeho simulaci.

