

# *Hlídací a podpůrné obvody mikroprocesoru*

## NULOVÁNÍ PROCESORŮ – VLASTNOSTI A PROBLÉMY

Mikroprocesor, jako každý **sekvenční obvod**, je potřeba, po připojení k napájení, uvést do definovaného **počátečního stavu**.

To zajišťuje vstup RESET (nyní většinou log.0) nebo výstup interního obvodu POR. Procesor nesmí zahájit zpracování programu dokud:

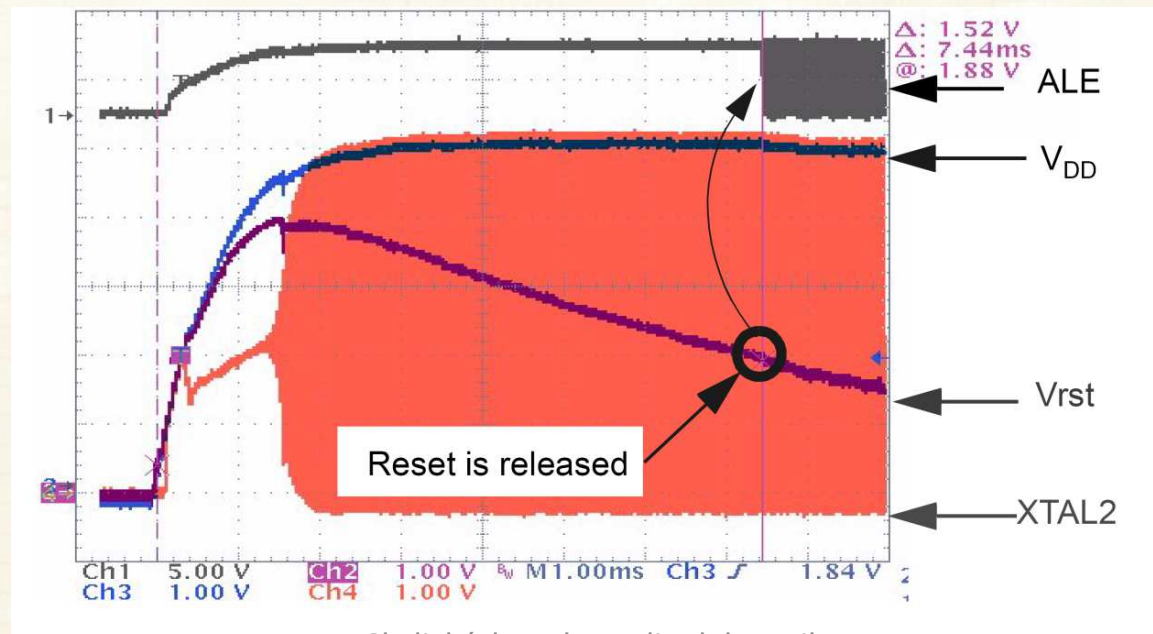
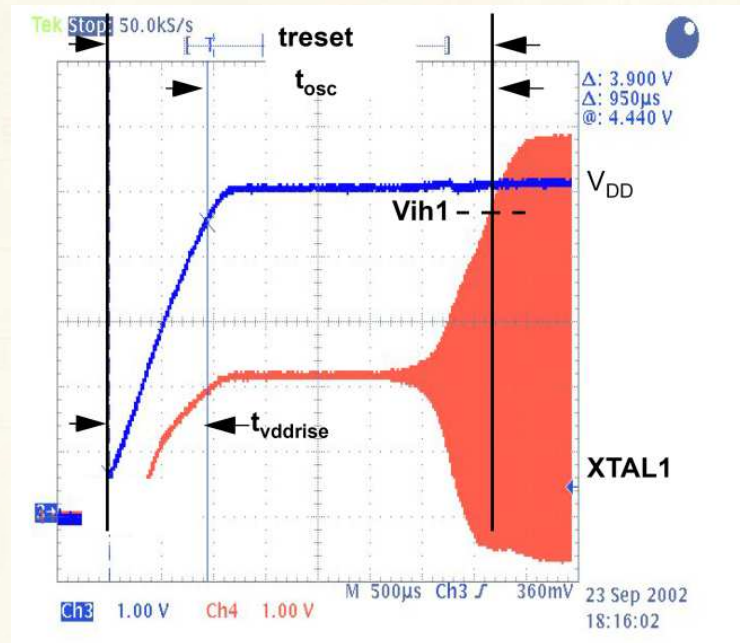
- ❖ **VCC není v intervalu stanoveném výrobcem**
- ❖ **Není stabilní činnost oscilátoru hodinového signálu.**

Nulování procesoru způsobí:

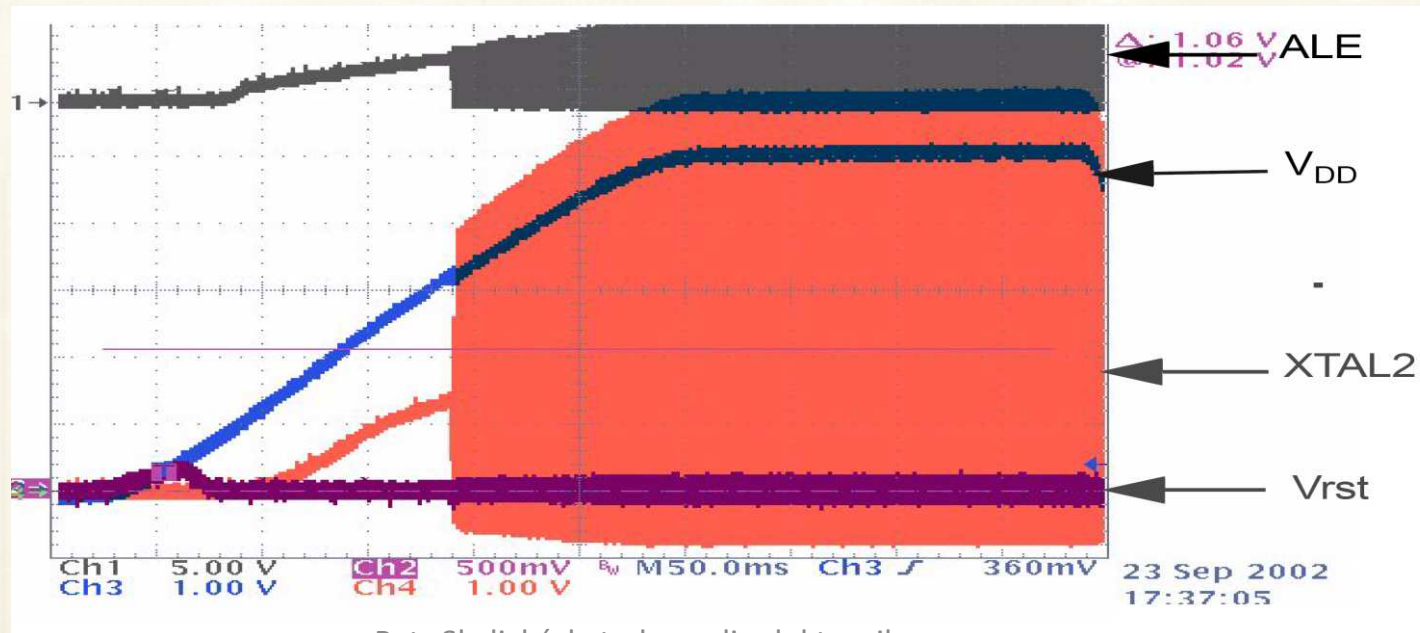
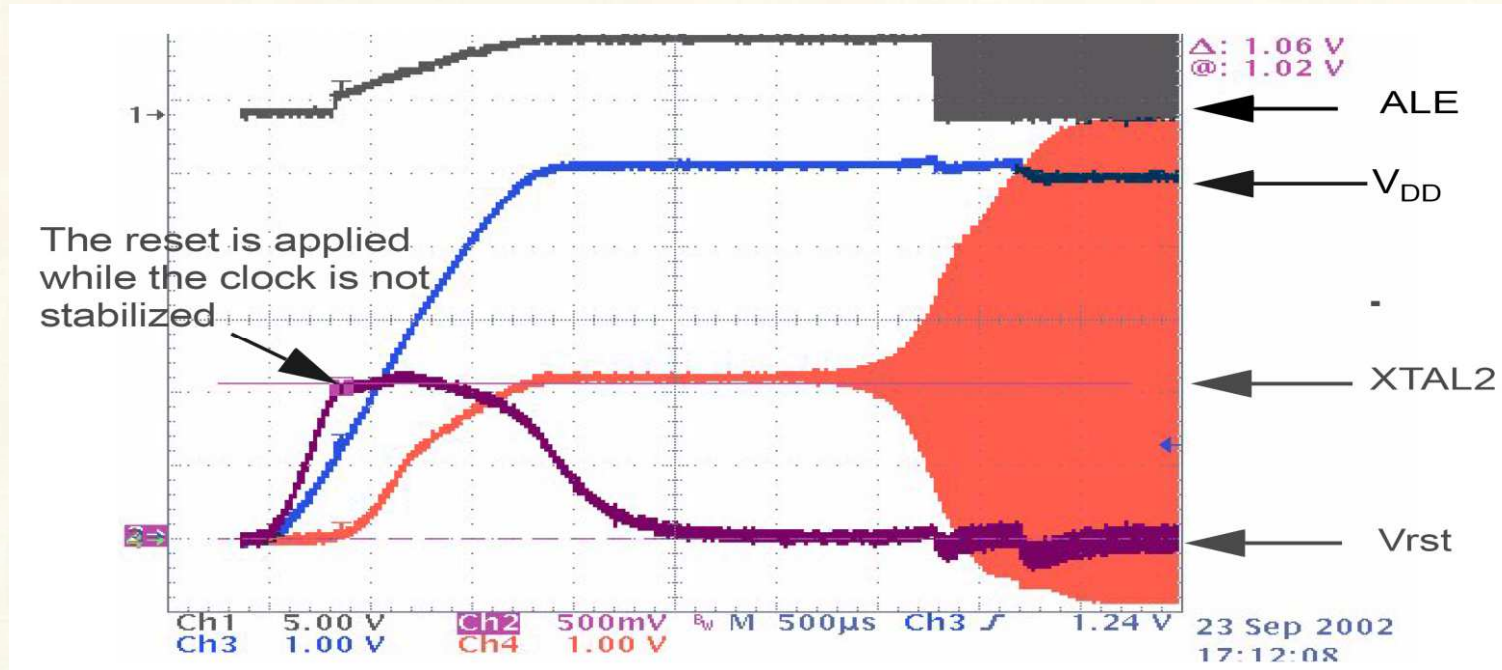
- Vynulování čítače instrukcí PC (obvykle)
- Zastavení čítačů, WDT i interních periférií
- Zakázání přerušovacího systému
- $V/V \Rightarrow$  vstup, stav Z nebo odebrání hodinového signálu  $f_{\text{hod}}$ .
- Nastavení některých registrů
- RESET nenuluje paměť !!! (startup)

**Nové  $\mu\text{P}$  obsahují obvody POR a PFD, vývod RESET je obousměrný.**

# PARAMETRY OVLIVŇUJÍCÍ START PROCESORU



# ŠPATNĚ NULOVANÝ PROCESOR





Požadavky pro start programu musí být splněny i při velmi rozdílných podmínkách

## ❖ **Teplotní rozsah**

- Civilní 0÷70°C,
- Industry -40÷85°C,
- Military -55/-40÷125°C

## ❖ **Rychlost náběhu napájení** - desítky $\mu$ s až desetiny sekundy

## ❖ **Aplikace** obsahuje systémem **zálohování dat v pamětech**

- EEPROM
- zálohované RAM
- FRAM
- Flash
- zeroRAM

## ❖ **Aplikace** využívá stavů **se sníženou spotřebou.**

Vznikla proto řada **podpůrných obvodů** zajišťující funkce:

- **Generování nulovacího signálu** – který je funkcí dvou komparátorů pracujících při velmi nízkém napájecím napětí (0,5÷1,5V) s napěťovou hysterezí (dnes obvody POR a PFD jsou integrované do procesoru).
- **Detekce poklesu napájecího napětí** – žádost o přerušeni k zahájení uložení důležitých hodnot při výpadku napájení.
- **Řízení výběrového signálu CE** – signál blokující aktivační signály pro externí zálohované paměti dat.
- **Přepínač napájení na záložní baterii** – zajišťuje přepnutí napájení procesoru nebo paměti na záložní zdroj (baterii).
- **Detekce přepětí napájení** – generuje žádost o přerušeni nebo nulování procesoru při výskytu napěťové špičky v napájecím napětí. Dnes nahrazen správným návrhem napájecího zdroje.
- **Hlídací časovač (WDT-Watch Dog Timer)**

Obvody jsou implementovány v pouzdrech:

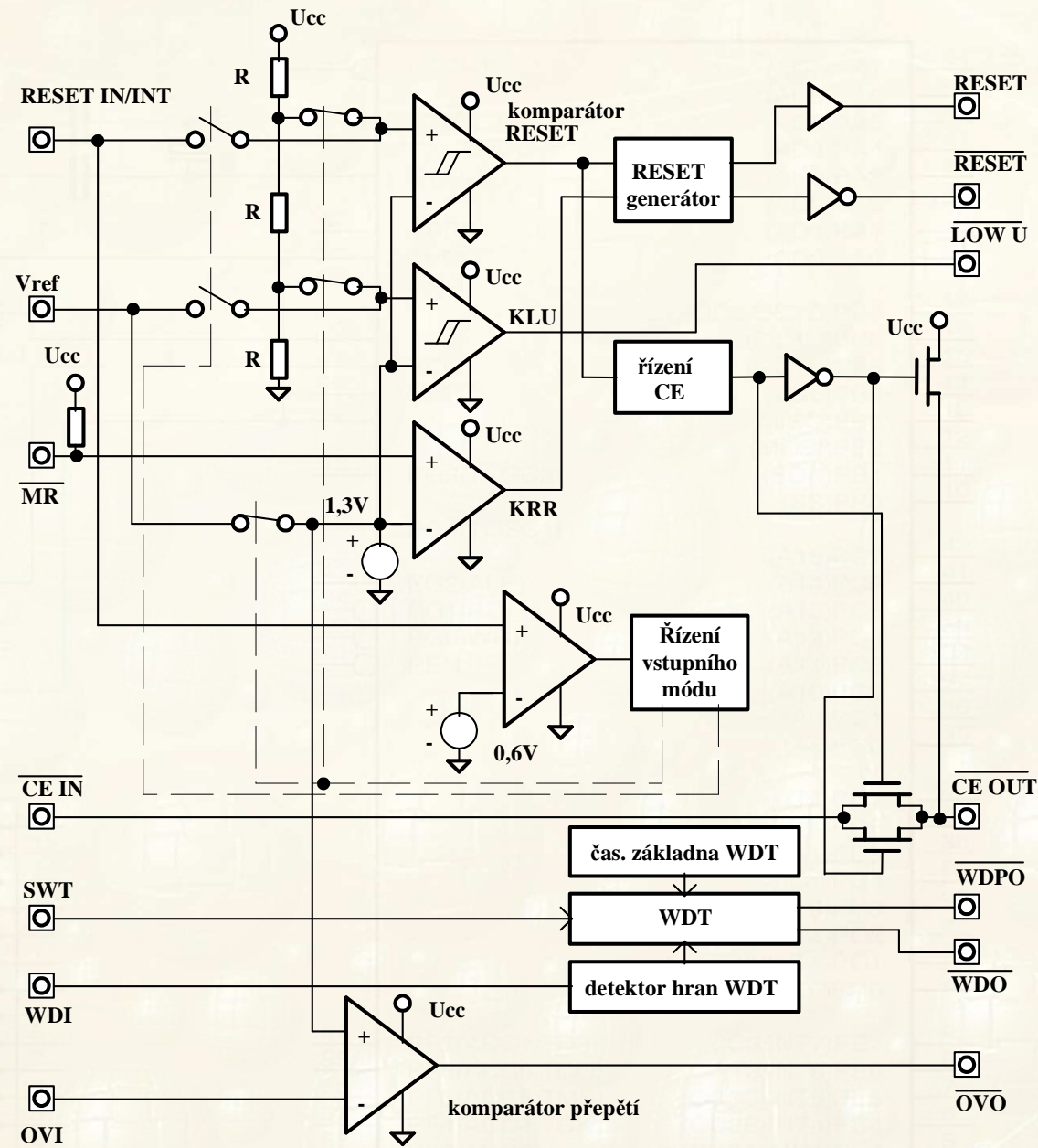
- SOT23 - Reset log.0/log.1
- 5pin SOT23 Reset a WDT (TPS382x),
- SO8/DIL8 - Reset a WDT(MAX1232, ADM1232, atd.),
- SO8/DIL8 – Reset, WDT a přepínání záložního napětí a indikátor poklesu  $V_{CC}$  (MAX690, atd.)
- SO16/DIL16 - komplexní podpůrné obvody jako je MAX792 z další stránky.

**Současný trend** – v procesorech je integrovaný **WDT** (Watchdog) jeden nebo dva, **POR** (Power On Reset) a **PFD** (Power Fail Detection). POR a PFD jsou nezbytné pro integrovanou paměť EEPROM. Obvod **POR** je realizován:

- **Pevným intervalem** (100ms–Cygnal, nebezpečné)
- **Odvozen z počtu period** vnitřního oscilátoru
  - Atmel –  $1024 \cdot f_{XTAL}$  nebo volitelný
  - Dallas (Maxim) –  $65536 \cdot f_{XTAL}$
  - ARM ??? – existuje bit indikující připravenost



# HLÍDACÍ A PODPŮRNÉ OBVODY MIKROPROCESORŮ



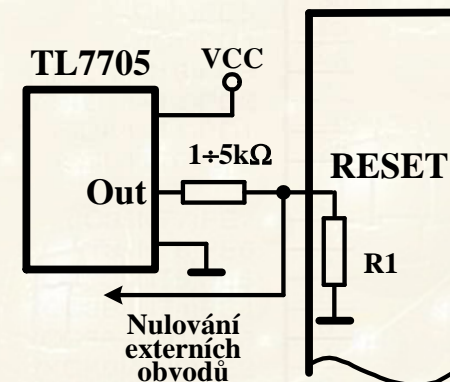
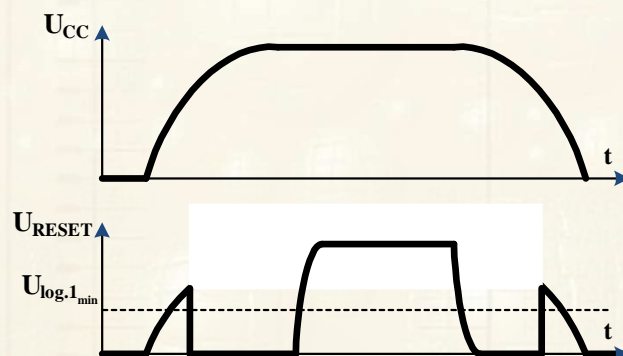
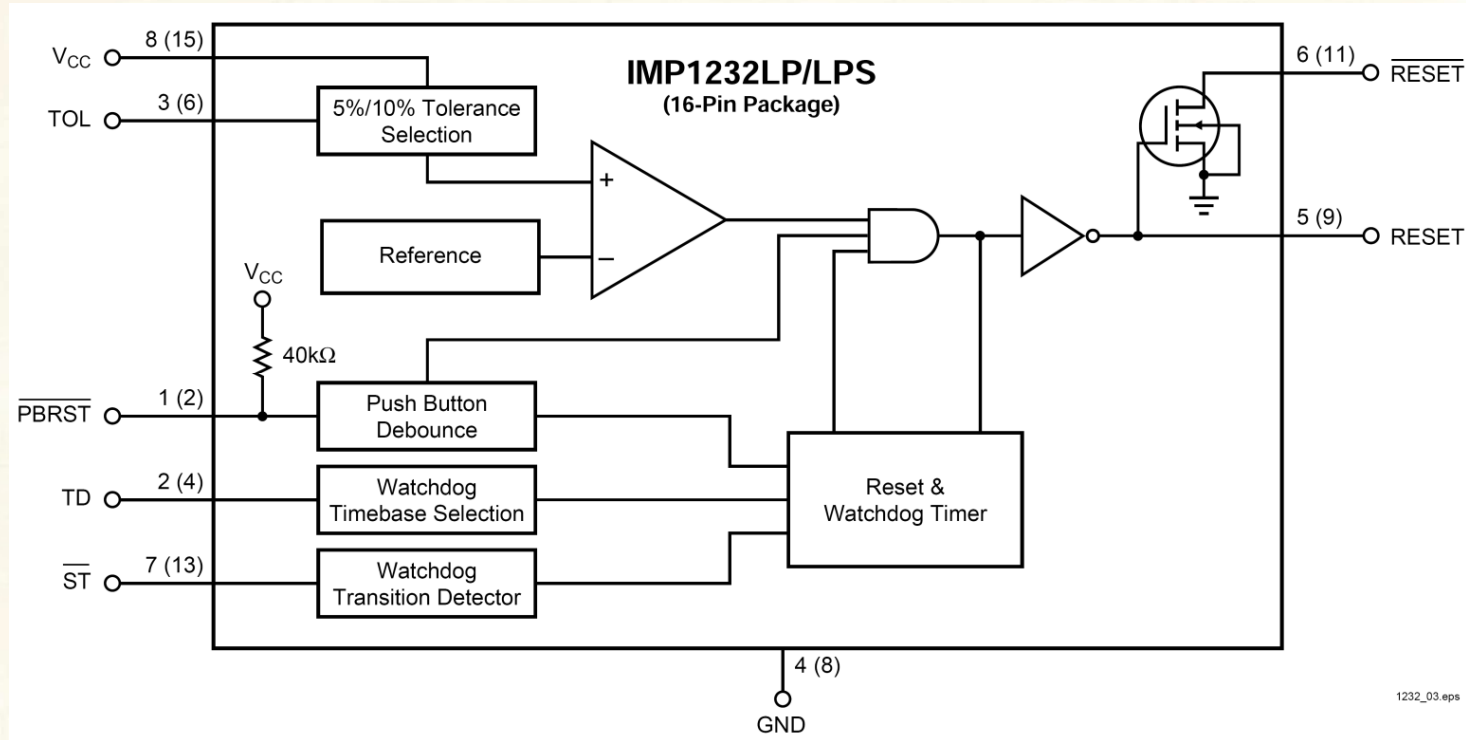
KLU - komparátor podpětí

KRR - komparátor ručního resetu



# HLÍDACÍ A PODPŮRNÉ OBVODY MIKROPROCESORŮ

- Nemá-li procesor dva WDT, potom je pro **průmyslové aplikace** vhodné připojit externí WDT (např. MAX1232, TPS3825).



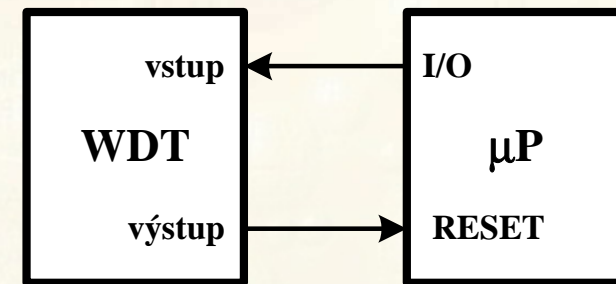
# *Interní periferie mikroprocesoru*

## INTERNÍ PERIFERIE MIKROPROCESORŮ – ČÍTAČ/ČASOVAČ

- ❖ V počátcích mikroprocesorové techniky bylo **čítání událostí a stanovení časových intervalů odvozeno pouze z délky trvání jednotlivých instrukcí** ⇒ přináší řadu úskalí.
- ❖ Vznik **nejpropracovanějšího čítače/časovače I8253/54** - čítání událostí, generování průběhů/intervalů bez účasti programu.
- ❖ Rozdíl v označení - **Čítač** – spojován s čítáním externího signálu pravidelného i nepravidelného, **Časovač** – čítá interní hodinový signál – umožňuje odměřovat intervaly.
- ❖ Další vývoj:
  - Jednodušší čítače spojené s přerušovacím systémem (Z80 CTC).
  - Kontrola programu zpracovávaného procesorem - **watchdog**
  - Posunu v jejich použití - **Aplikačně orientované obvody**
    - ❑ Komparační systém
    - ❑ Pulzně šířková modulace
    - ❑ Záchytný systém
    - ❑ Obousměrný čítač
    - ❑ Programovatelný generátor
    - ❑ PCA (Programmable Counter Array)

## WATCHDOG

- **Hlídací časovač (WDT-Watch Dog Timer)** - volně běžící čítač, který generuje **nulování procesoru, není-li včas vynulován. WDT je nezbytný u systémů bez obsluhy.**
- **Vnější watchdog** - obvod s jedním vstupem, interním RC oscilátorem a výstupem, který generuje nulovací impuls při přetečení čítače. V programu  $\mu\text{P}$  musí být zajištěno pravidelné generování impulsu pro vstup WDT. Problémy mohou nastat v módech se sníženou spotřebou.
- **Vnitřní watchdog** - integrován na čipu  $\mu\text{P}$ , synchronizovaný interním krystalovým nebo RC oscilátorem a nulovaný přesnou sekvencí instrukcí umístěných v programu. Sekvence dvou nebo tří bezprostředně po sobě následujících instrukcí snižuje výrazně pravděpodobnost vynulování watchdogu při disinterpretaci programu.
- **Aktuální trend** - použití interního i externího watchdogu nebo dvou interních watchdogů, z nichž každý má jiný zdroj kmitočtu.





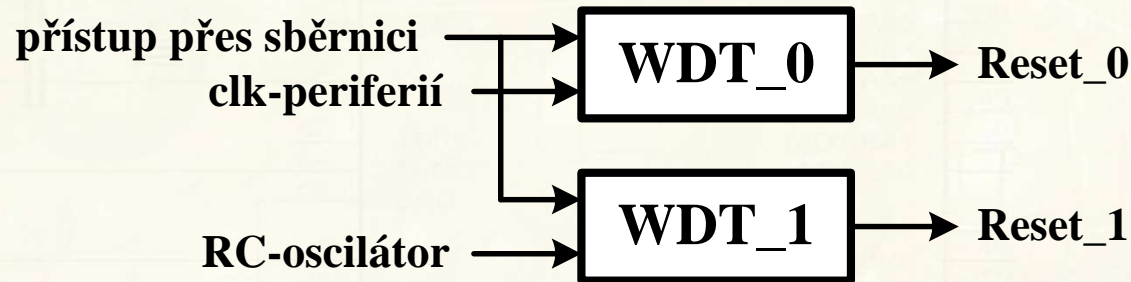
## MÓDY SE SNÍŽENOU SPOTŘEBOU

Aplikace, které mají fungovat dlouho dobu bez potřeby výměny zdroje energie, musí v procesoru využívat módy se sníženou spotřebou. U starších procesorů se setkáváme s takto označenými módy:

- ❖ **Idle mód** – činnost procesoru zastavena, oscilátor a periferie zůstávají v činnosti. Pokles spotřeby na ( $\frac{1}{2}$  až  $\frac{1}{4}$ ). Opuštění módu povolenou žádostí o přerušení některé z periférií.
- ❖ **Slow mód** – vše zůstává v činnosti na nižším hodinovém kmitočtu. Se snížením  $f_{osc}$  úměrně klesá spotřeba. **Pozor na WDT.**
- ❖ **Power-Down mód** – totální zastavení procesoru, oscilátoru i periférií  $\Rightarrow$  spotřeba klesá do řádu jednotek až desítek  $\mu A$ . Staré procesory ukončily mód vynulováním. Novější (po roce 1995) mohou být probuzeny dostatečně dlouhým impulzem na vývodu povoleného vnějšího přerušení. Problémem Power Down módu je fakt, že je potřeba rozběhnout a stabilizovat oscilátor.  $\Rightarrow$  Nelze počítat se zahájením činnosti  $\mu P$  v době kratší, než v řádu jednotek až desítek ms. Výjimečně najdeme podporu rychlejšího rozběhu.

## WATCHDOG

- **Současný směr** – integrace dvou interních watchdogů do procesoru



Problematika použití interního a externího WDT v módech se sníženou spotřebou.

Mód	Vnější WDT	Interní WDT čítající systémové hodiny
Slow	Nutno přizpůsobit jeho nulování	Nic - pro clk_periferií
Idle	μP bude pravidelně nulován	μP bude pravidelně nulován
Power Down	μP bude pravidelně nulován	Nic - pro clk_periferií

- Není potřeba CPU udržovat v chodu (např. čekání na událost).
- Je na uživateli, aby si zvolil režim pro nejlepší kompromis mezi spotřebou energie, krátkou dobou spuštění a dostupnými zdroji jeho probuzení.

## PROBLEMATIKA MÓDŮ SE SNÍŽENOU SPOTŘEBOU

Uvedení procesoru do módu se sníženou spotřebou může přinášet komplikace s obvodem **Watchdog** (externím i interním) a s připojenými **vnějšími obvody**.

- Watchdog může pravidelně procesor nulovat a tím i probouzet.
- Externí obvody mohou „vysávat“ z I/O vývodů proud.
- Aby nedocházelo k vysávání proudu externími obvody, je potřeba vývody procesoru před přechodem do nízké spotřeby nastavit do log.0.
- Samostatným problémem může být připojení externích pamětí a chování řídicích signálů v módech se sníženou spotřebou.
- U bezobslužných aplikací (např. označovací strojky v tramvajích a autobusech, poměrová měřidla, bezdrátové zámky, atd.), musí být systém vybaven obvodem watchdog.
- Zastavíme-li nebo snížíme činnost procesoru, pak musíme upravit obsluhu externího WDT nebo počítat s jeho pravidelným nulováním. Nemá-li cokoliv na práci, může být zase uveden do potřebného módu.



- Pro aplikace s extrémně nízkou spotřebou může být **nežádoucí** i konfigurace **volného vývodu do vstupního režimu** s upnutím k napájení, kdy při nulování procesoru dojde ke krátkodobému odběru. Nepoužívané vývody, pokud je to možné, je lepší ponechat neaktivované (tj. bez hodinového signálu k obvodům I/O vývodu).
- Jsou-li připojeny vnější paměti, pak musíme zajistit neaktivní stav jejich řídicích signálů.

Poznámka:

U větších procesorů ATmega je mód IDLE rozdělen na řadu dalších módů (jinak označovaných), které se od sebe liší počtem periférií, které jsou ještě v činnosti.



## MÓDY SE SNÍŽENOU SPOTŘEBOU NA PROCESORECH ARM

Procesory ARM disponují třemi módy se sníženou spotřebou:

- ❖ **Sleep mode** – Jádro Cortex®-M4 a FPU (jednotka s pohyblivou čárkou) jsou zastaveny, periferie zůstávají v činnosti.
- ❖ **Stop mode** – všechny hodinové signály jsou zastaveny.
- ❖ **Standby mode** – kdy jádro napájené 1.2 V je vypnuto

Mimo tyto módy lze spotřebu energie dále snížit jedním z následujících způsobů:

- ❖ Snížením kmitočtu hodinového signálu
- ❖ Odpojením hodinového signálu ze sběrnic APBx a AHBx k periferiím, které se nepoužívají

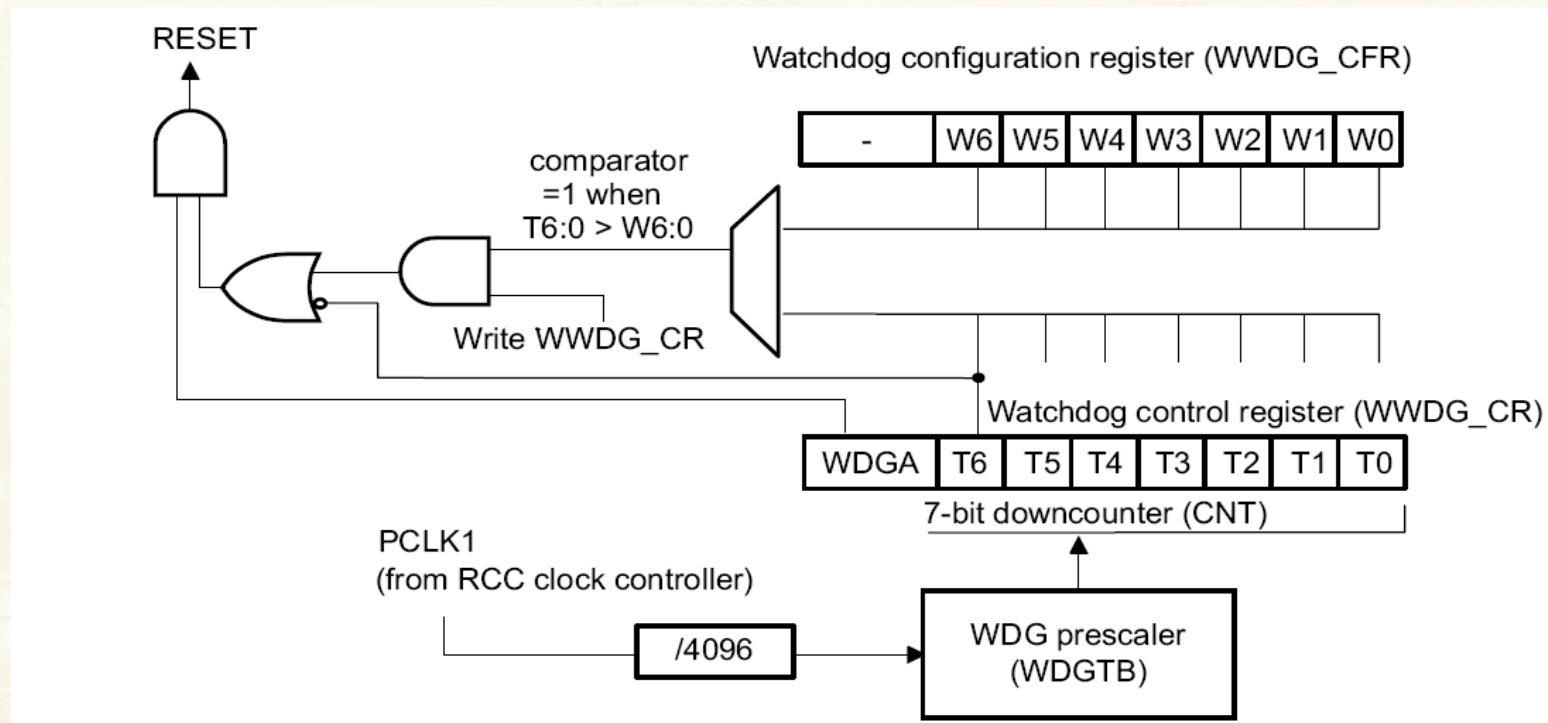
Do režimu nízké spotřeby se procesor uvede vykonáním instrukcí WFI (Wait For Interrupt) nebo WFE (Wait for Event) nebo když SLEEPONEXIT bit v registru systému řízení FPU je nastaven na Return from ISR. Vstup do režimu je podmíněn tím, že procesor není v přerušení nebo nějaká žádost čeká na vyřízení. Opouštění režimu závisí na způsobu, kterým byl aktivován.

## MÓDY SE SNÍŽENOU SPOTŘEBOU NA PROCESORECH ARM

- Byl-li procesor uveden do režimu nízké spotřeby instrukcí WFI nebo Return from ISR, pak jakékoliv přerušení periferie povolené v NVIC může procesor probudit.
- Pokud byla použita instrukce WFE, pak režim je ukončen nastane-li událost. Probouzející událost může být způsobena:
  - Povoleným přerušením v registrech EXTI\_IMR i NVIC\_ISER při SEVONPEND = 0.
  - Všemi NVIC přerušeními (i zakázanými) při SEVONPEND = 1.
  - Povolenou událostí v EXTI\_EMR.

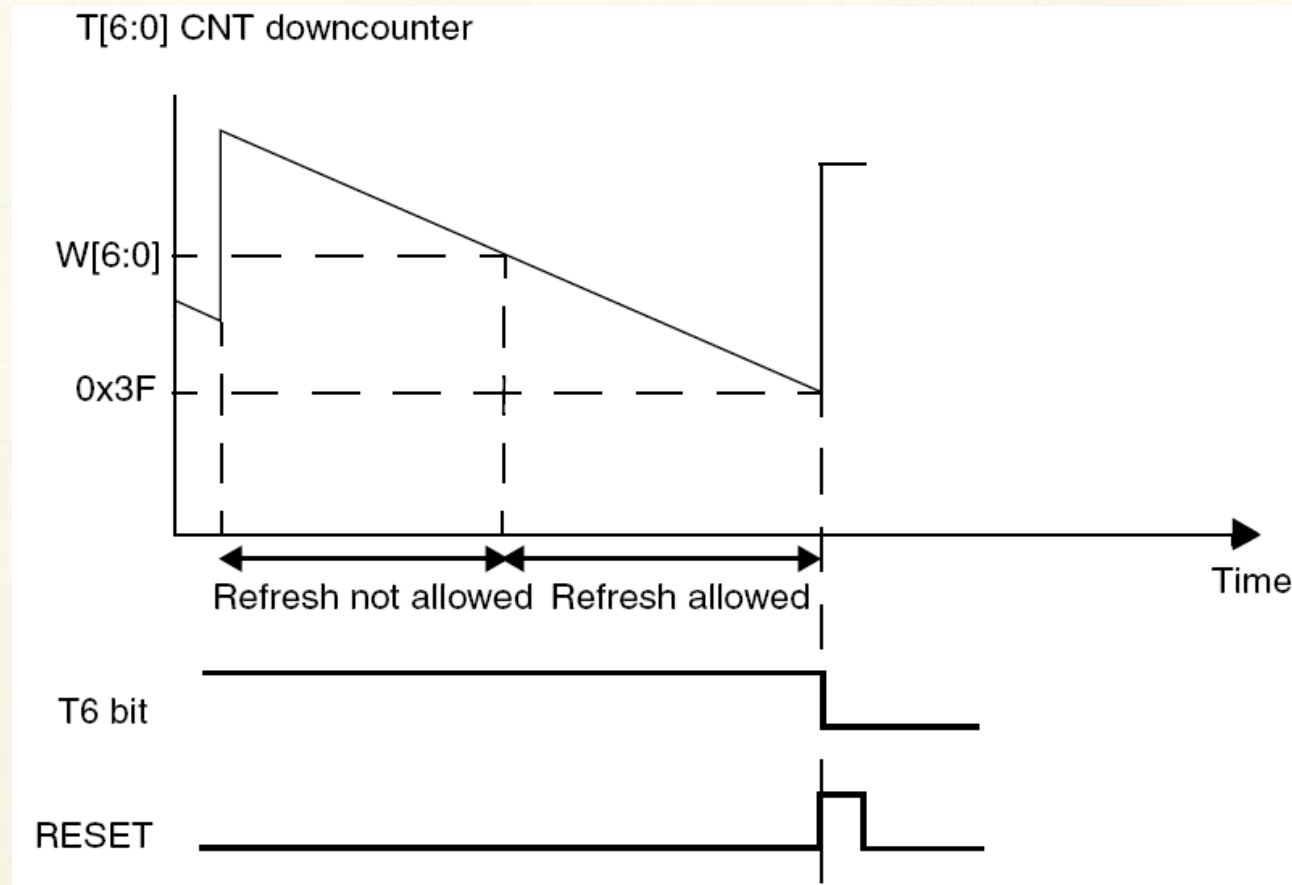
## WATCHDOG NA PROCESORU ARM ST32F401

U ST32F401 je o něco propracovanější, než u běžných jednočipových procesorů. Je tvořen dekrementujícím volně běžícím 8-bitovým čítačem WWDG\_CR, který je spuštěn nastavením nejvyššího bitu WDGA. Spuštěný WDG lze zastavit pouze nulováním procesoru. **Odlišnost** spočívá v definování okna, v kterém je možné watchdog restartovat  $(W6:0) > (T6:0)$ . Mimo okno je procesor vynulován tj.  $(W6:0) \leq (T6:0) \cup (T6=0)$ . Dále je WWDG vybaven příznakem přerušení **EWI**, které vyvolá přerušení těsně před jeho podtečením



## WATCHDOG NA PROCESORU ARM ST32F401

při hodnotě  $WWDG\_CR=0x40$ . **Na poslední chvíli** je tak umožněno restartovat čítač  $WWDG\_CR$  a případně zjistit, v které části programu dochází k jeho podtečení. Přednastavení stavu čítače se může pohybovat v rozsahu  $\langle 0xFF \div 0xC0 \rangle$ . Opakovaný zápis může být pouze do spodních 6 bitů. Zápis log.1 do 7 bitu čítače způsobí reset procesoru.





Konfigurační registr okna WWDG\_CFG se nastavuje v rozsahu  $\langle 0xFF \div 0xC0 \rangle$ . Pro běžné chování WDT je nutné nastavit okna na  $WWDG\_CFG=0xFF$ . Obsluha WDT se pohybuje

- ❖ U běžných procesorů v násobcích  $2^n$  v rozsahu  $\langle 16\text{ms} \div \text{cca } 2\text{s} \rangle$  (výjimečně  $\langle 512\mu\text{s} \div 2\text{s} \rangle$ ).
- ❖ Díky malému rozsahu předděliče WDGTB (0÷3) vyžaduje WWDG\_CR častější obsluhu s možností jemnějšího nastavení intervalu přetečení. Maximální čas je dán vztahem

$$t_{WWDG} = t_{PCLK1} \cdot 4096 \cdot 2^{WDGTB[1:0]} \cdot (T[5:0] + 1)$$

kde  $f_{CLK1}$  je kmitočet na sběrnici APB1. Pro  $APB1=24\text{MHz}$  bude rozsah potřebný pro obsluhu ležet v intervalu  $\langle 170.66\mu\text{s} \div 87,38\text{ms} \rangle$ .

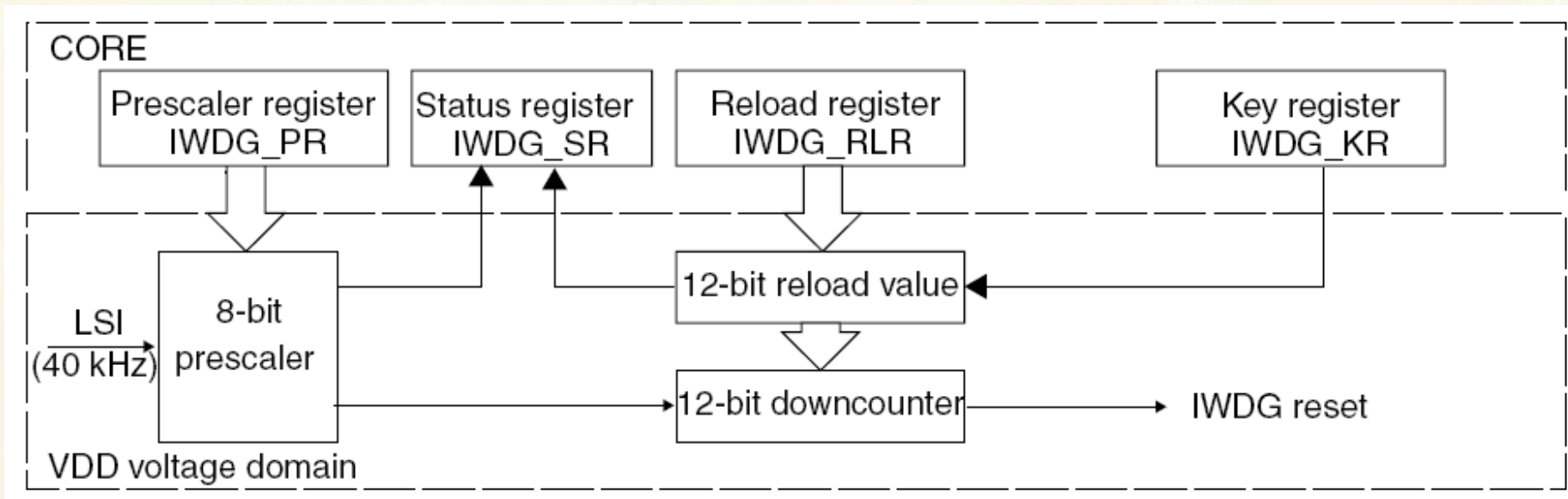
### Do kterých míst programu umístit nulování WDT?

- ❖ **Hlavní program** – různá místa podle doby trvání nekonečné smyčky
- ❖ **Podprogramy** – s dlouhou dobou výpočtu nebo čekáním (např. zápis do EEPROM softwarově obsluhovaný)

### Proč neumístit obsluhu WDT do přerušovací rutiny?

## WATCHDOG NA PROCESORU ARM ST32F401

- ❖ Druhým WDT v ARM je IWDG, řízený RC oscilátorem a chováním jako na běžných  $\mu$ P.
- ❖ IWDG je vhodný v aplikacích, kde WDT běží zcela nezávisle na hlavní aplikaci, ale má nižší přesnost časování.
- ❖ Oscilátor IWDG pracuje i v režimu Standby a v módech Stop.
- ❖ Dosáhne-li stavu 0x000 generuje reset  $\mu$ P.
- ❖ Spuštění IWDG je realizováno zápisem IWDG\_KR = 0xCCCC
- ❖ Zápisem IWDG\_KR = 0xAAAA  $\Rightarrow$  IWDR = IWDG\_RLR (restart)



## WATCHDOG NA PROCESORU ARM ST32F401

Zápis do IWDG\_PR a IWDG\_RLR registrů je umožněn zápisem hodnoty 0x5555 do IWDG\_KR (jiná hodnota=obsah chráněn). To se týká i hodnoty pro restart watchdogu 0xAAAA. Maximální čas pro obsluhu IWDG vypočteme z následujícího vztahu

$$t_{IWDG} = t_{LSI} \cdot 2^{(PR[2:0]+2)} \cdot (RL[11:0]+1)$$

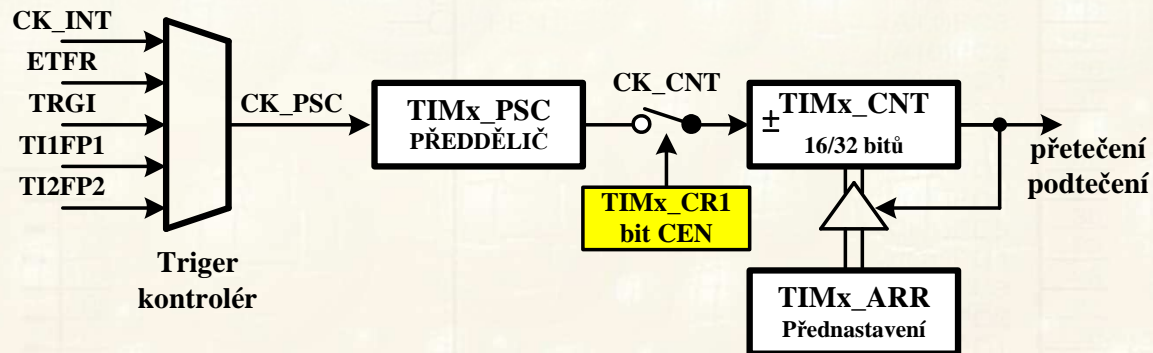
kde  $f_{LSI}$  je kmitočet RC oscilátoru (cca 32kHz). Pro tento kmitočet bude rozsah potřebný pro obsluhu watchdogu ležet v intervalu  $\langle 0,125\text{ms} \div 32,768\text{s} \rangle$ .

Pokud je v bitech procesoru vybrána varianta “Hardware watchdog”, potom watchdog IWDG je automaticky spuštěn po připojení k napájení a generuje reset pokud není prováděn zápis do registru IWDG\_KR.

## STANDARDNÍ MÓDY ČÍTAČŮ/ČASOVAČŮ

Nejjednodušší režim čítače je prosté čítání nahoru, dolů nebo obousměrné interního nebo externího signálu s pevnou nebo proměnnou horní mezí. Umožňuje čítat události, generovat časové intervaly (řízení, časová základna, RTOS). Změna intervalu:

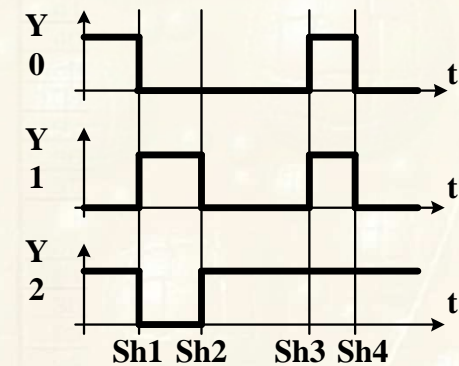
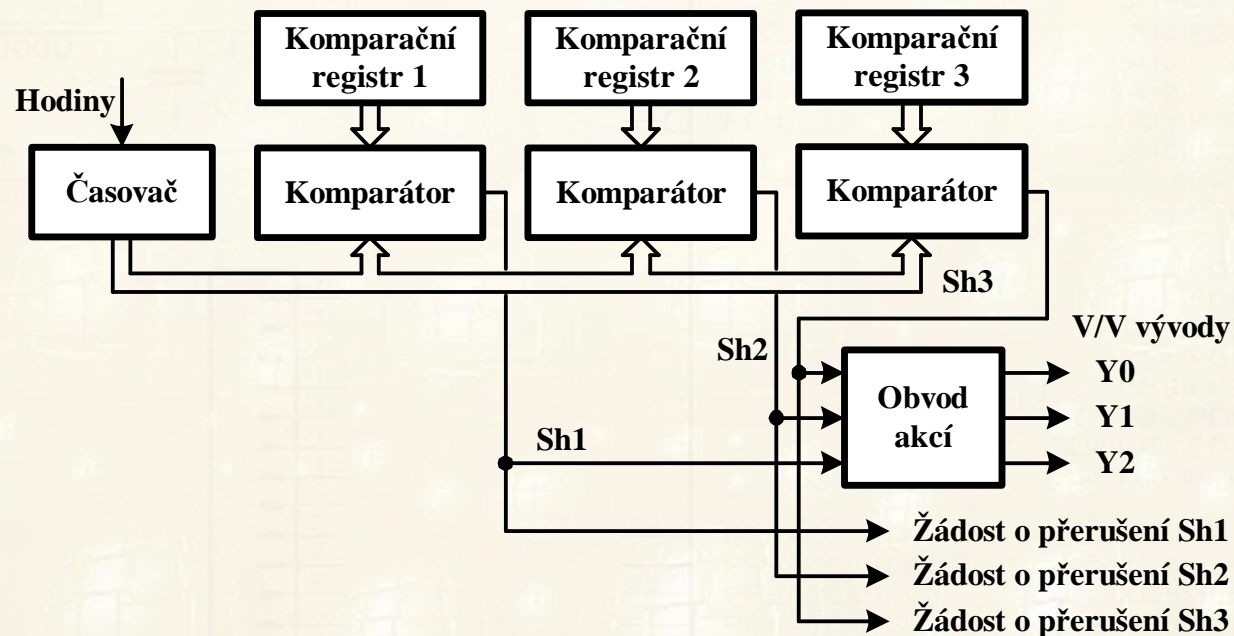
- Programovým přednastavením – problémy (ARM)
- S obvodovým přednastavením
  - Po přetečení čítače
  - Po externí události.





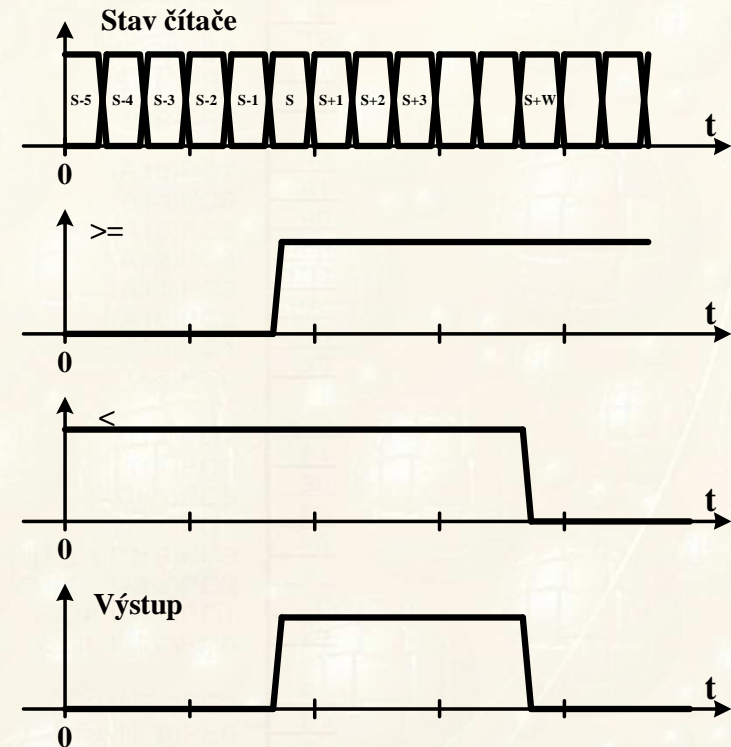
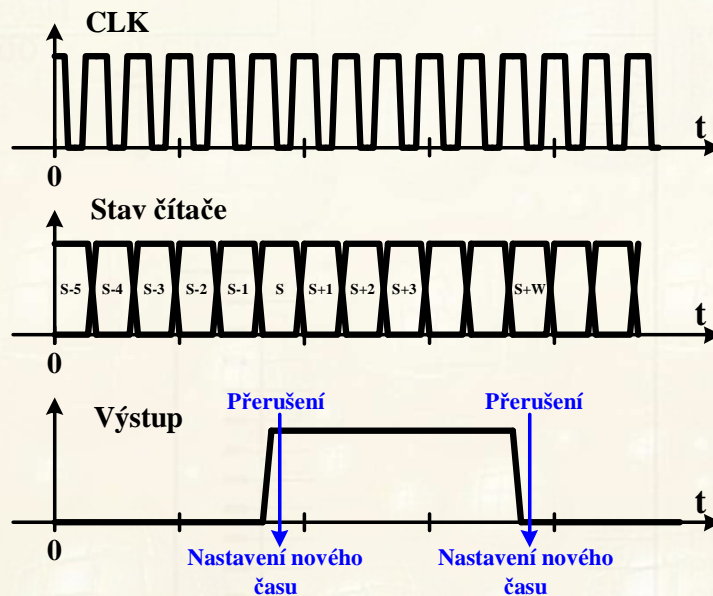
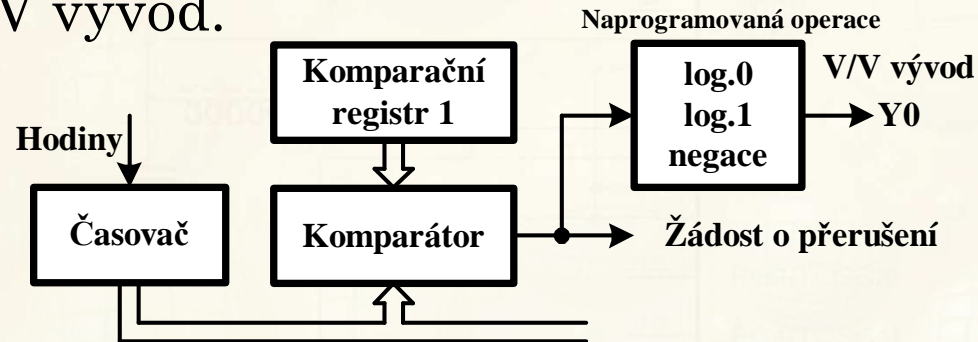
# KOMPARAČNÍ SYSTÉM

**Komparační systém** se skládá z jednoho nebo několika komparačních registrů, časovače a komparátorů, které indikují **shodu** obsahu registrů s časovačem. Systém může pracovat v konfiguraci **PWM** nebo v konfiguraci **generování řídicích signálů**. Komparátor může ovlivňovat jenom jeden V/V vývod u specializovaných procesorů celou bránu procesoru přes **obvod akcí**. Akcí na výstupních vodičích je **nastavení log.0, log.1 nebo změna stavu**.



# REALIZACE IMPULZU POMOCÍ KOMPARAČNÍHO SYSTÉMU

Jednodušší komparační systémy obsahují čítač a několik komparačních registrů a komparátorů, které při **shodě** čítače s obsahem komparačního registru **nulují, nastavují** nebo **invertují** přiřazený V/V vývod.



**Možné problémy uvedeného řešení generování impulsu, atd.**

# PULZNĚ ŠÍRKOVÁ MODULACE

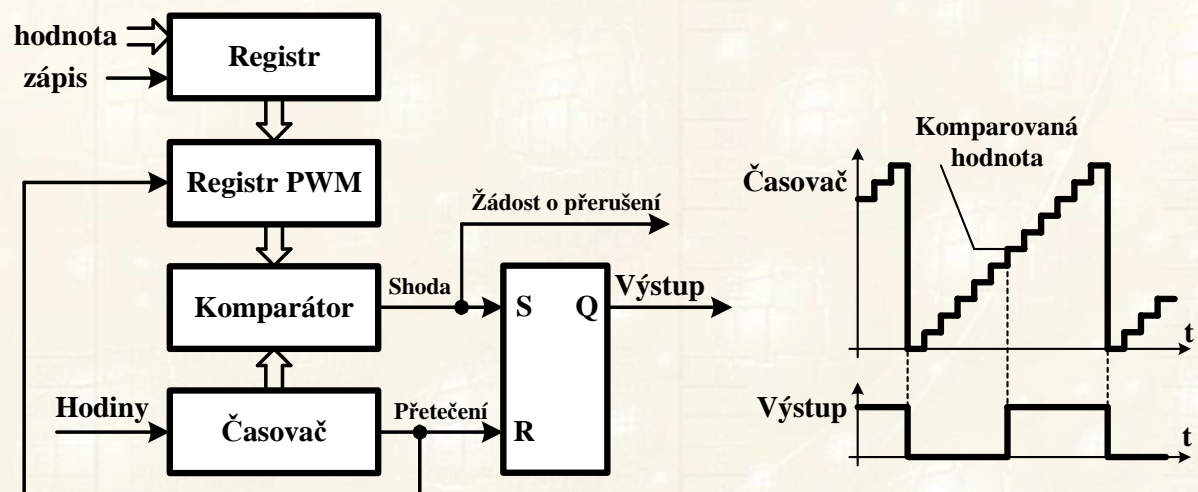
**Generátor pulzně-šířkové modulace** vychází z komparačního systému s tím, že výstup generuje impuls jehož šířka odpovídá hodnotě zapsané v registru PWM. Výstup je realizován:

- **Výstupem aritmetického komparátoru** - implementačně složitě!!!
- **Výstupem paměťového členu RS** nastavovaného výstupem **logického komparátoru** indikujícího shodu čítače a hodnoty v registru PWM a nulovaného přetečením čítače.

○ **Dvojnásobné ukládání.**

○ Zajištění krajních případů (trvale log.0 a log.1) - zkrácení cyklu např. (0 do 254).

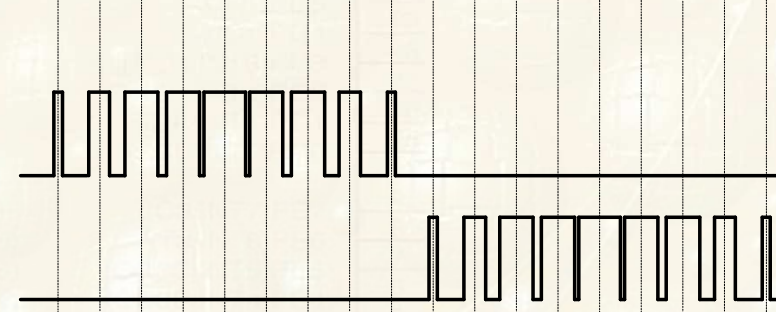
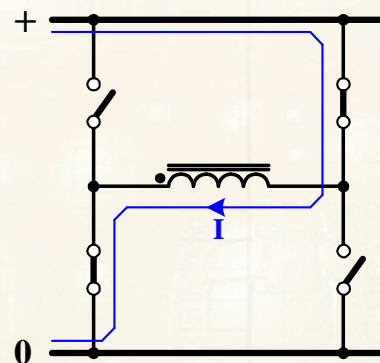
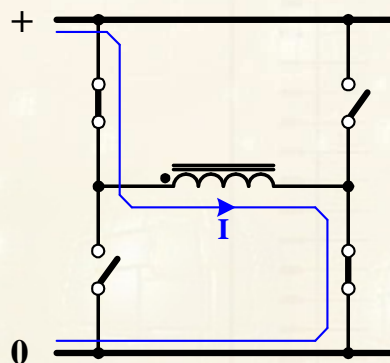
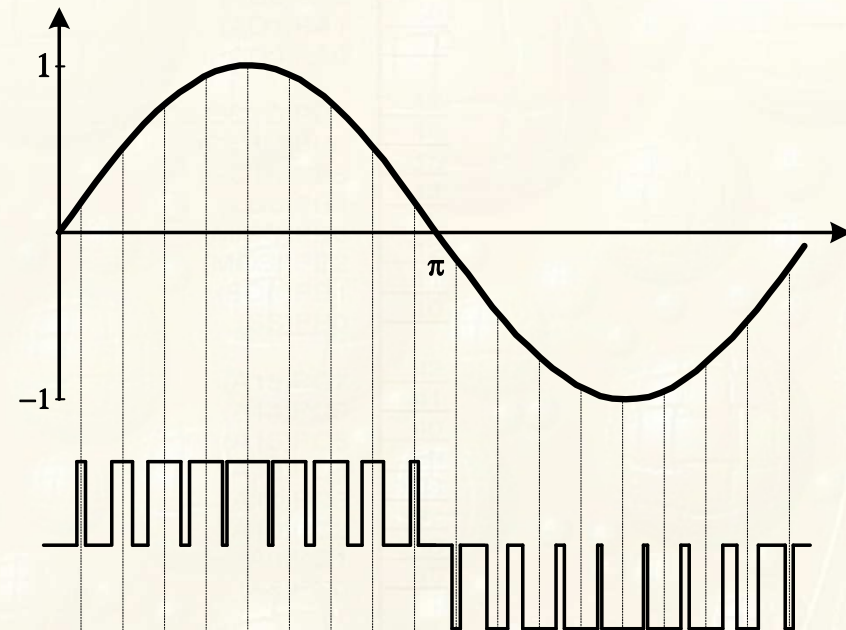
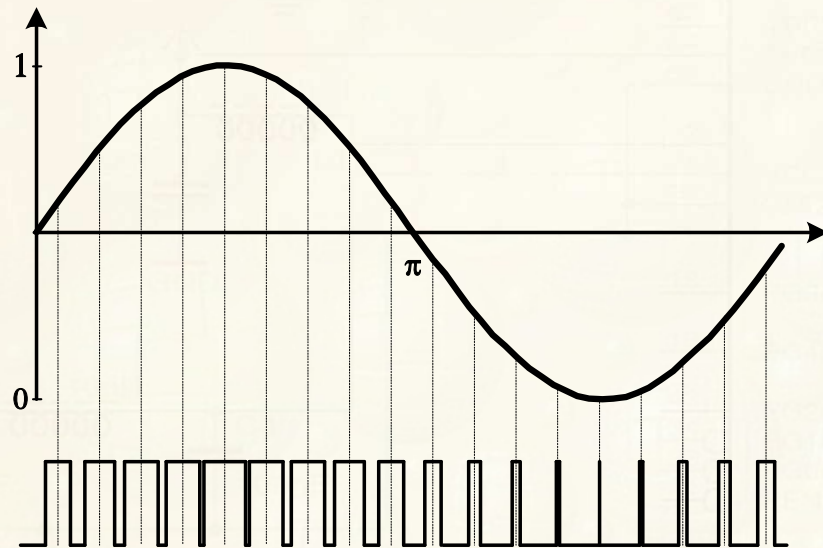
○ Použití: **jednoduchý D/A převodník**, nastavení anodového napětí u **výkonových vysílačů**, vytváření **třífázového napájení pro výkonové motory.**





# GENEROVÁNÍ HARMONICKÉHO SIGNÁLU PWM

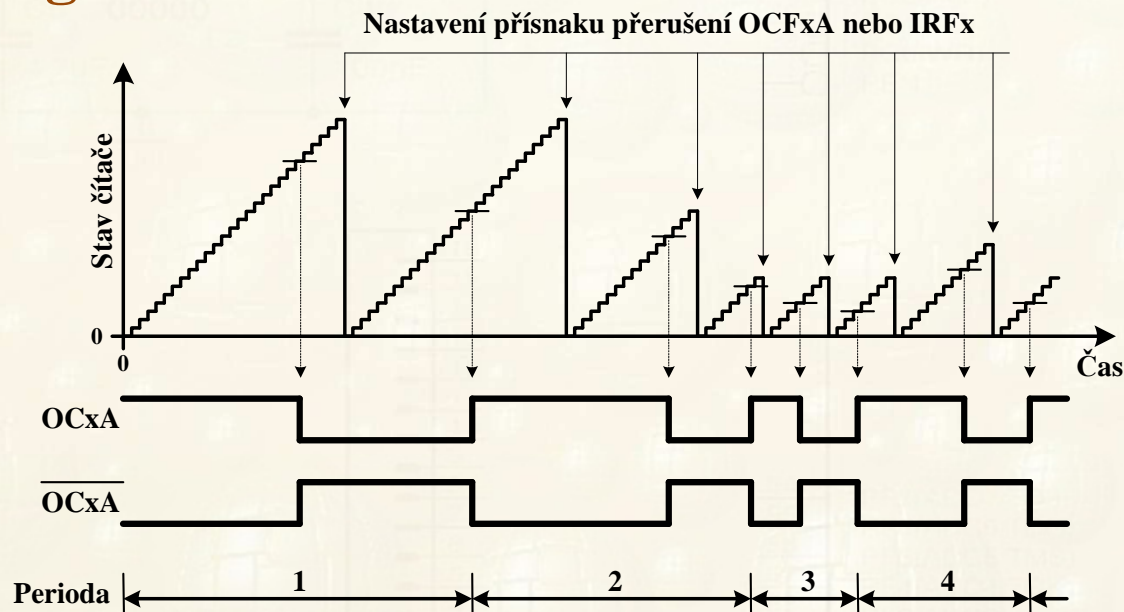
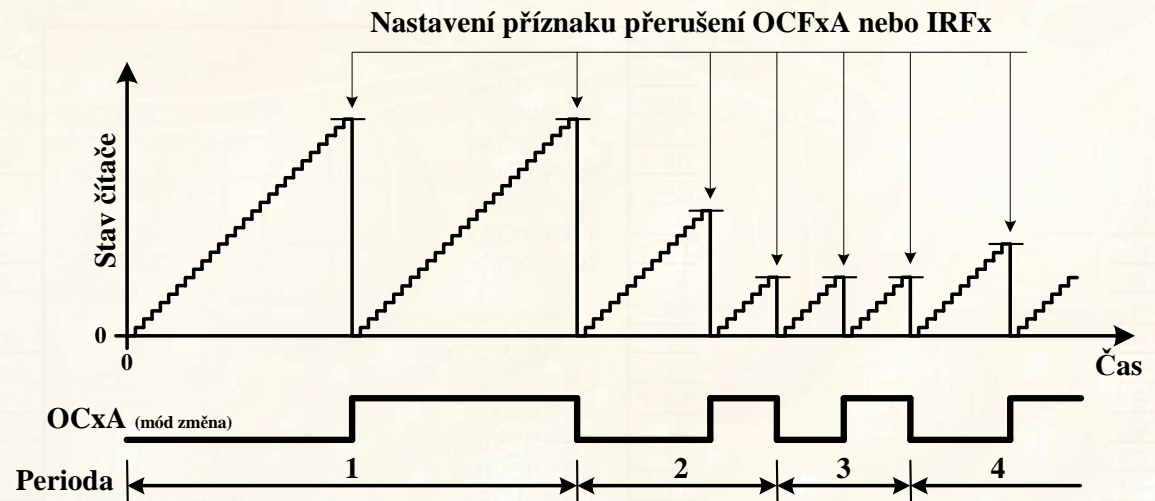
Pomocí PWM můžeme vytvořit unipolární nebo bipolární harmonický nebo jiný signál. Pro získání průběhu s únosným zkreslením je potřeba minimálně 40 period PWM do periody generovaného průběhu.





# MÓDY PWM MIKROPROCESORŮ

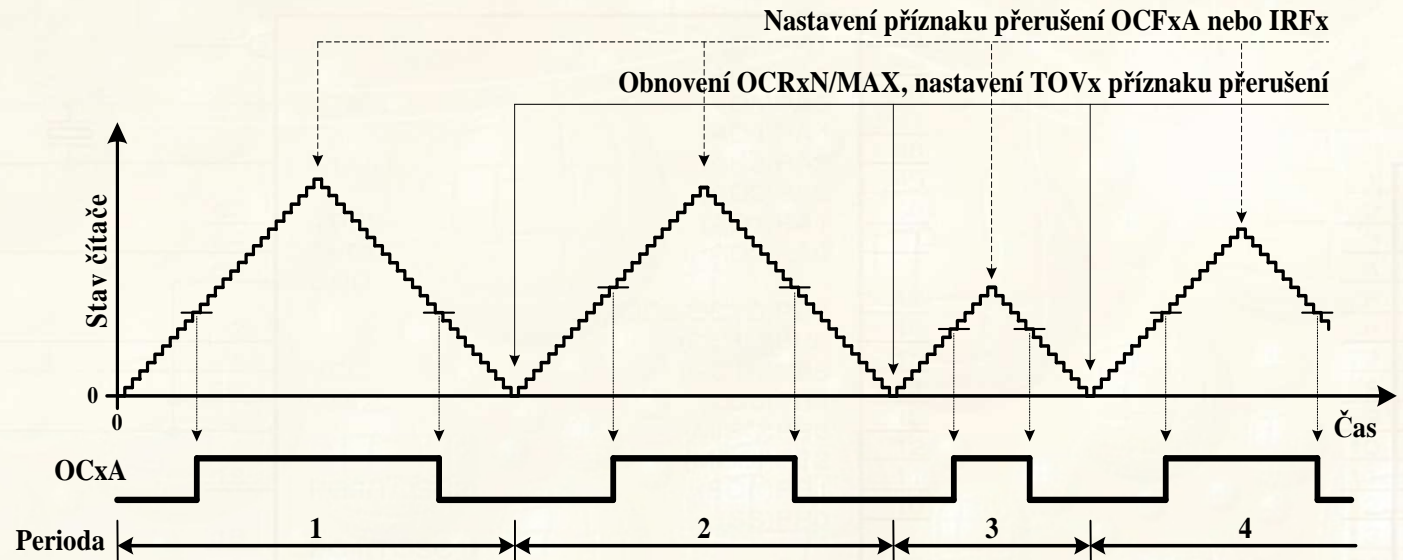
**Klasický mód** čítače s proměnou hodnotou svého maxima po jehož dosažení se nuluje. Přiřazený výstup může po každém nulování čítače změnit svůj výstupní stav  $\Rightarrow$  **programovatelný generátor.**



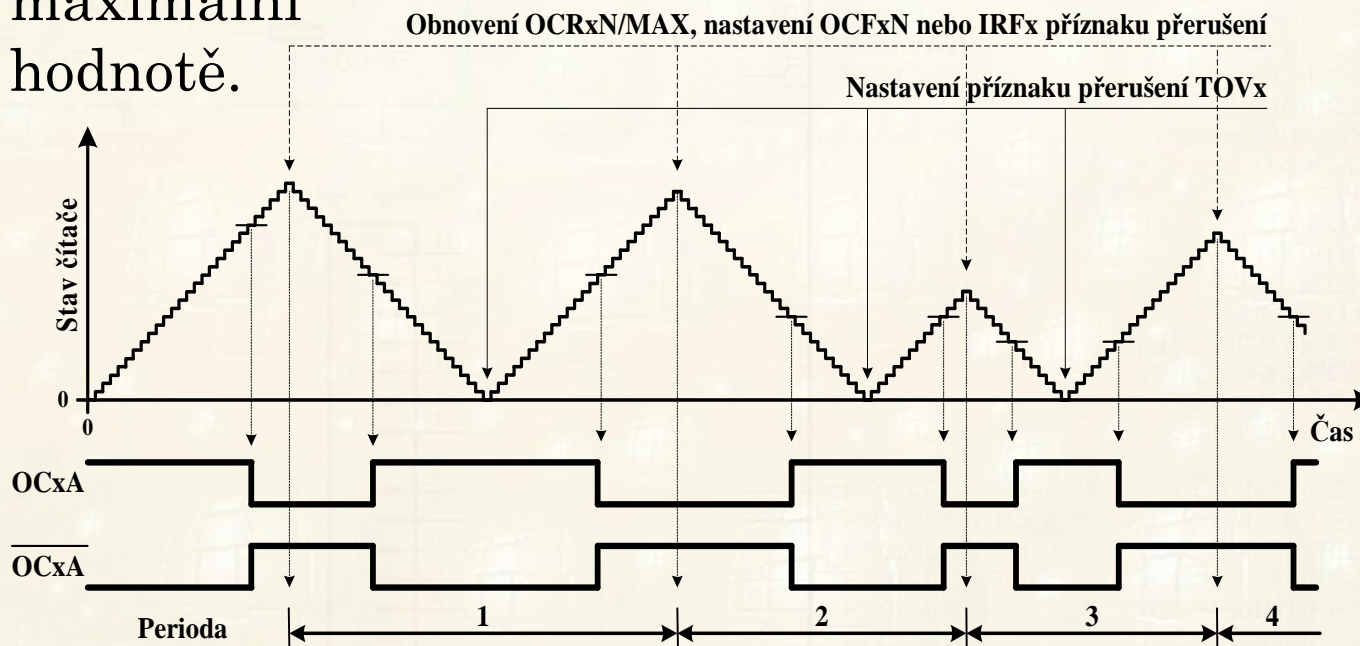
Mód **rychlé PWM** umožňuje měnit dosažitelné maximum stavu čítače. Výhodou je možnost dosažení vyšší **opakovací frekvence**. Výstup umožňuje při konstantním maximu generovat signál s proměnou střídou v závislosti na zadané hodnotě.

# PWM MÓDY MIKROPROCESORŮ

**Fázově-  
frekvenční** se využívá pro řízení střídavých motorů a DC motorů bez komutátoru. Generuje symetrický signál vůči maximální hodnotě.



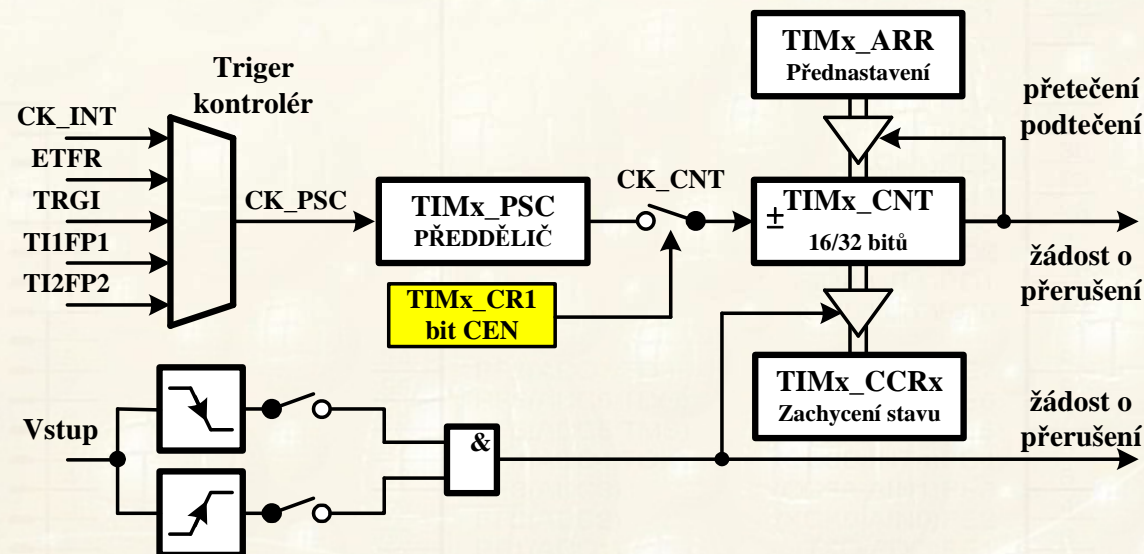
**Fázově přesný** je obdobou předcházejícího módu s tím, že perioda je určena od maxima k maximu. Ke změně výstupu dochází symetricky k průchodu nulou.



# ZÁCHYTNÝ SYSTÉM

**Záchytný systém** je další jednotkou opírajících se o funkci čítače/časovače. Základem je čítač jehož aktuální hodnota je při výskytu sestupné nebo náběžné hrany přepsána do příslušného registru. V závislosti na možnostech architektury procesoru:

- Zachycená hodnota času musí být přečtena dříve, než přijde další hrana (minimální možná měřitelná perioda nebo šířka impulzu).
- Pro zachycení sekvence rychlých hran může být registr nahrazen **FIFO** pamětí (např. Intel 80196)
- Není-li záchytný systém využíván, lze jeho vstup použít jako další **vstup vnějších žádostí o přerušeni** (8-bitové procesory).

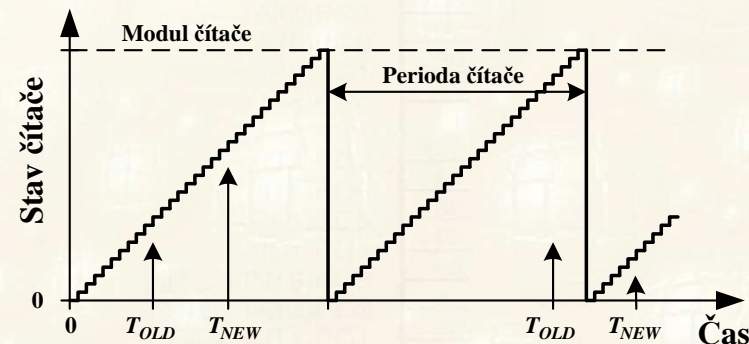
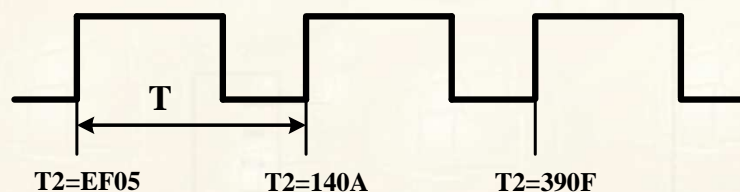




## MĚŘENÍ PERIODY NEBO ŠÍŘKY IMPULZU ZÁCHYTNÝM SYSTÉMEM

Záchytný systém umožňuje bez další podpory měřit šířky impulzů i periodu impulzního napětí. U starších procesorů, kde je více záchytných systémů spojeno s jedním čítačem:

- ❑ Je nutné realizovat průběžné odečítání časů jednotlivých hran
- ❑ Nelze čítač nulovat ani zastavovat pro zajištění činnosti ostatních jednotek.
- ❑ Čas nové hrany může mít menší hodnotu, než čas hrany předcházející.
- ❑ Měření intervalu několikrát přesahující periodu čítače může být problematické



**U ARM je možné nastavit režim, kde zachycení první hrany čítač vynuluje a zachycení druhé hrany určuje periodu nebo šířku impulzu.**



**Výpočet periody nesmí probíhat z hodnot, které mohou být ovlivněny přerušovacím systémem.** Asynchronnost  $F_x$  a  $F_{osc} \Rightarrow$  přerušení může zachycené časy **změnit**. Možné problémy:

- ✓ Zachycený čas se čte z více registrů
- ✓ Proměnná obsahující zachycený čas se převádí do BCD

Možná řešení:

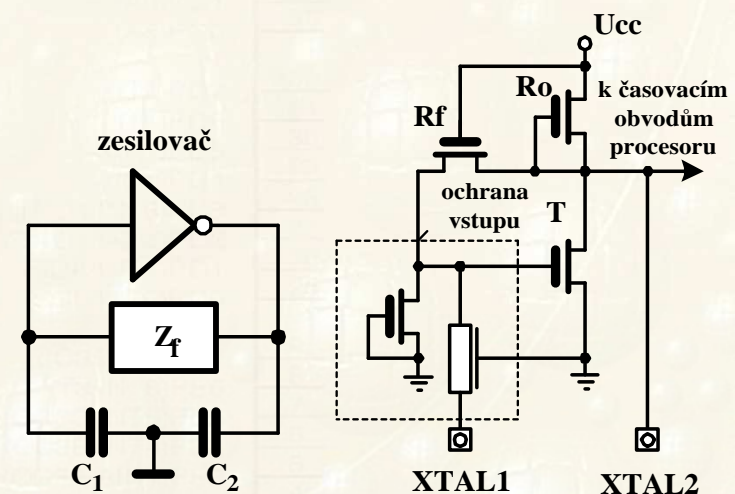
- ❑ V přerušení přepsat nový čas do starého a nově zachycený do nového. V hlavním programu zakázat přerušení a vytvořit kopie časů, povolit přerušení a zahájit výpočet z kopií.
- ❑ Po přijetí druhé hrany neukládat zachycené časy a realizovat výpočet. Problém zahájení dalšího měření.
- ❑ Po přijetí druhé hrany zakázat přerušení od daného záchytného systému a realizovat výpočet. Problém uvolnění přerušení.
- ❑ Realizovat výpočet naměřené hodnoty přímo v přerušení. Problém nejkratší měřitelné hodnoty, vynulování příznaku zachycení dalších hran.

## INTERNÍ OSCILÁTOR MIKROPROCESORU

- Zesilovač oscilátoru (přemostěné hradlo), ke kterému je externě připojován selektivní obvod.
- Kompenzovaný RC oscilátor (watchdog, kmitočtový komparátor i hlavní zdroj synchronizačního hodinového signálu).
- Kmitočtový syntezátor s fázovým závěsem PLL (krystaly s první harmonickou nebo RC oscilátory)

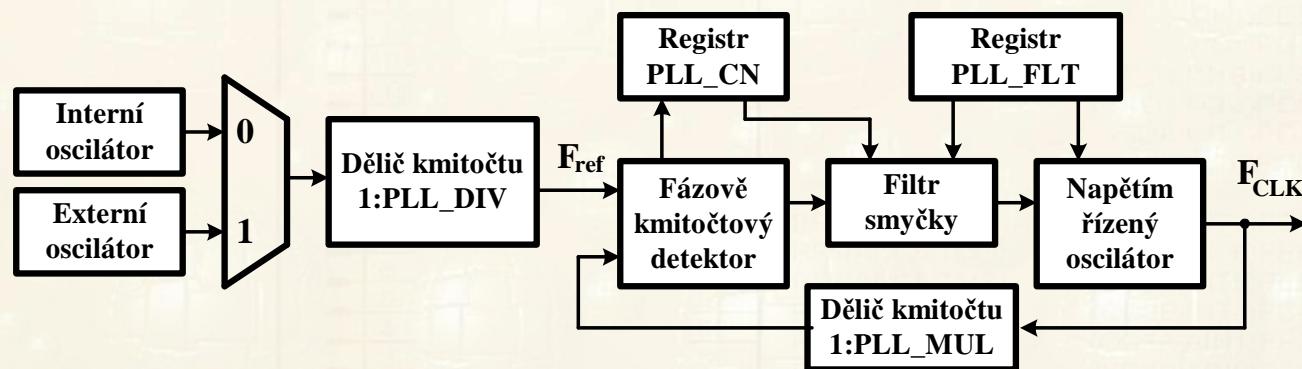
### Selektivní obvod

- Krystalový filtr – velká změna reaktance  $X_f$  při malé změně (0,03% od jmenovitého kmitočtu).
- Keramickým filtr – odchylka v rozsahu 3%
- LC, RC obvod je odchylka ještě větší
- Doplněný dvěma kapacitami 10÷40 pF.
  - ❖ Pro nižší hodnoty nasazuje oscilátor lépe oscilace
  - ❖ Při vyšších hodnotách je oscilátor stabilnější.



## INTERNÍ OSCILÁTOR MIKROPROCESORU

- Současné jednočipové procesory jsou realizovány staticky a  $f_{\text{hod}} \in (0; f_{\text{MAX}})$  ( $f_{\text{MAX}} = 40 \div 100 \text{MHz}$ ).
- K zesilovači oscilátoru připojujeme dostupné krystalové rezonátory se **základním harmonickým kmitočtem** od 36768 Hz až do 27(40)MHz.
- Pro kmitočet  $> 40 \text{MHz}$  je vhodnější externí integrovaný oscilátor (40MHz až 100MHz) jehož TTL výstup se připojuje přímo na vývod XTAL1 procesoru.
- Vyšší hodinové kmitočty jsou generovány smyčkou fázového závěsu PLL. Interní oscilátor pak pracuje v obvyklém rozmezí krystalů (5÷30MHz) a jeho hodnota je fázovým závěsem vynásobena na požadovaný kmitočet.

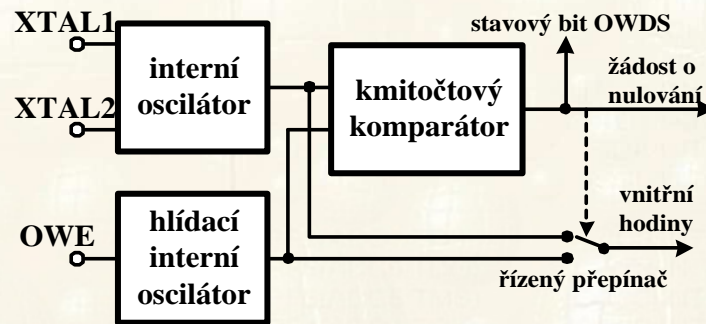


$$F_{CLK} = F_{ref} \cdot \frac{PLL\_MUL}{PLL\_DIV}$$



## INTERNÍ OSCILÁTORY MIKROPROCESORŮ

- Výpadek interního oscilátoru u **řídící aplikace v průmyslu** je velkým problémem – zastavení činnosti procesoru, periférie mohou být v aktivním stavu bez možnosti vyvolání změny takového stavu.
- Některé procesory mají na čipu integrovány jednoduché RC oscilátory, které jsou využívány jako zdroje signálu pro **hlídací časovač procesoru** nebo **hlídací obvod oscilátoru**.
- Interní RC oscilátor ve spojení s kmitočtovým komparátorem umožňuje realizaci **hlídacího obvodu interního krystalového oscilátoru**, který v průmyslové bezobslužné aplikaci identifikuje případný výpadek krystalového oscilátoru a zastoupí jeho funkci obvykle s nižším kmitočtem.



OWE - vnější signál, povolení hlídání kmitočtu oscilátoru



## INTERNÍ A/D PŘEVODNÍKY - ÚVOD

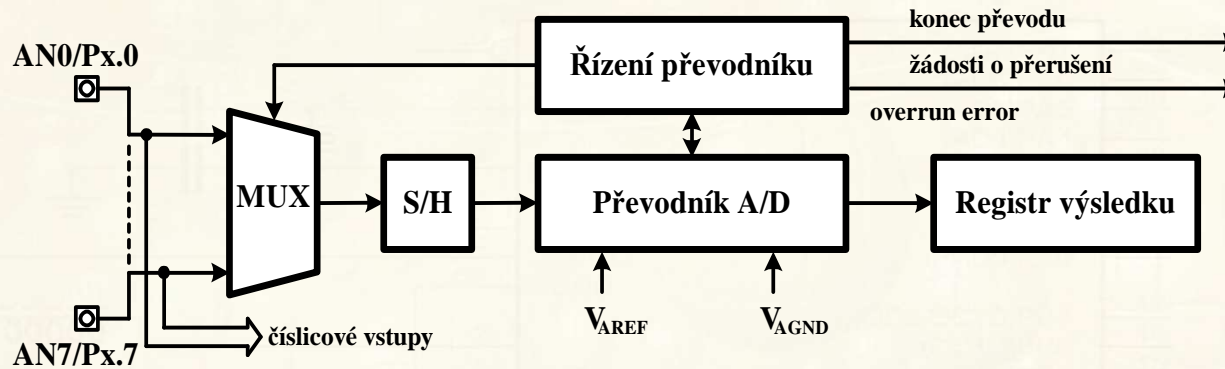
- ❖ Interní A/D a D/A převodníky – převážně u jednočipových  $\mu\text{P}$
- ❖ Jen málo signálových procesorů je vybaveno převodníky.
- ❖ K procesorům bez převodníků připojujeme A/D a D/A pomocí:
  - „kodeky“ (A/D a D/A převodník s antialiasingovým a rekonstrukčním filtrem), komunikace pomocí synchronního sériového kanálu s rámcovou synchronizací.
  - rychlé převodníky pro vzorkovací kmitočty nad 1MHz pomocí **paralelního připojení ke společné sběrnici**
  - případně s využitím FIFO pamětí a přímého přístupu do paměti (DMA)
  - v pásmu nad 20÷50MHz jsou převodníky propojeny s výkonným programovatelným logickým polem (FPGA), v kterých je realizováno předzpracování signálu (filtrace a decimace) na signál s rozumným vzorkovacím kmitočtem.
  - V případě osobních počítačů se výhradně využívají zásuvné karty s A/D nebo D/A převodníky pro příslušné rozhraní.

## INTERNÍ A/D PŘEVODNÍKY - ÚVOD

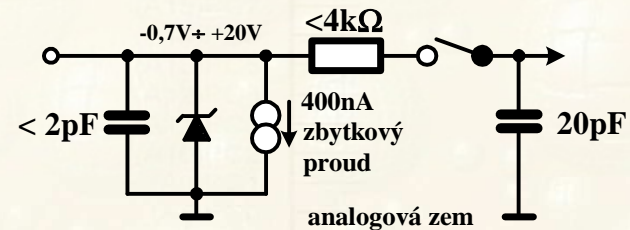
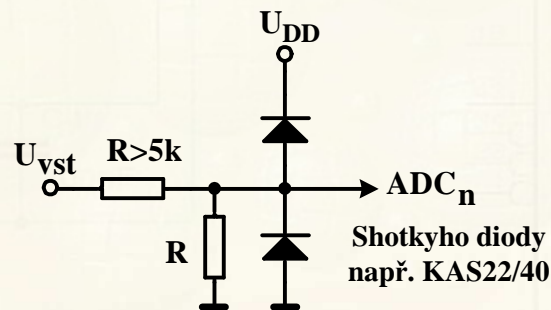
**Jednočipové procesory** se vyrábí s A/D převodníky s 8, 10, 12, 16 a 24 bity, D/A převodníky jsou spíše výjimkou s 10 a 12 bity.

- Rychlejší A/D převodníky s 8, 10 a 12 bitovým převodem (50 až 5000kHz) ⇒ převod s postupnou aproximací
- 16 a 24 bitové jsou realizovány  $\Delta$  Delta převodníkem.
- D/A převodník - s odporovou (PAM) nebo kapacitní sítí (PAC).
- Malé  $\mu$ P jsou vybaveny analogovým komparátorem – integrační A/D převod na časový interval.
- Reference převodníku – externí, interní nebo programovatelná.
- Před převodníkem je vstupní analogový multiplexor, jehož vstupy mohou být využity jako logické vstupy.
- Obvod S/H (T/H) je interní. Časování převodu je pevné nebo s programovatelnou dobou převodu.
- Vstupní napětí A/D  $< U_{cc} + 0.2V$

# INTERNÍ A/D PŘEVODNÍKY – VSTUPNÍ OBVOD



Ochrana vstupu A/D převodníku pro případ  $U_{A/D} > U_{cc}$  – externí nebo interní

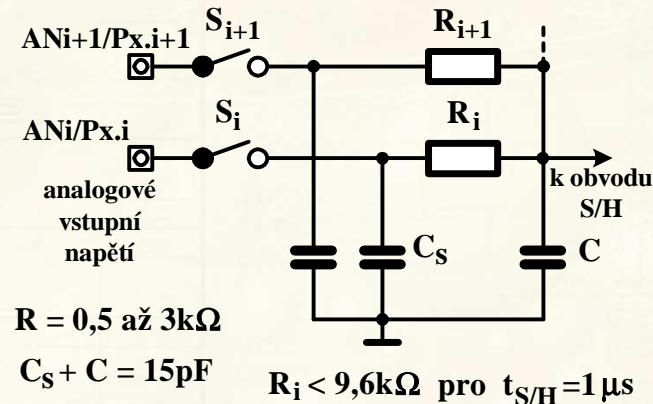


Možné chyby měření vyplývají z

- Náhradního zapojení vstupu A/D převodníku - ovlivňuje systematickou chybu převodu
- **Rychlé přepínání mezi analogovými vstupy převodníku** – krátká doba zachycení, aperturové zkreslení, vlastnosti nutných ochranných obvodů.



## INTERNÍ A/D PŘEVODNÍKY – VSTUPNÍ OBVOD

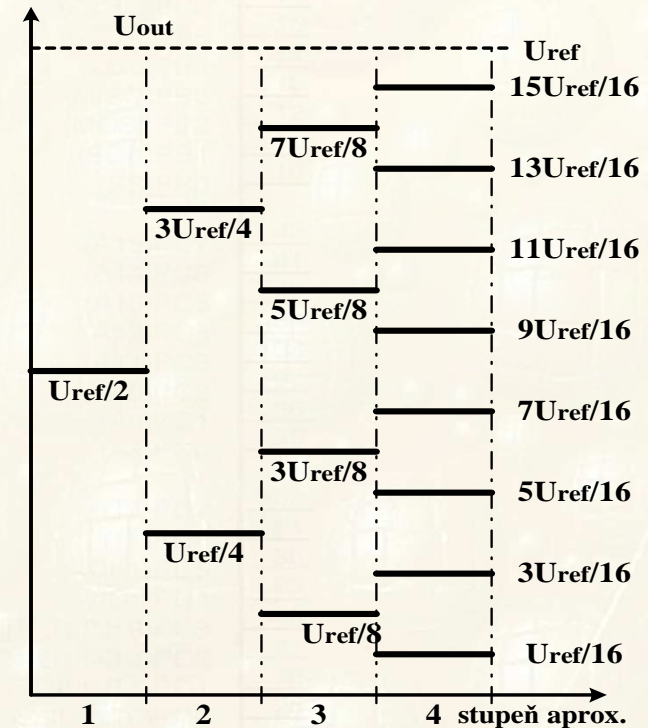
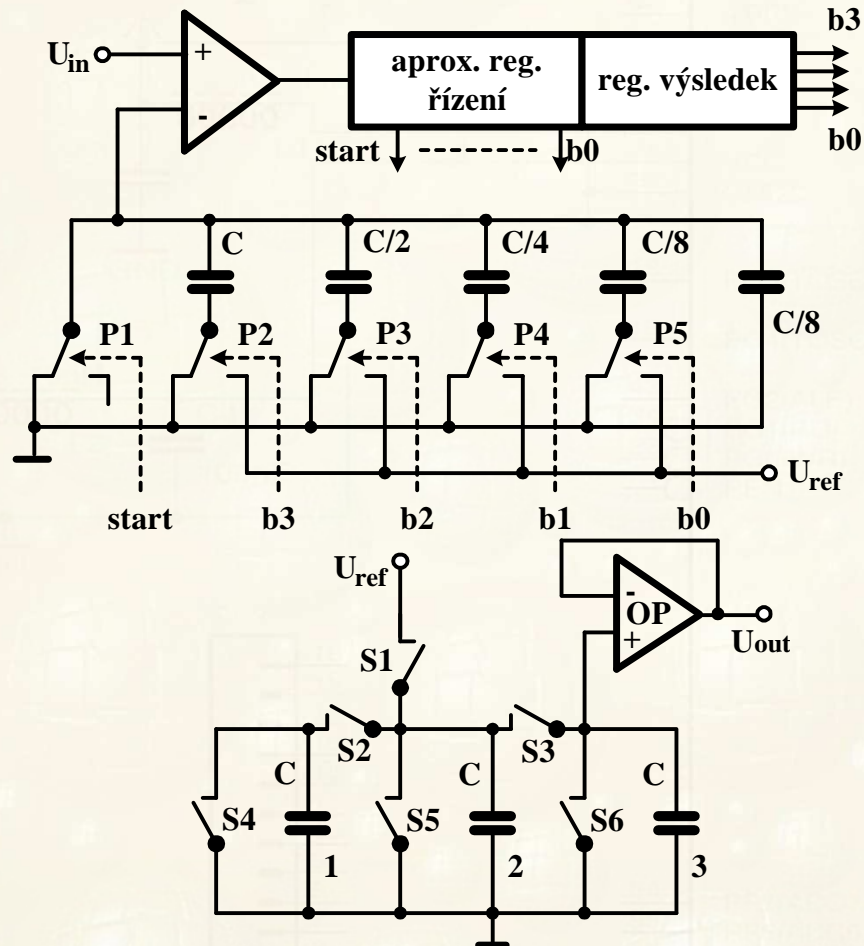


- **Počtem převodů** za 1s – převodníky s principem přelévání náboje.
- ❖ Vzorkování obvodů S/H se pohybuje od 1 do několika strojových cyklů procesoru (u ARM volitelné)  $\Rightarrow$  regulárně mohou být vzorkovány signály nejvýše v pásmu do stovek kHz.
- ❖ Vstupní signál je třeba spektrálně omezit s ohledem na frekvenci vzorkování nebo podvzorkování – **antialiasingový filtr**



# INTERNÍ A/D PŘEVODNÍKY – D/A PŘEVODNÍKY

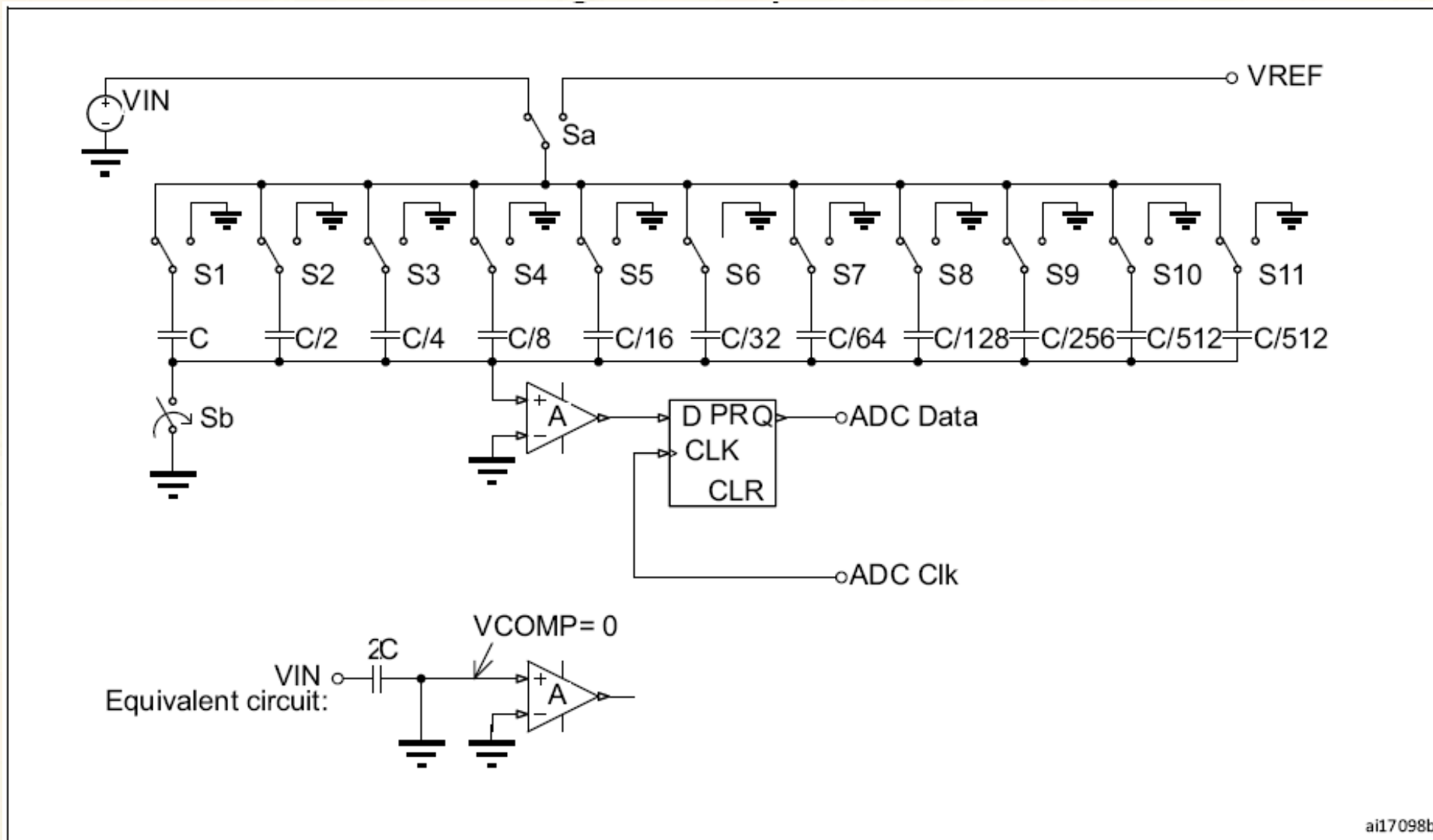
Snaha o odstranění odporových sítí z převodníků (laserové dostavování) vyústilo v použití kapacitního D/A převodníku s přeléváním náboje.



**Chování vstupů A/D převodníků u procesorů ARM.**

# INTERNÍ A/D PŘEVODNÍKY – D/A PŘEVODNÍKY

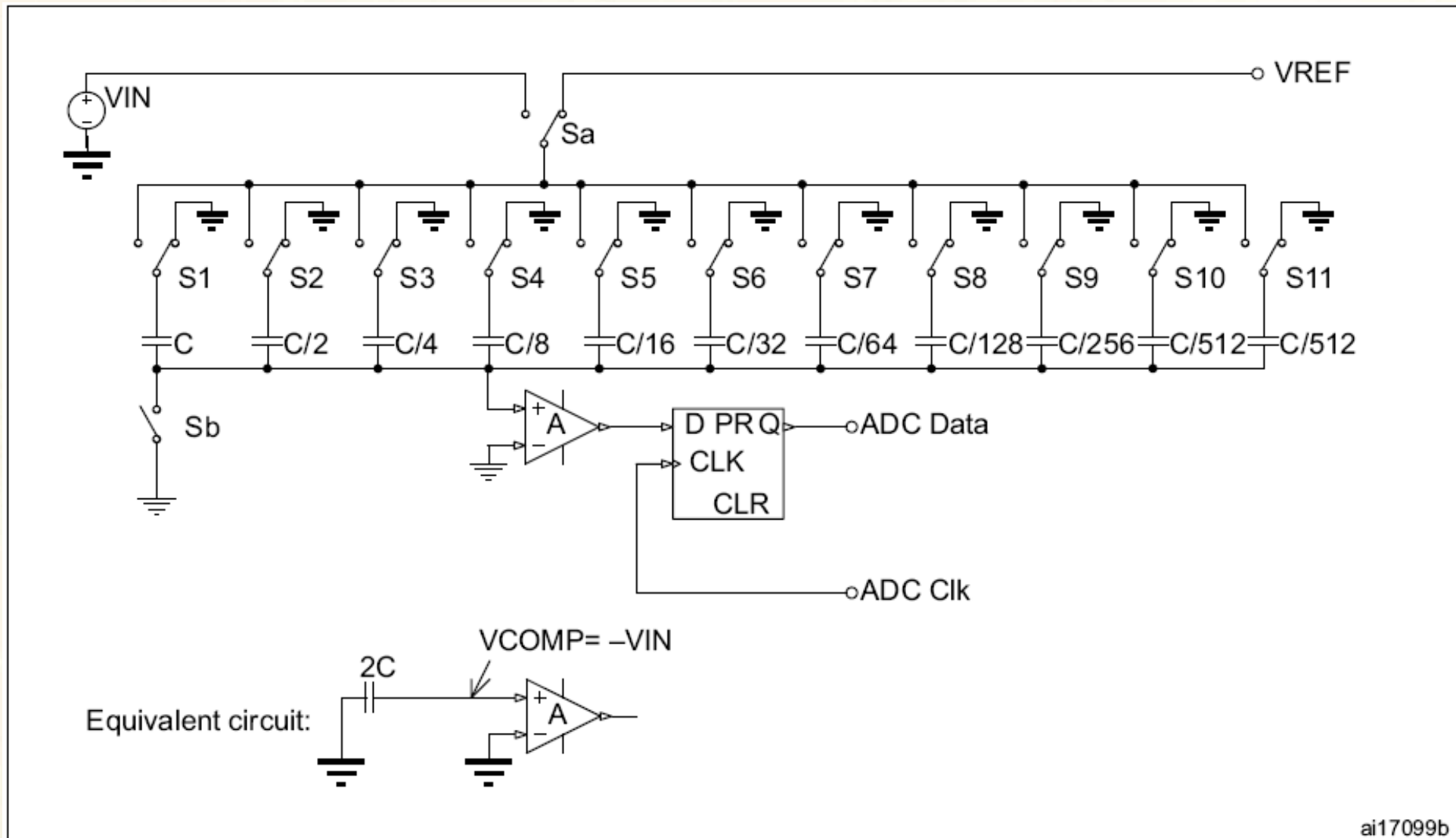
## Převod u A/D převodníku procesoru ARM - Application note AN2834



1. Sample state: capacitors are charging to  $V_{IN}$  voltage. Sa switched to  $V_{IN}$ , Sb switch closed during sampling time.

# INTERNÍ A/D PŘEVODNÍKY – D/A PŘEVODNÍKY

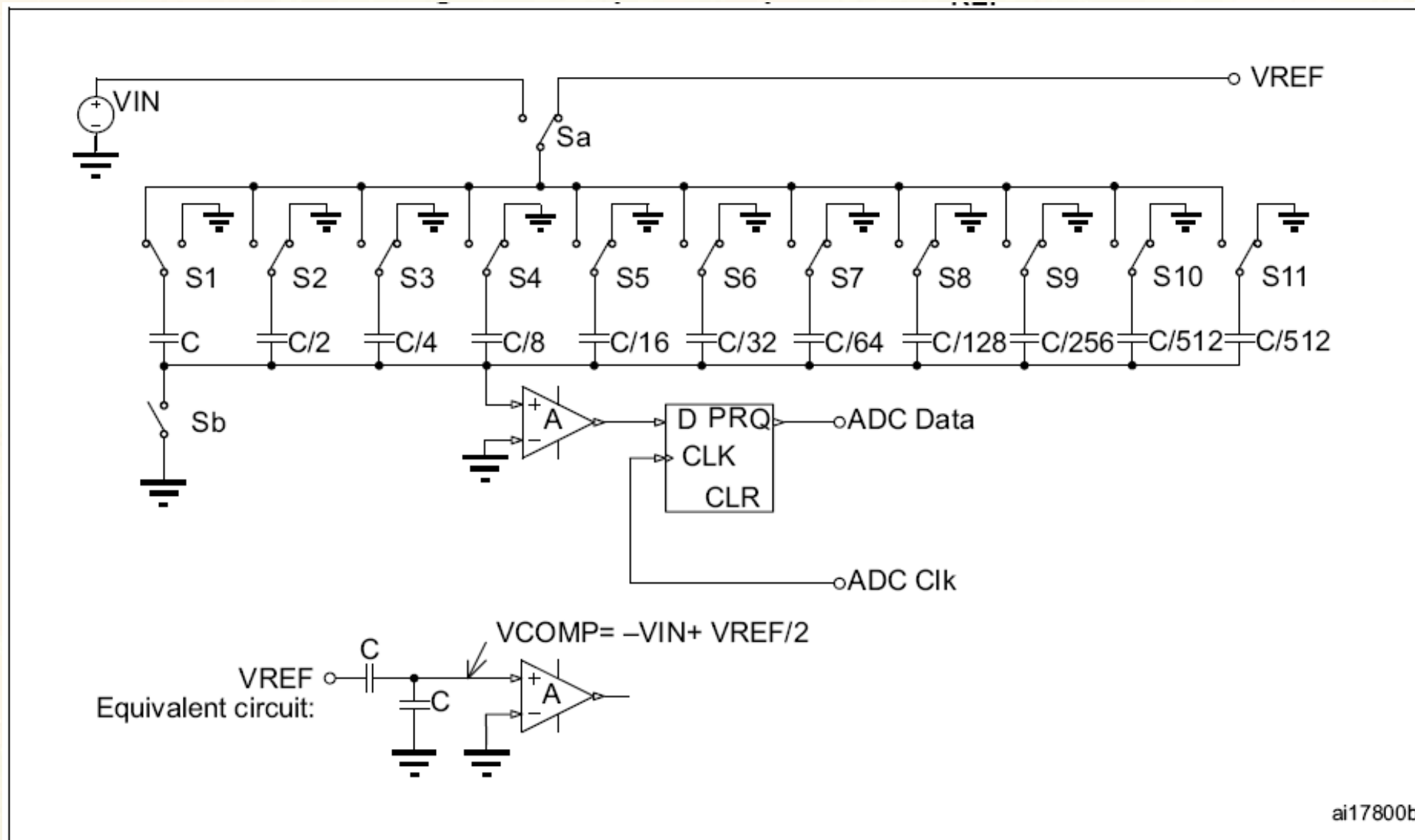
## Převod u A/D převodníku procesoru ARM - Application note AN2834



1. Hold state: the input is disconnected, capacitors hold input voltage.  $S_b$  switch is open, then  $S_1$ - $S_{11}$  switched to ground and  $S_a$  switched to  $V_{REF}$ .

# INTERNÍ A/D PŘEVODNÍKY – D/A PŘEVODNÍKY

## Převod u A/D převodníku procesoru ARM - Application note AN2834



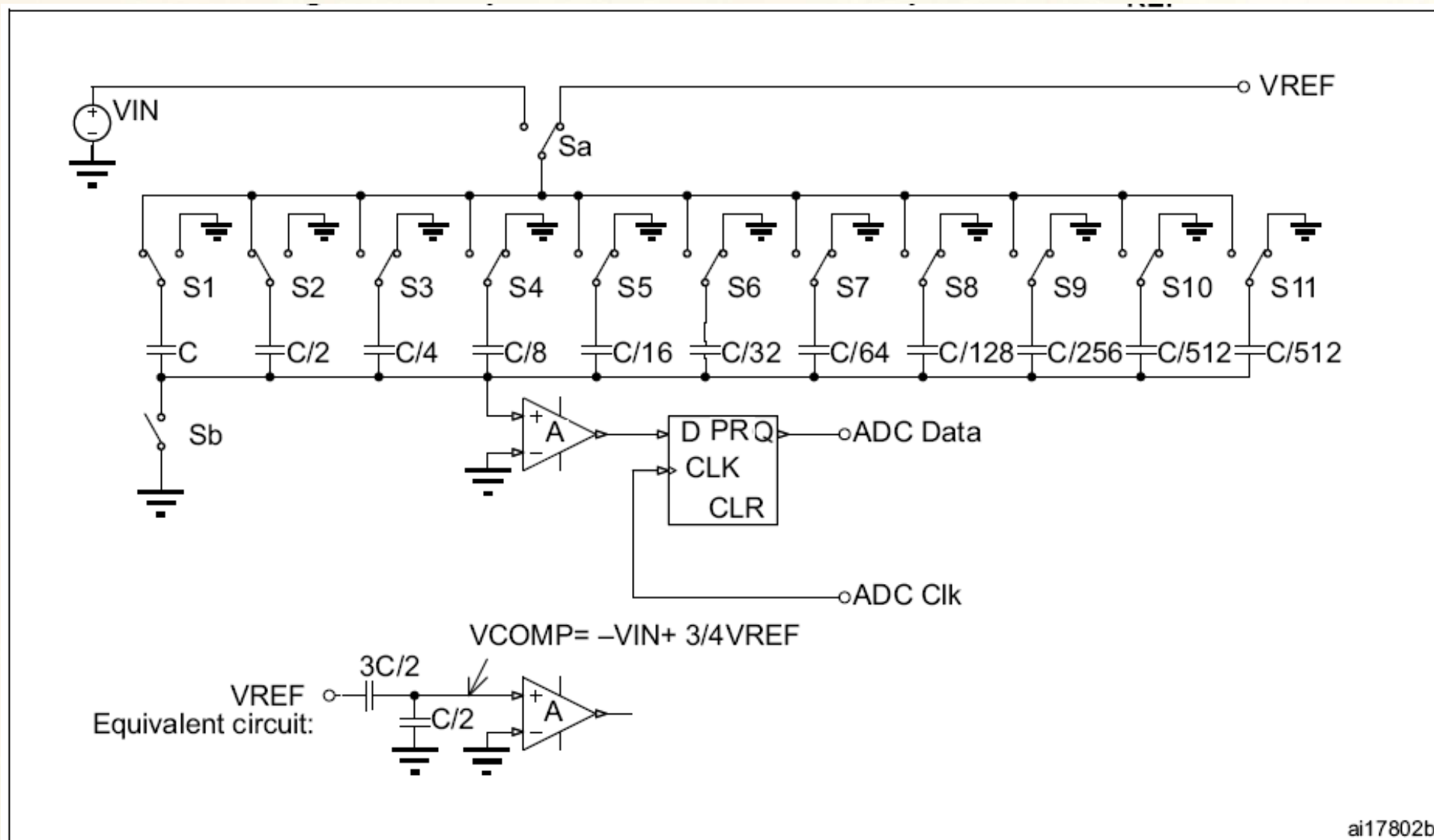
1. First approximation step. S1 switched to  $V_{REF}$ .





# INTERNÍ A/D PŘEVODNÍKY – D/A PŘEVODNÍKY

## Převod u A/D převodníku procesoru ARM - Application note AN2834



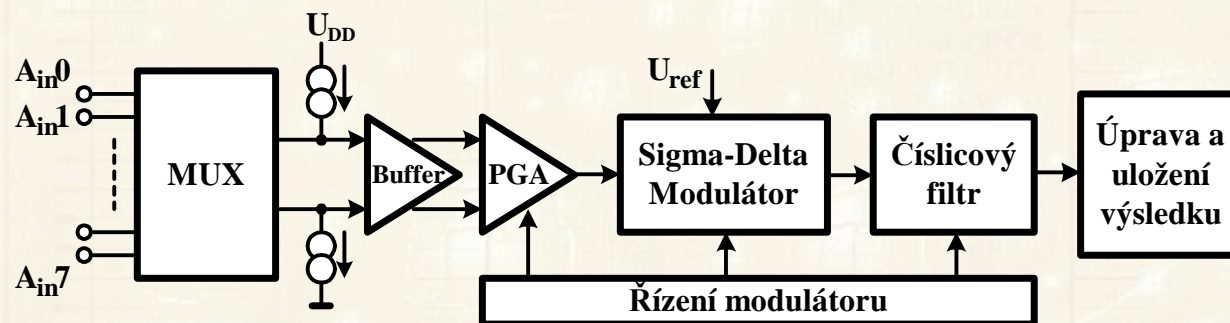
ai17802b

1. Compare with  $\frac{3}{4}V_{REF}$ ; if MSB = 0. S1 remained switched to ground. S2 switched to  $V_{REF}$ .

## INTERNÍ A/D PŘEVODNÍKY – $\Delta$ -DELTA

Na přelomu století přichází jednočipové procesory s s 16 a 24 bitovým Sigma-Delta A/D převodníkem (Analog – řada ADuC8xx, TI a Burr-Brown MSC1210).

- Analogový multiplexor vybírá vstup (měření 0 až  $U_{ref}$ ) nebo napětí mezi dvěma vodiči ( $-U_{ref}$  až  $U_{ref}$ ).
- Proudové zdroje (100nA) umožňují identifikovat zda analogový vstup je zapojen či nikoliv.
- Před PGA s velkým vstupním odporem může být obvod prohazující vstupní signály - **eliminace offsetu a teplotního driftu**.
- Zesilovač PGA s programovatelným zesílením v rozsahu 1 až 128 zajišťující symetrický napěťový rozsah ( $\pm 20\text{mV}$  až 1,28 nebo 2,56V).
- Následuje **Sigma-Delta modulátor** s programovatelným číslicovým filtrem s charakteristikou  $\text{sinc}^3$  nebo  $\text{sinc}^2$ .



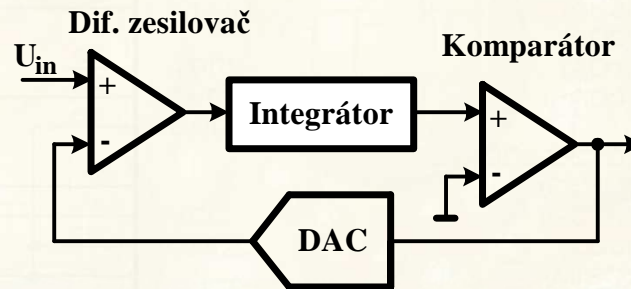
## INTERNÍ A/D PŘEVODNÍKY – $\Delta$ -DELTA

- Pro zvětšující se vzorkovací kmitočet budeme získávat výsledné hodnoty častěji, ale s **větším rozptylem**.
- Stanovíme-li histogram výstupních hodnot pro konstantní napětí, potom **inflexní bod** určuje střední směrodatnou odchylku a její 6,6 násobek určuje interval špička-špička měřeného signálu  $\Rightarrow$  důležité pro stabilní údaj měřícího přístroje.
- Bylo-li na vstupu prohazování vstupů, za filtrem následuje zpětné prohazování (změna znaménka).
- Před uložením výsledku mohou být obvody průměrování, změny měřítka a přičtení kalibračního koeficientu.
- **A/D Sigma-Delta** převodník převádí vstupní napětí na posloupnost 0 a 1, jejíž střední hodnota odpovídá měřenému napětí.
- Princip převzorkování umožňuje **snížení kvantizačního šumu**.
- Výhodou sigma-delta modulátoru je přetvarování průběhu kvantizačního šumu (**potlačení šumu v oblasti nízkých kmitočetů**).



## INTERNÍ A/D PŘEVODNÍKY – $\Delta$ -DELTA

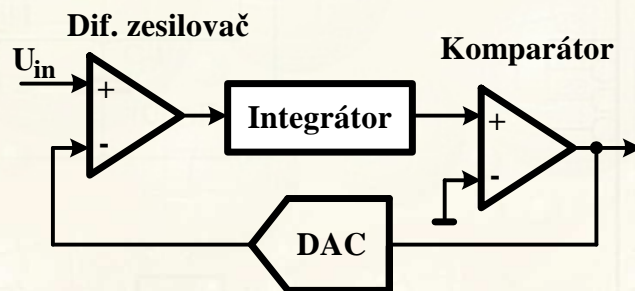
- Měřené napětí je přivedeno na diferenciální zesilovač, kde se od něj odečítá výstup obvykle 1-bitového D/A převodníku s úrovněmi  $-U_{ref}$  a  $+U_{ref}$ .



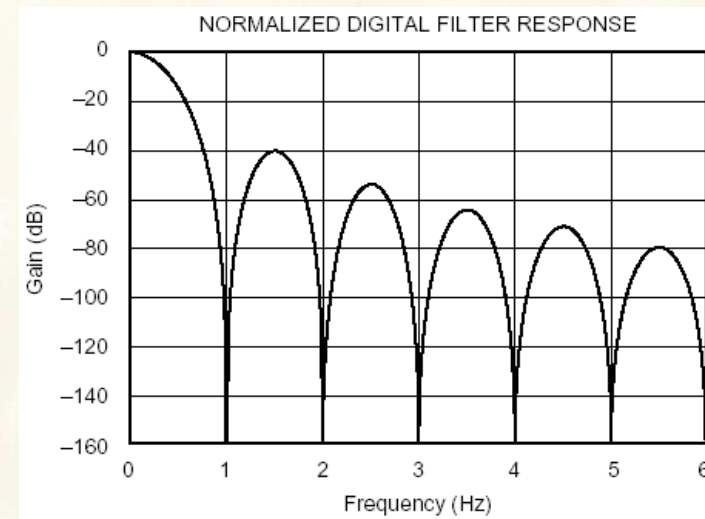
- Signál je integrován v dolní propusti prvního nebo druhého řádu a přiveden na komparátor, který řídí D/A převodník.
- Výstup komparátoru je vzorkován několika násobně vyšším kmitočtem než  $f_{max\ in}$  (512x a vyšším).
- **Číslicový filtr** na výstupu  $\Delta$ -Delta modulátoru funguje jako **průměrovací obvod posloupnosti nul a jedniček** vytvářející pásmově omezený signál s velmi malým šumem.
- Číslicový filtr je dolní propust typu  $Sinc^2$ ,  $Sinc^3$  nebo rychlého nastavení, jehož základní funkcí je potlačit kvantizační šum modulátoru.

## INTERNÍ A/D PŘEVODNÍKY – Δ-DELTA

- Zlomový kmitočet filtru, decimační poměr  $N$  a kmitočet modulátoru  $f_{MOD}$  jsou programovatelné.
- Hodnoty  $N$  a  $f_{MOD}$  ovlivňují datový tok výstupních hodnot z A/D převodníku.
- Vhodným naprogramováním může být například účinně potlačen síťový kmitočet 50 nebo 60Hz.



$$|H(f)| = \left| \sin\left(\frac{\pi \cdot f \cdot N}{f_{MOD}}\right) / N \cdot \sin\left(\frac{\pi \cdot f}{f_{MOD}}\right) \right|^3$$



# VLASTNOSTI SIGNÁLU U SIGMA-DELTA

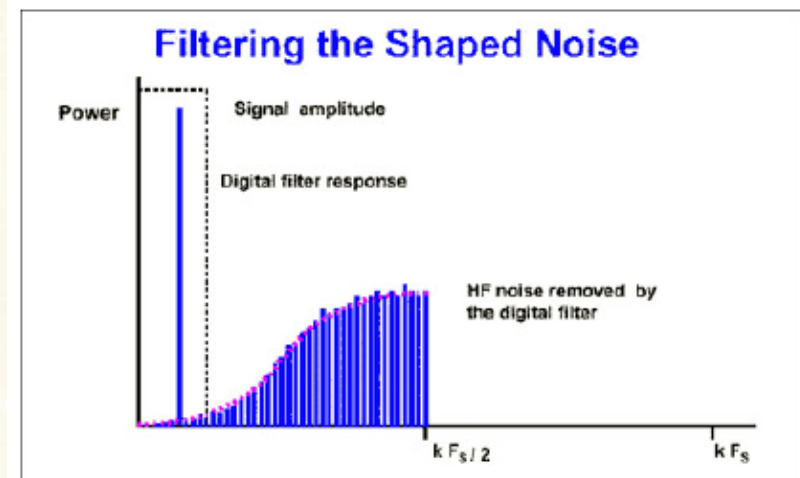
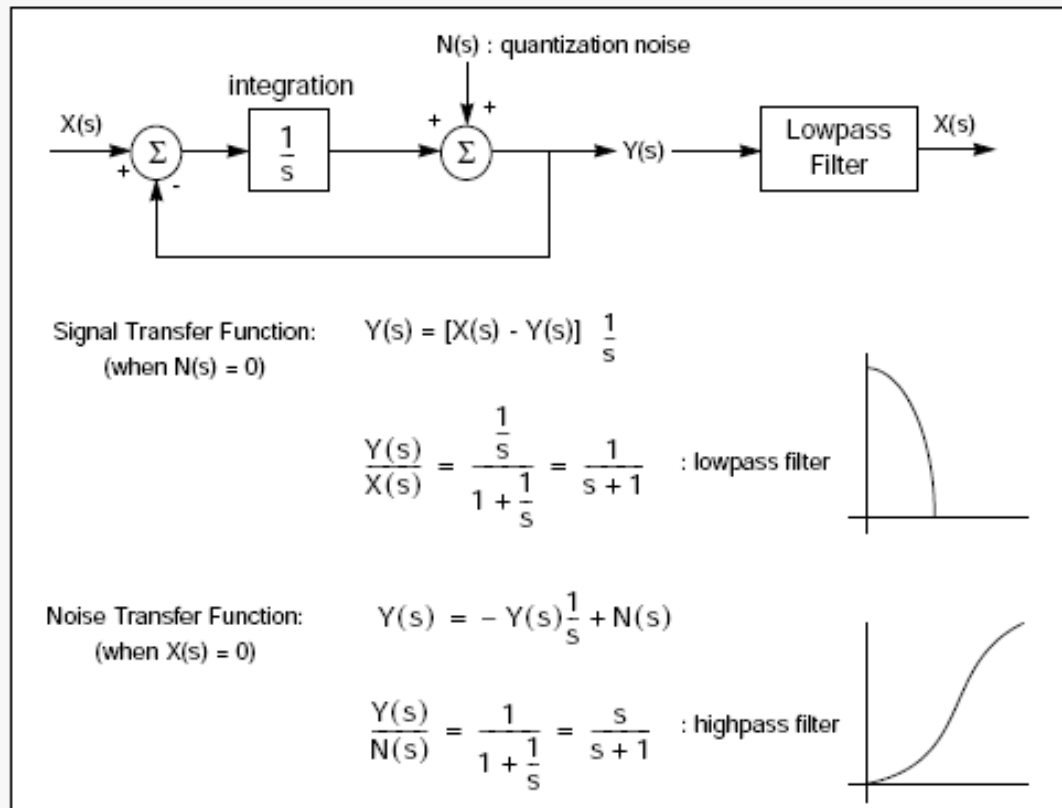


Figure 6. Effect of the digital filter on the shaped noise.

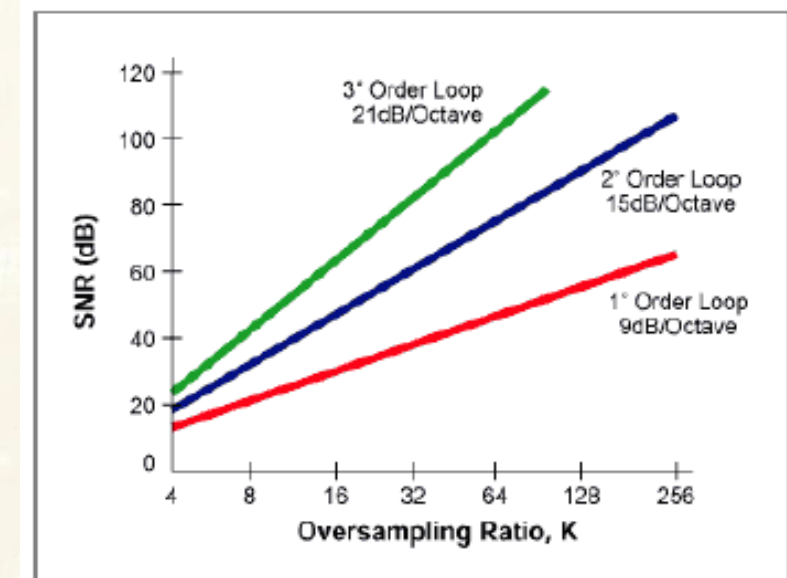
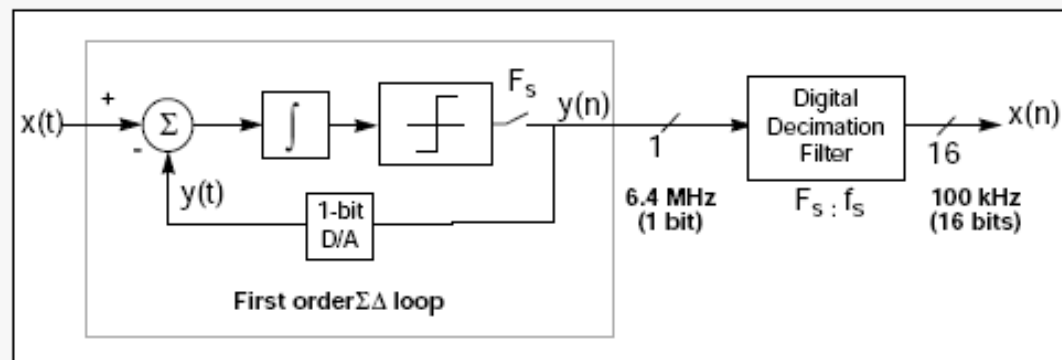


Figure 8. Relationship between order of sigma-delta modulator and the

# VLASTNOSTI VZORKOVÁNÍ SIGNÁLU – VYLEPŠENÍ POMĚRU SNR

## The Frequency Domain

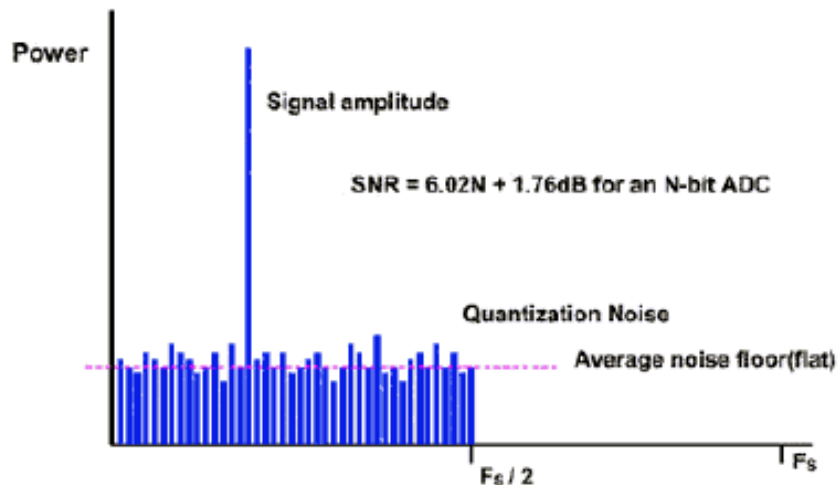


Figure 1. FFT diagram of a multi-bit ADC with a sampling frequency  $F_s$

## Oversampling by K Times

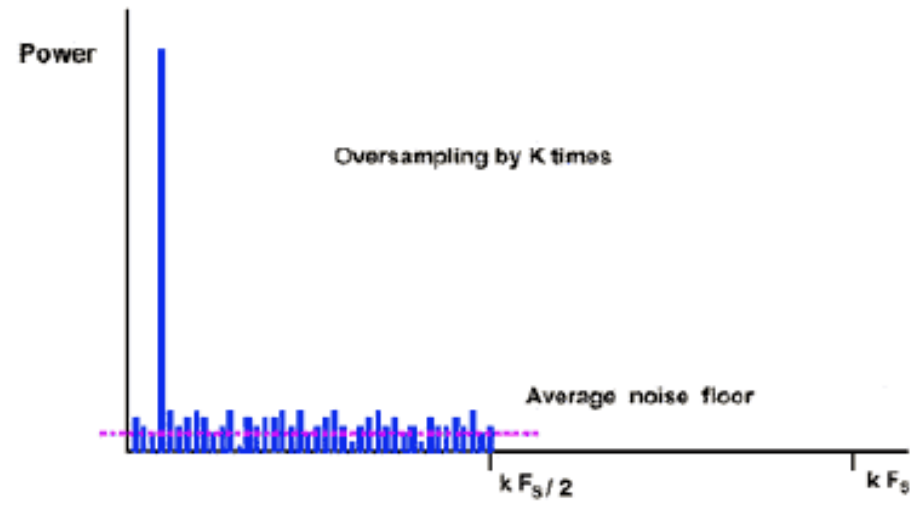
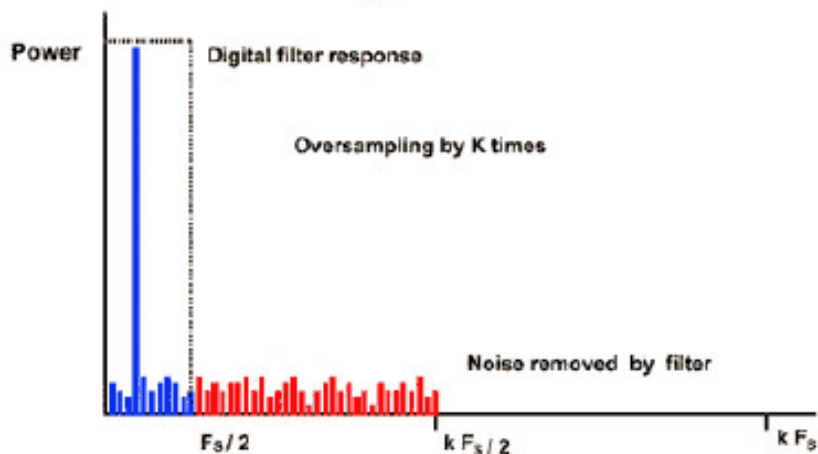


Figure 2. FFT diagram of a multi-bit ADC with a sampling frequency  $kF_s$

## The Digital Filter



- ✓ Vylepšení dynamického rozsahu D  
 $\Delta D = 10 \cdot \log_{10}(K)$
- ✓ Typ číslicového filtru
- ✓ Kvantování koeficientů filtru
- ✓ Implementovaná struktura
- ✓ Kvantování aritmetických operací
- ✓ Změna přenosové charakteristiky
- ✓ Aritmetický šum



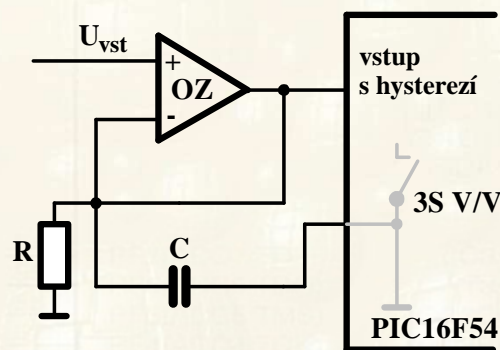
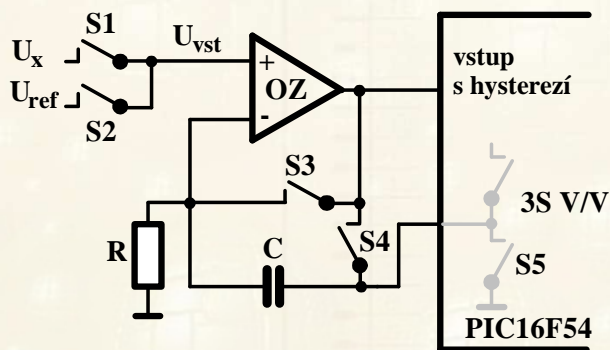
## INTERNÍ A/D PŘEVODNÍKY – INTEGRAČNÍ A/D

Jednoduché mikroprocesory jsou pro A/D převod vybaveny obvody pro implementaci integračního převodníku s jednoduchou nebo dvojitou integrací:

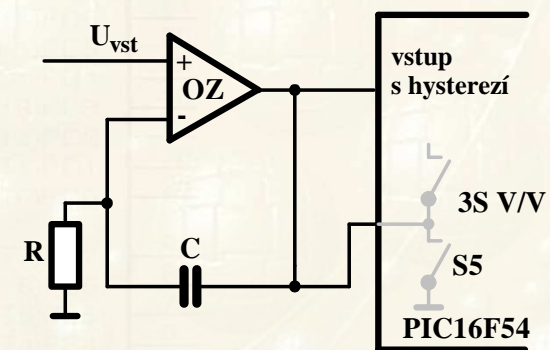
- Komparátorem
- Logickým vstupem s hysterezí

Měření napětí se převádí na **měření času** potřebného k nabití kondenzátoru C na napětí hystereze.

- ❖ Neinvertující vstup OZ = měřené napětí ( $U_{\text{ref}}$  nebo  $U_x$ )
- ❖ Spínače S3, S4 a S5 se nastaví na režim napěťového sledovače.
- ❖ Po ustálení  $U_{\text{kapacity}} = U_x$



Režim sledování



Režim měření

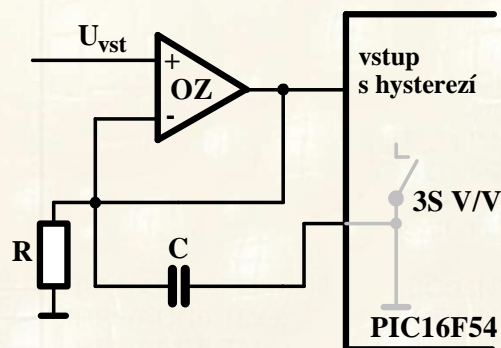
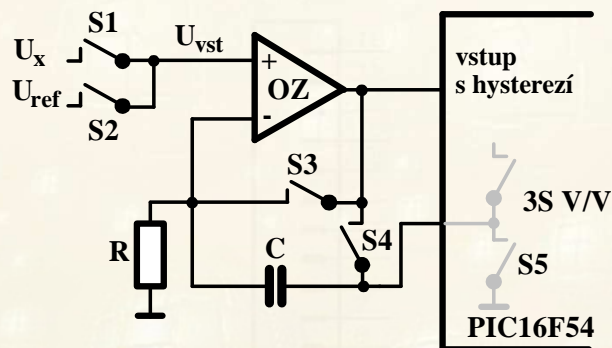
## INTERNÍ A/D PŘEVODNÍKY – INTEGRAČNÍ A/D

- ❖ Spínače S3, S4 a S5 nastaveny do režimu integrace (měření) a současně se spustí časovač.

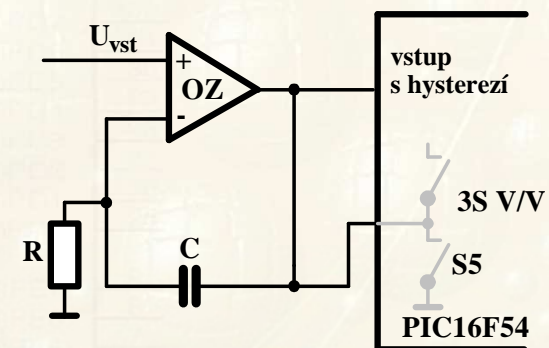
Silná záporná zpětná vazba OZ bude na invertující vstupu udržovat napětí  $U_x$  a kondenzátorem C poteče téměř lineární proud přes odpor  $R$  ( $I_R = U_x / R$ )  $\Rightarrow$  napětí na vstupu s hysterezí bude lineárně vzrůstat z nuly až k napětí určující log.1.

- ❖ V okamžiku dosažení prahové úrovně je časovač zastaven
- ❖ Napětí je vyjádřeno počtem period hodinového signálu.
- ❖ Měřené napětí vypočteme

$$U_x = U_{ref} (T_x / T_{ref})$$



Režim sledování



Režim měření

## INTERNÍ D/A PŘEVODNÍKY

Do roku 2000 byl D/A převod realizován

- Externím převodníkem s paralelním nebo sériovým rozhraním (I<sup>2</sup>C, SPI)
- Externím nebo interním pulzně šířkovým modulátorem (PWM) s nezbytnou filtrací.

Analog Devices a Cygnal integrovaly jeden nebo dva 12 bitové D/A převodníky přímo na čip procesoru. Převodník je tvořen odporovou sítí (velmi dobrá diferenciální nelinearita), a výstup realizuje operační zesilovač v režimu sledovače, který je schopen pracovat do zátěže tvořené odporem 10 k $\Omega$  a kapacitou 100 pF. Převodník může pracovat v 8 nebo 12 bitovém rozlišení s tím, že zápis **12 bitů musí být v pořadí** určeném výrobcem (změna nastává až s druhým zápisem). U některých výrobců nelze pracovat s 50 nejnižšími a nejvyššími úrovněmi D/A převodu.

