A/D a D/A převodníky v mikroprocesorech

INTERNÍ A/D PŘEVODNÍKY – VÝVOJ

- 1979

  I2920 signálový procesor A/D (9bitů), 8x D/A (9bitů)

- konec 80-tých a léta 90-tá jednočipové procesory

  8 a 10 bitové převodníky A/D s postupnou aproximací , D/A minimálně, podpora převodu pomocí PWM, fy. Philips, Infineon, Cygnal (Silicon Labs),atd.

- Okolo roku 2000

  Analog Device 8051 s 12 bitovým A/D s postupnou aproximací. Následované 16 a 24 bitovými A/D Σ-Δ. D/A převodníky 12-bitů.

  Texas Instruments 8051 – A/D 24bit (22 efektivních) 2x nebo 4x D/A 16bitů (orien. TMS320F24xx, F28xx)

INTERNÍ A/D PŘEVODNÍKY – VÝVOJ

K procesorům bez převodníků připojujeme A/D a D/A (Převážně signálové procesory):

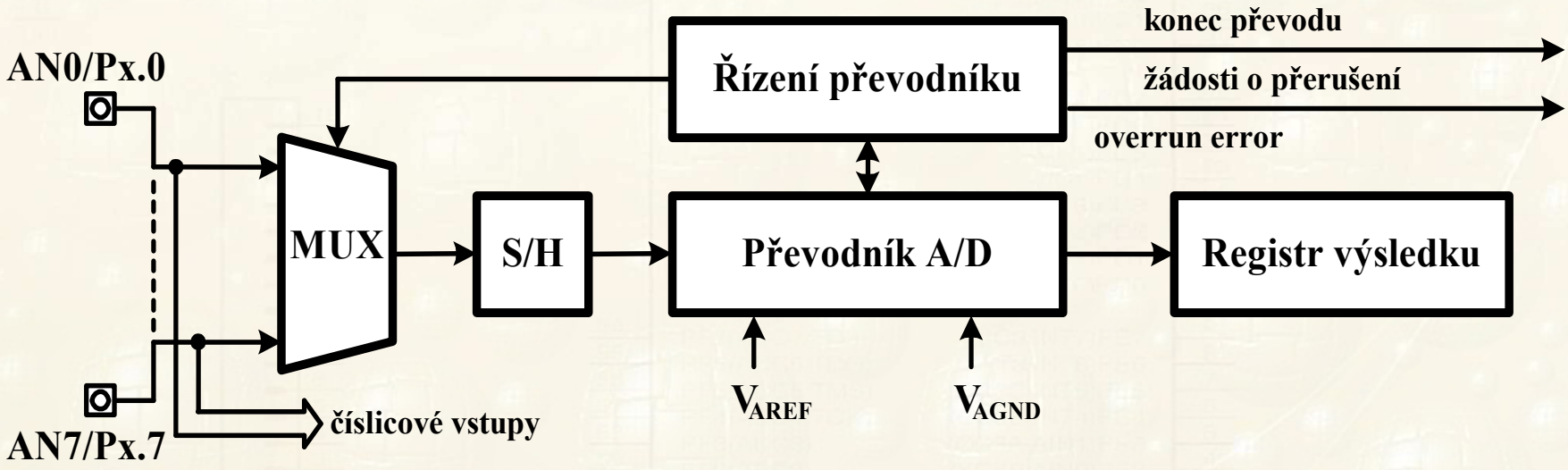
- „**kodeky**“ (A/D a D/A převodníky s antialiasingovým a rekonstrukčním filtrem), komunikace synchron-ním sériovým kanálem s rámcovou synchronizací.
- rychlé převodníky pro vzorkování nad 1MHz pomocí paralelního připojení ke společné sběrnici
- případně s využitím FIFO paměti a přímého přístupu do paměti (DMA)
- v pásmu nad 20÷50MHz jsou převodníky propojeny s výkonným PLD (typu LCA, FPGA), které předzpracovávají signál (filtrace a decimace) na signál s rozumným vzorkovacím kmitočtem.

Jednočipové procesory

- Rychlejší A/D převodníky s 8, 10 a 12 bitovým převodem (50 dnes až 5000kHz) ⇒ převod postupnou aproximací
- 16 a 24 bitové převodníky jsou Σ-Δ.
- D/A převodníky 10 a 12 bitové realizované odporovou nebo kapacitní sítí.
- Malé μP jsou vybaveny analogovým komparátorem a umožňují realizaci integračního A/D převodníku s převodem na časový interval.
- Reference – externí, programovatelné a dnes interní.

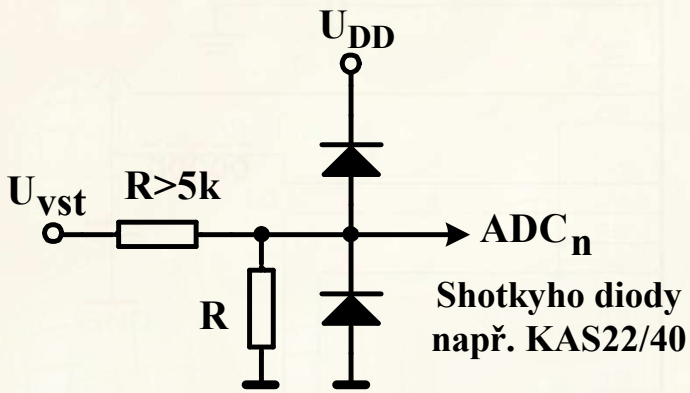
Jednočipové procesory

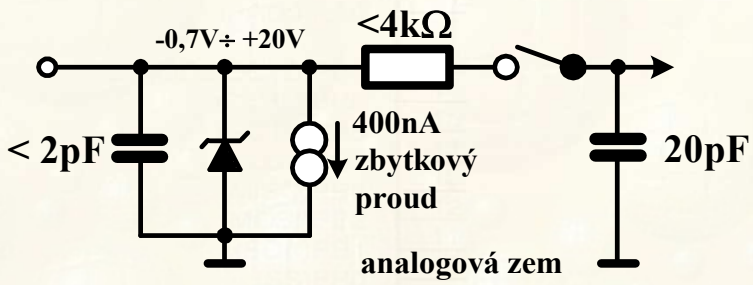
- Před převodníkem je vstupní analogový multiplexor, jehož vstupy mohou být využity jako logické vstupy.
- Obvod S/H (T/H) je interní. Časování převodu je pevné nebo s programovatelnou dobou převodu.
- Vstupní napětí nesmí často překročit napájecí napětí procesoru o více jak 0,2V.



INTERNÍ A/D PŘEVODNÍKY – VSTUPNÍ OBVOD

Nemáme-li jistotu o velikosti vstupního napětí do A/D převodníku (A/D < Ucc+0.2V), musíme jeho vstup ošetřit.





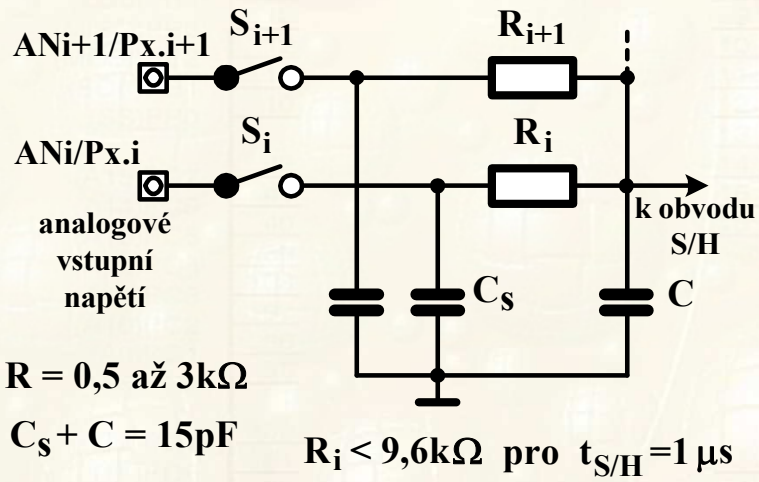
Možné chyby měření vyplývají z

- Náhradního zapojení vstupu A/D převodníku včetně nutných ochranných obvodů – ovlivňuje systematickou chybu převodu
- Přepínání mezi analogovými vstupy převodníku – doba zachycení, aperturové zkreslení.
- Počtu převodů za 1s – převodníky s principem přelévání náboje viz. ARM.

INTERNÍ A/D PŘEVODNÍKY – VSTUPNÍ OBVOD

- Vzorkování obvodů S/H se pohybuje od 1 do několika strojových cyklů procesoru (u ARM volitelné) ⇒ regulárně mohou být vzorkovány signály nejvýše v pásmu do stovek kHz.

- Samotný vstup A/D vyžaduje dodržení určité doby zachycení. Nedodržení má stejný vliv na vlastnosti vzorkovaného signálu jako aperturového zkreslení.



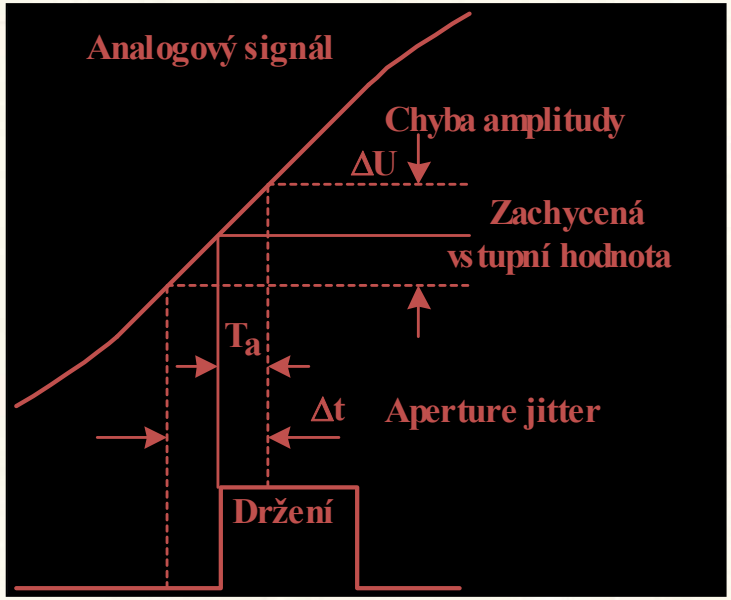
- Vliv přepínání (multiplexování) kanálů.

- Vliv stability vzorkování (přerušení).

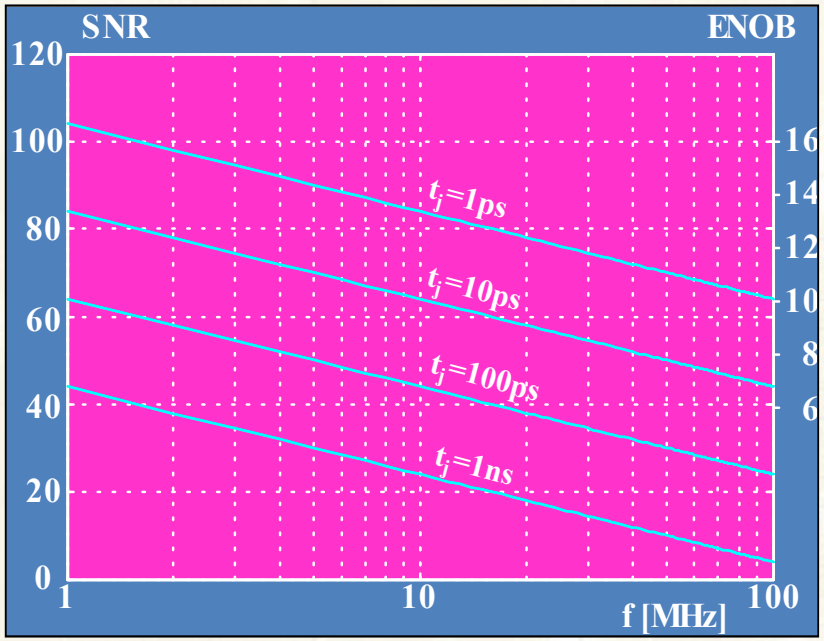
VLIV APERTUROVÉHO ZKRESLENÍ

Pokles SNR A/D převodníku se vstupním kmitočtem lze vydedukovat z obrázku. Jev se nazývá doba odběru vzorku Ta a způsobuje při vzorkování časově proměnného signálu s časovou změnou du/dt chybu

$$du_a = \frac{du}{dt}.T_a$$



Stejné problémy vytváří i nestabilita (nepokoj) vzorkovacího kmitočtu, který způsobuje, že neodebíráme signál v přesně definovaných okamžicích, ale s určitým zpožděním nebo předstihem. Obě změny potom degradují poměr SNR jak vyplývá z obrázku.



INTERNÍ A/D PŘEVODNÍKY – VZORKOVÁNÍ SIGNÁLU

Každý převodník má stanovenu maximální frekvenci vzorkování signálu. Je otázkou v jakém vztahu je maximální frekvence vzorkování a maximální frekvence vzorkovaného signálu.

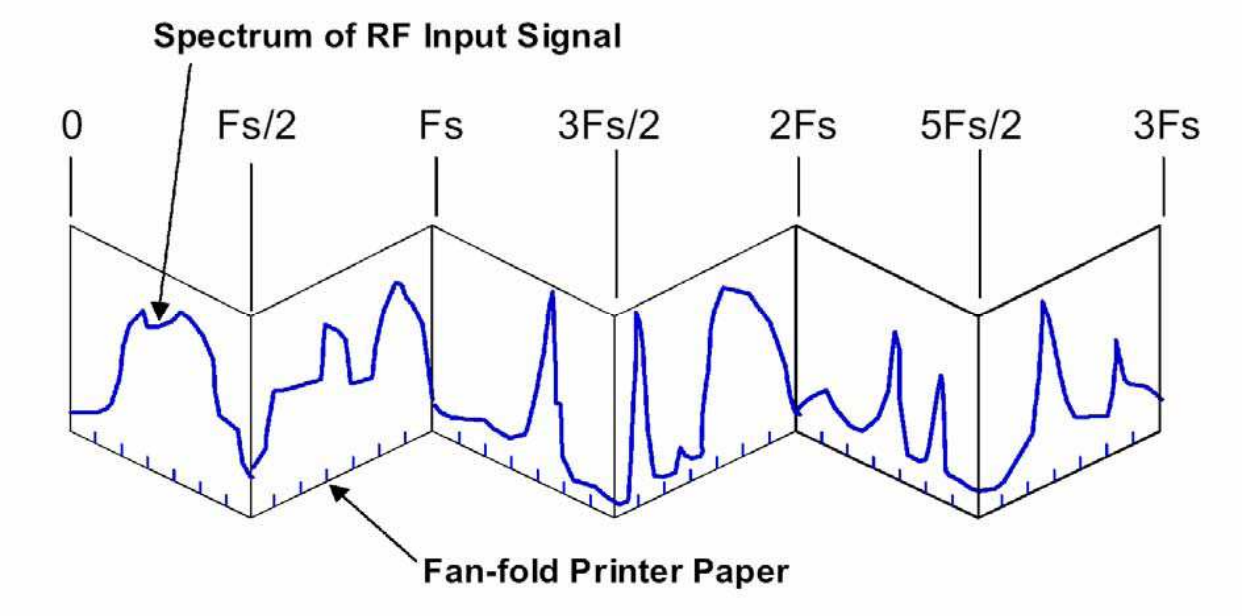
Převodníky můžeme rozdělit pro

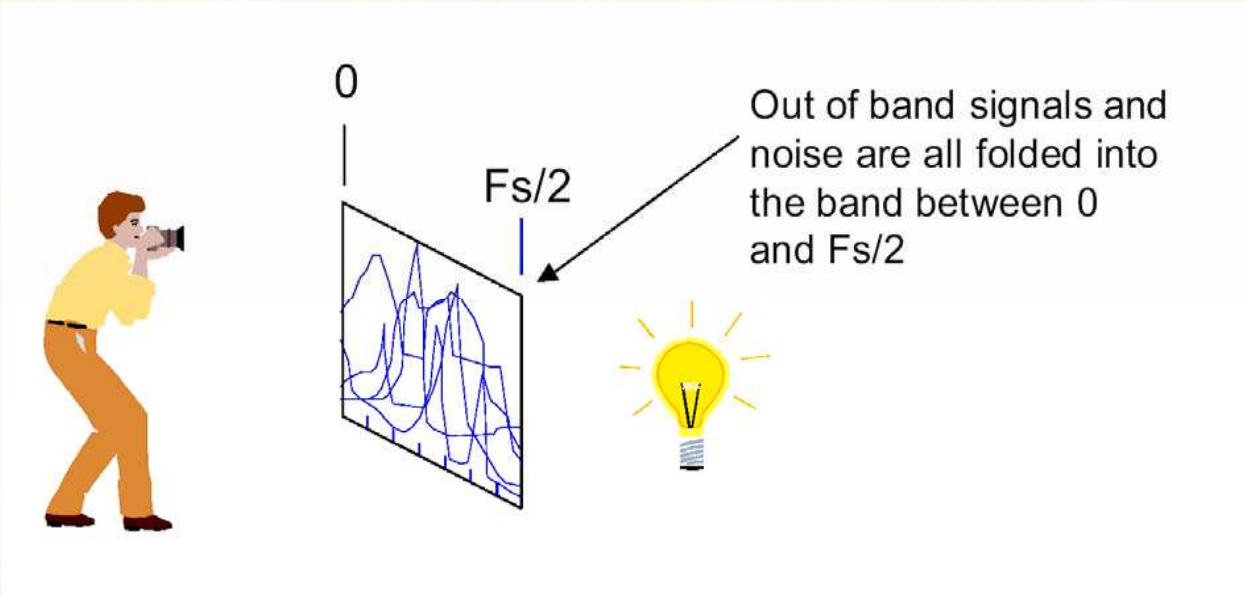
- Regulární vzorkování
- Podvzorkování

Z vlastností vzorkovaného signálu, pak vyplývají případná nebo nutná omezení frekvenčního rozsahu vstupního napětí pomocí

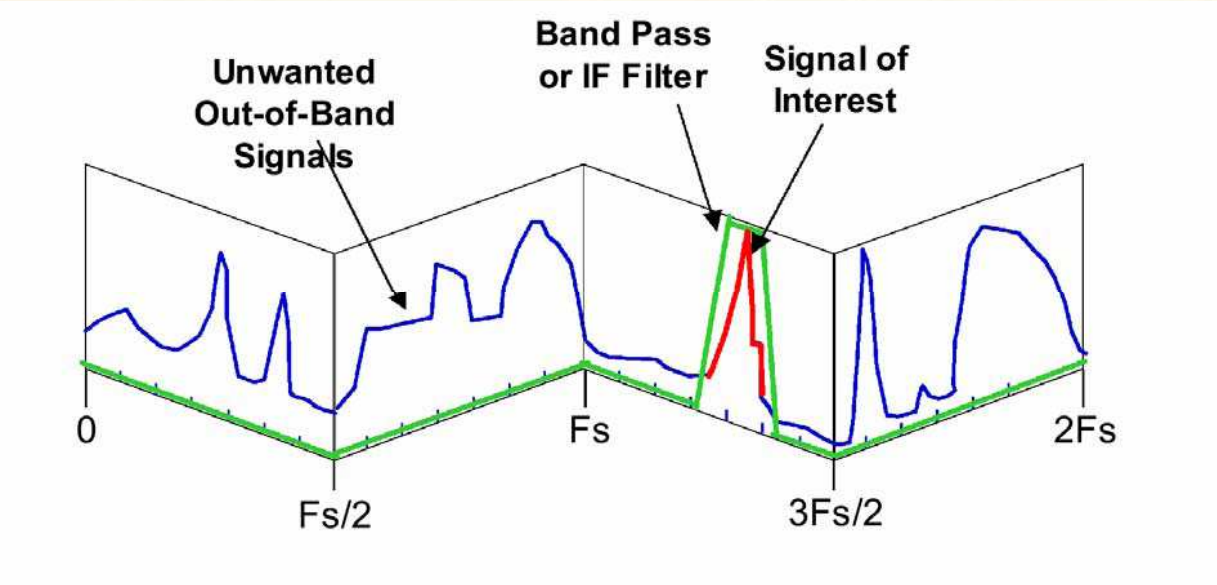
antialiasingového nebo **pásmového filtru** .

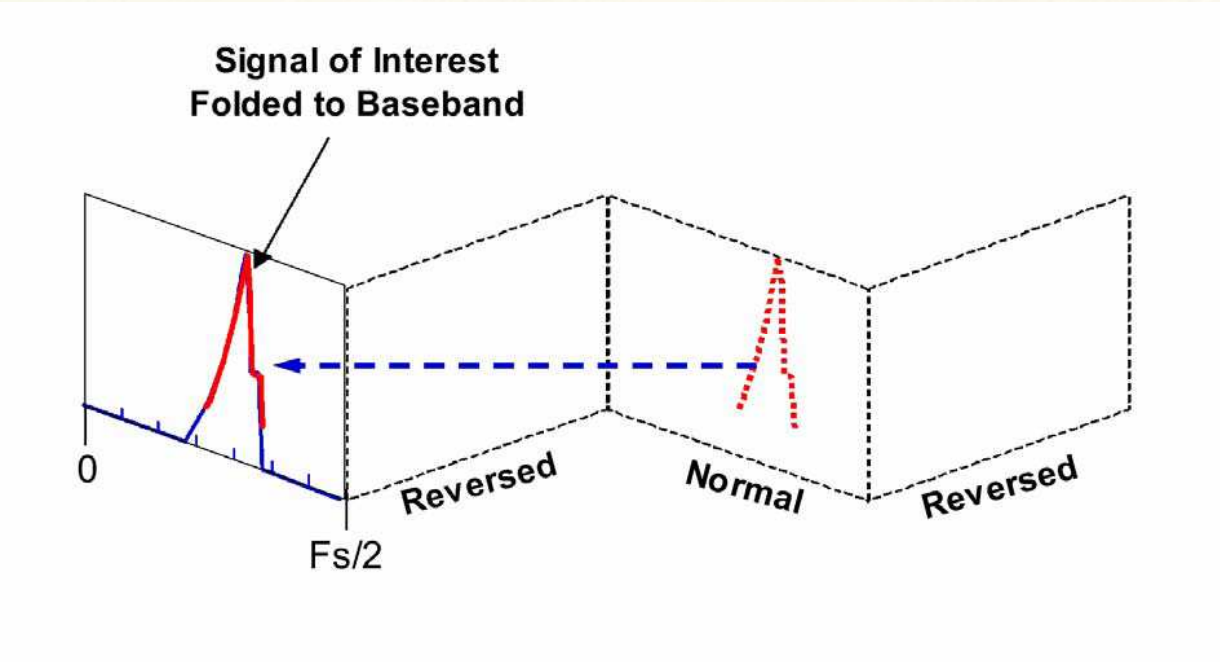
INTERNÍ A/D PŘEVODNÍKY – VZORKOVÁNÍ SIGNÁLU





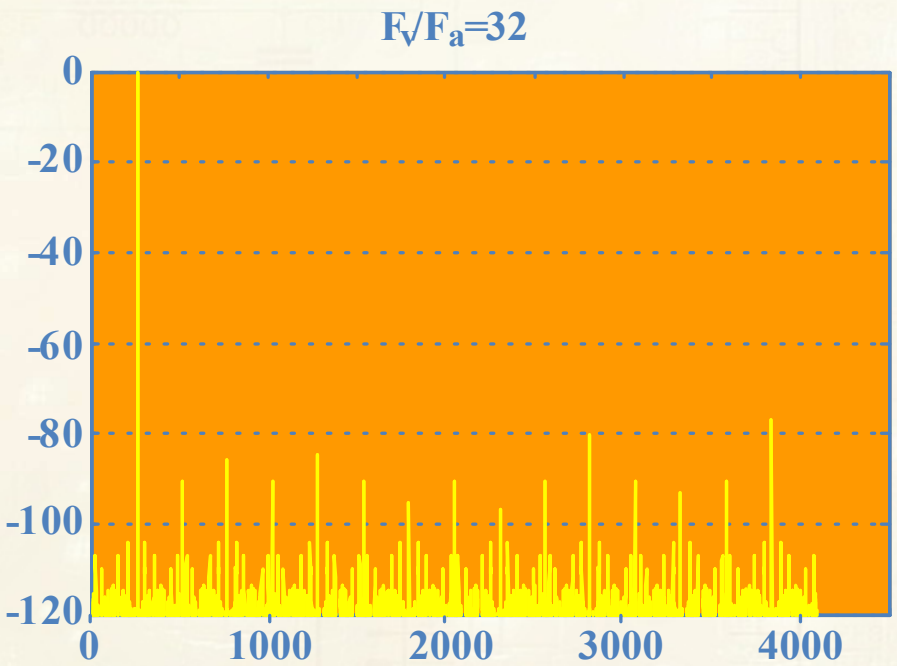
INTERNÍ A/D PŘEVODNÍKY – PODVZORKOVÁNÍ SIGNÁLU

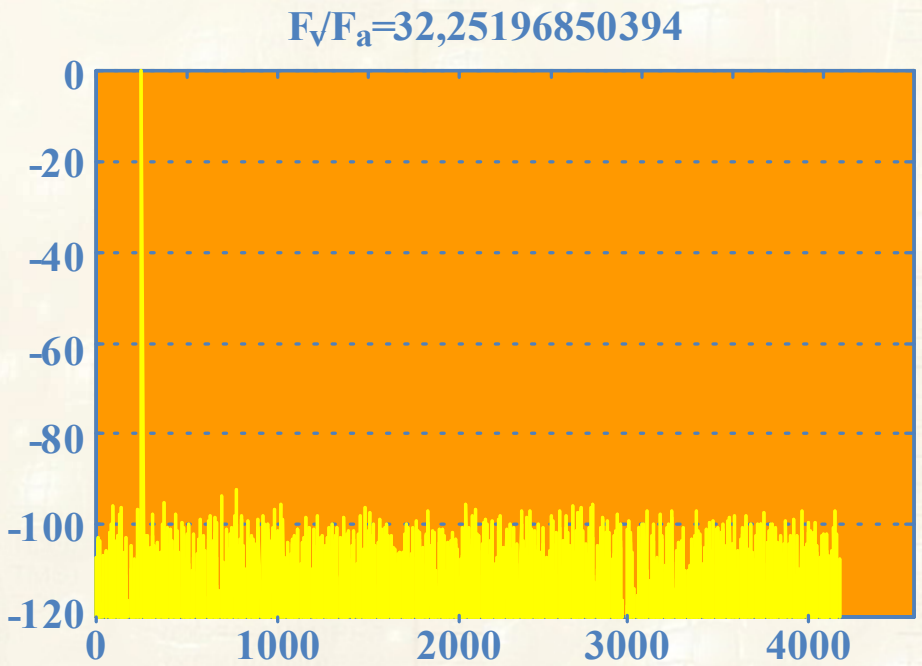




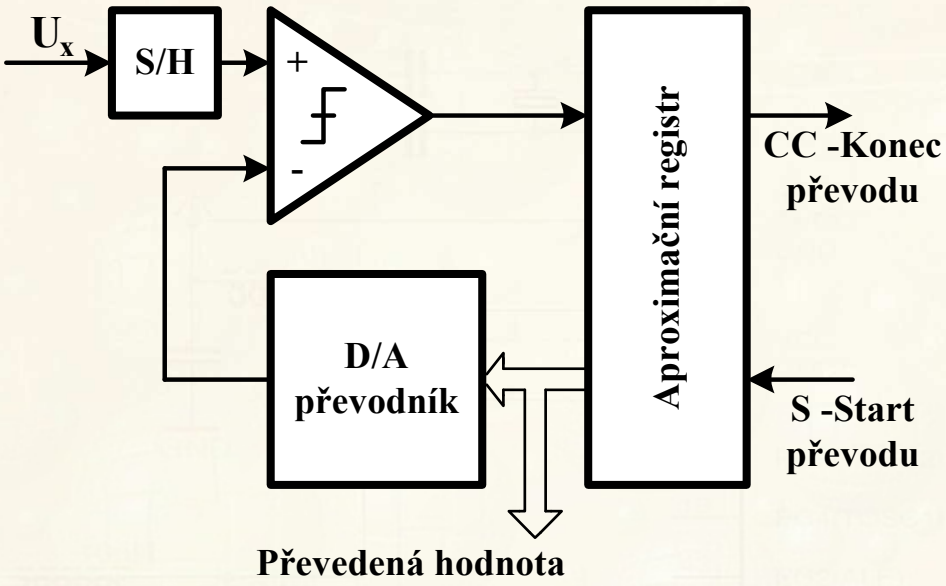
INTERNÍ A/D PŘEVODNÍKY – VLIV VZORKOVACÍHO KMITOČTU

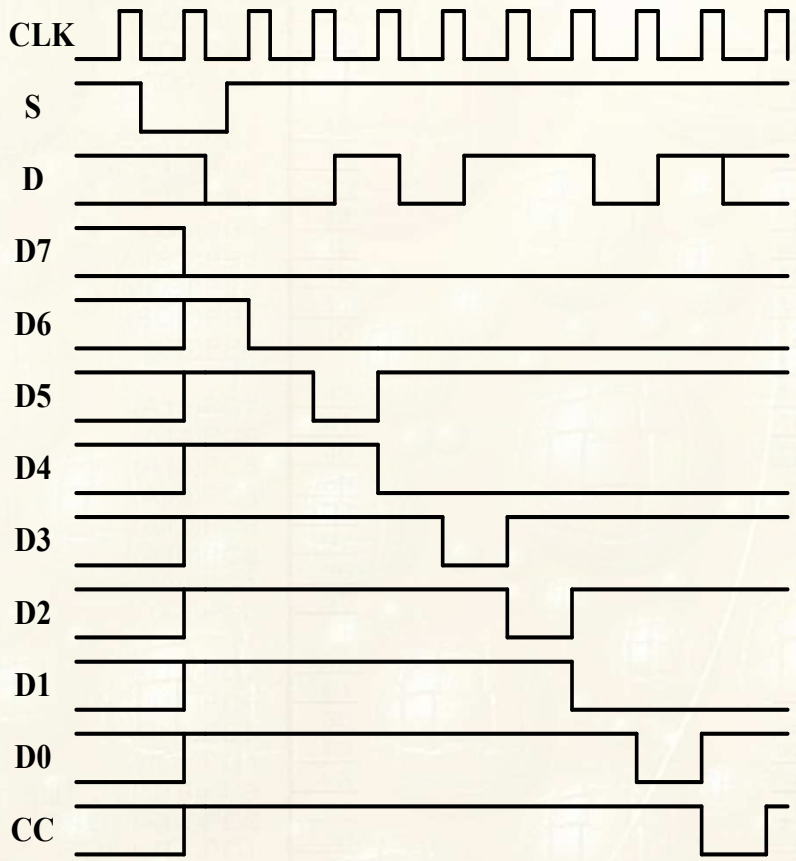
Soudělnost vzorkovacího kmitočtu a frekvence vzorkovaného harmonického signálu vede k tomu, že ze signálu odbíráme stále stejné hodnoty zasažené stejnou kvantizační chybou. Na druhém obrázku je situace zobrazena pro necelistvý poměr obou kmitočtů. Pokud není přítomen šum, může se tento jev nepříznivě projevovat v poměru SFDR.





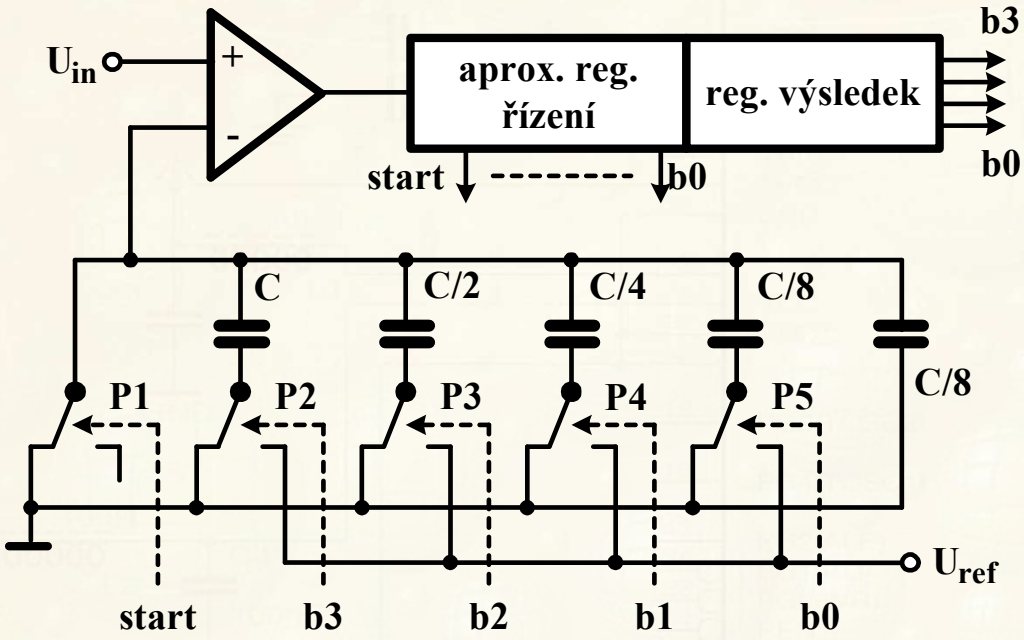
A/D PŘEVODNÍK S POSTUPNOU APROXIMACÍ 80-TÁ LÉTA

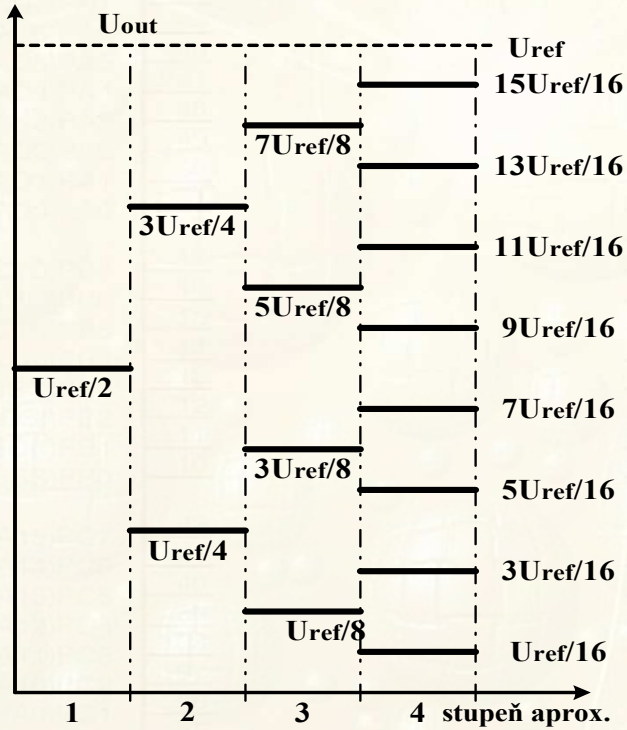




Aproximační registr realizuje metodu půlení intervalu. První stav 1000000 nebo 0111111. Nastavený bit je po vyhodnocení nastaven podle výstupu komparátoru a nastaven další bit v pořadí.

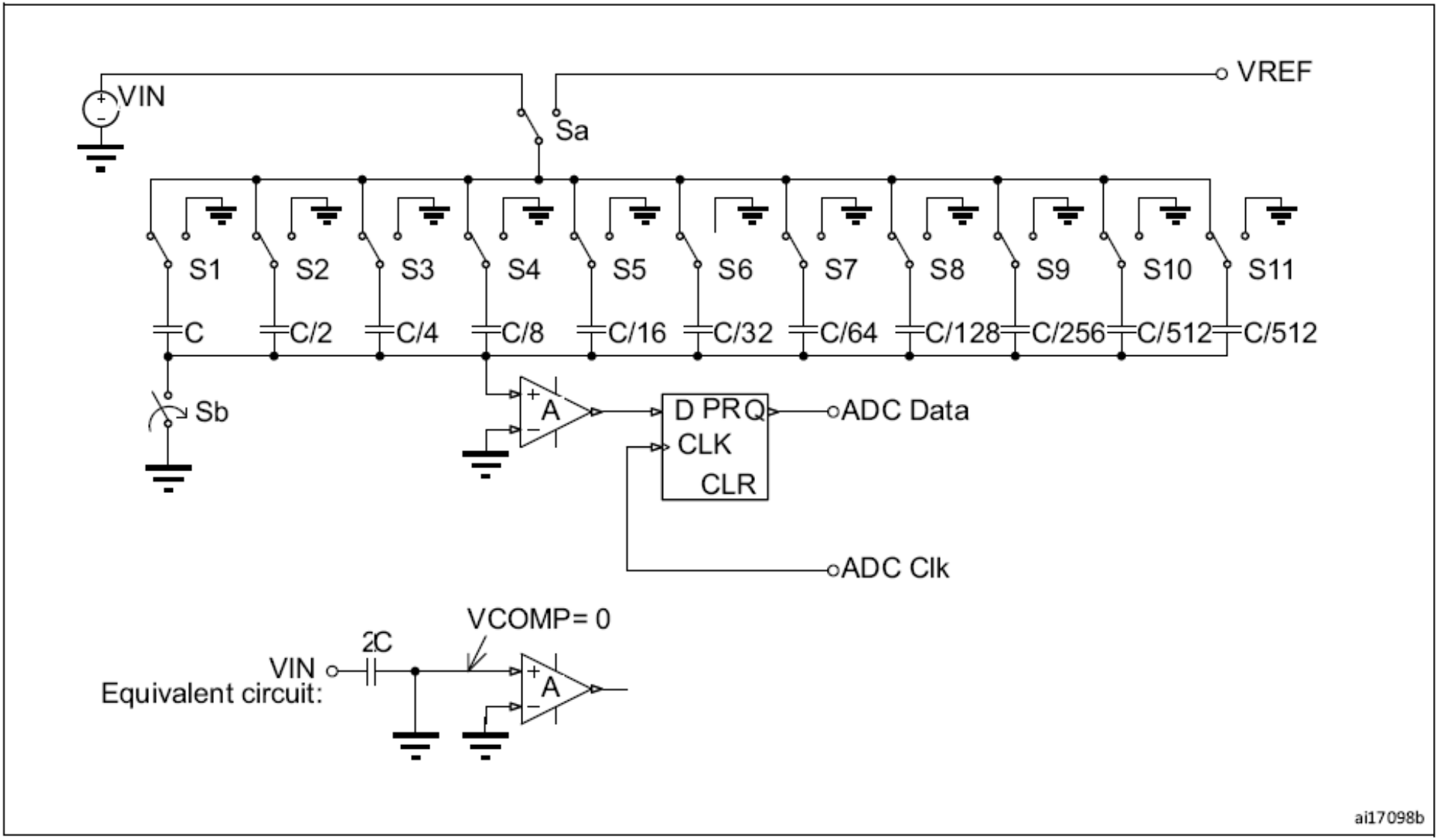
INTERNÍ A/D PŘEVODNÍKY – PŘEROZDĚLOVÁNÍ NÁBOJE





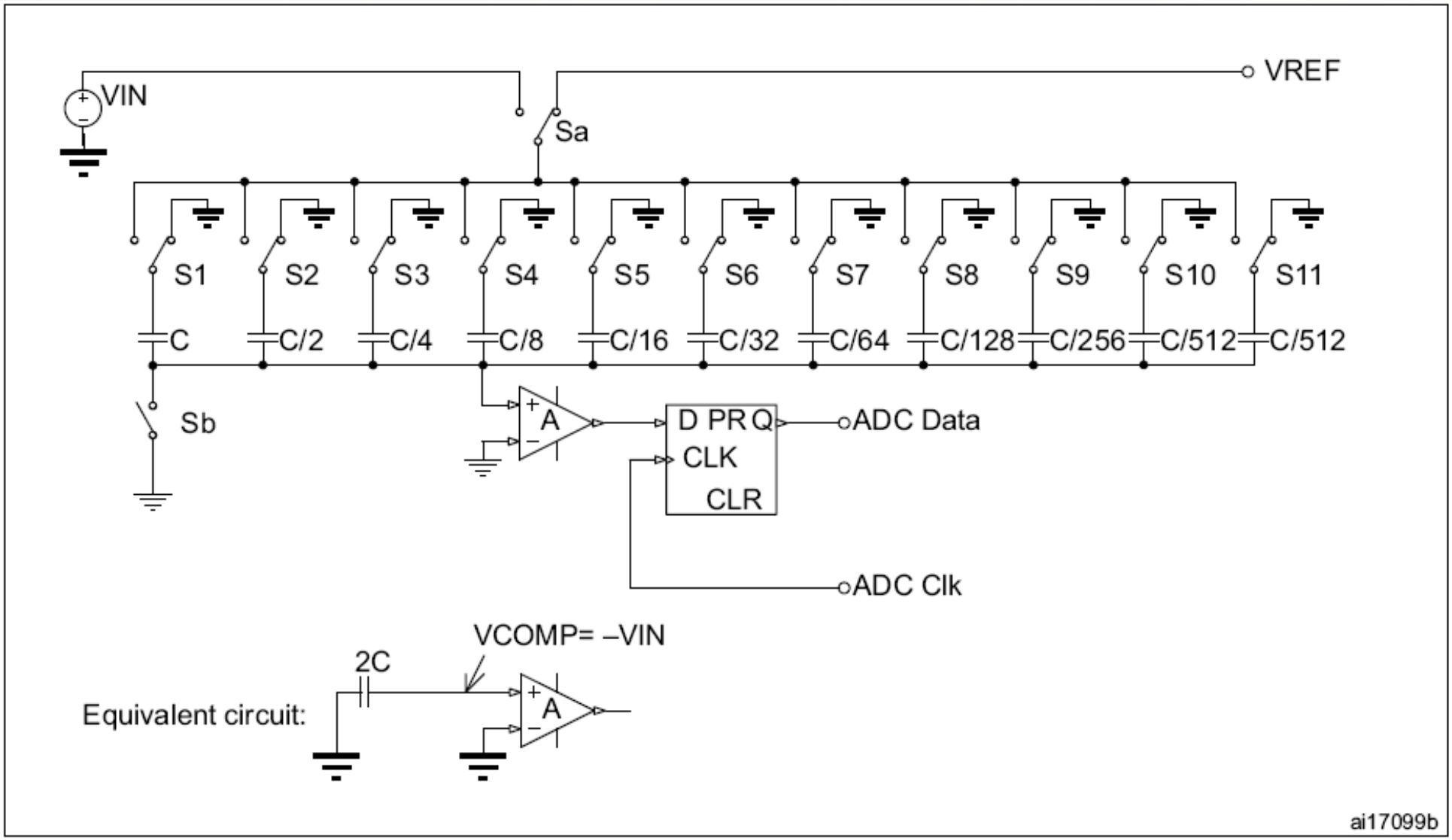
D/A převodníky bývaly realizovány odporovou sítí, kterou pro dosažení potřebné přesnosti bylo nutné laserově dostavovat. Hledání levnější technologie vyústilo v použití kapacitního D/A převodníku s přerozdělováním náboje mezi jednotlivými kapacitami.

Převod u A/D převodníku procesoru ARM - Application note AN2834



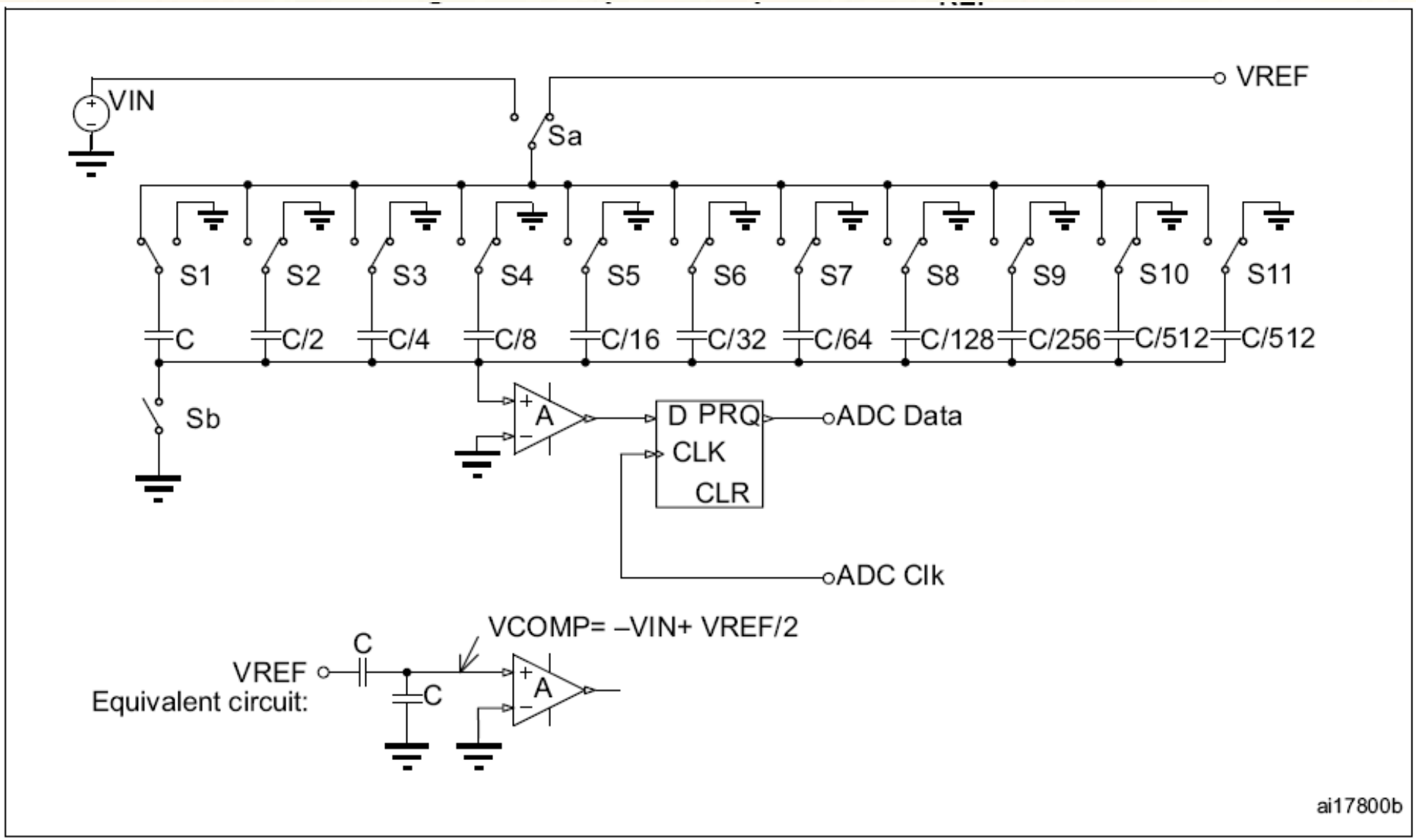
1. Sample state: capacitors are charging to V_{IN} voltage. Sa switched to V_{IN}, Sb switch closed during sampling time.

Převod u A/D převodníku procesoru ARM - Application note AN2834



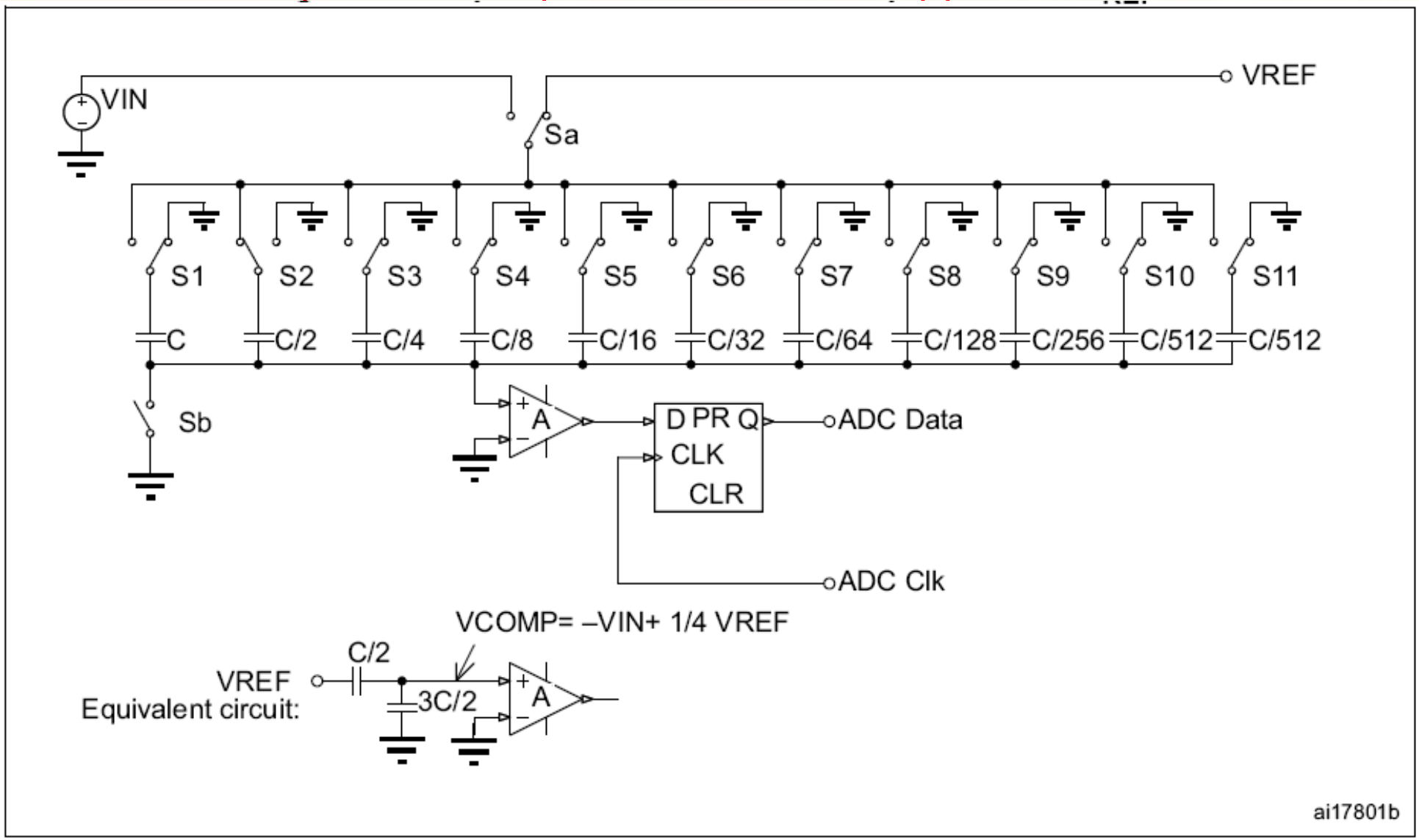
1. Hold state: the input is disconnected, capacitors hold input voltage. Sb switch is open, then S1-S11 switched to ground and Sa switched to V_{REF}.

Převod u A/D převodníku procesoru ARM - Application note AN2834



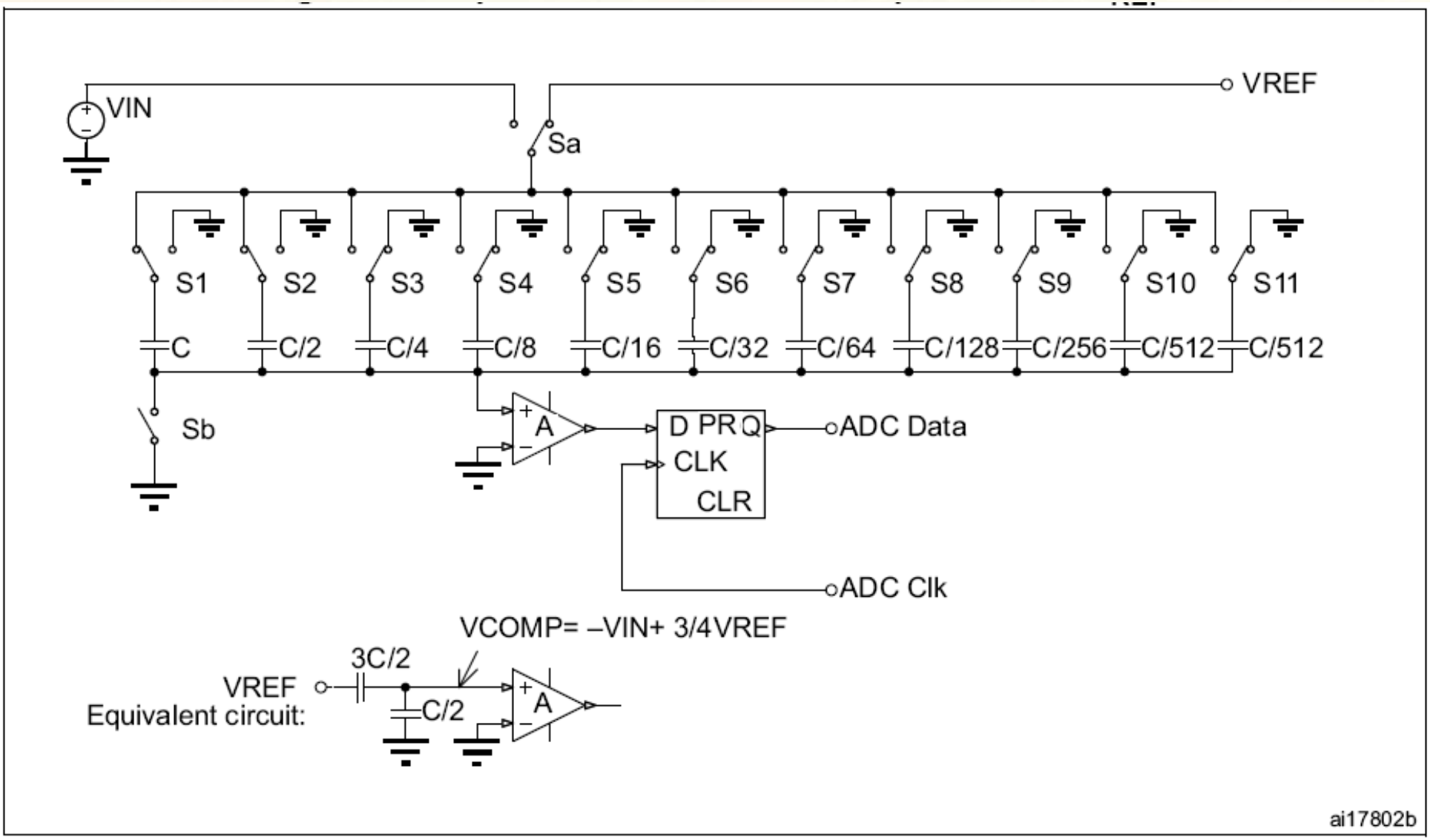
1. First approximation step. S1 switched to V_{REF}.

Převod u A/D převodníku procesoru ARM - Application note AN2834



1. Compare with ¼V_{REF}; if MSB =1. S1 switched back to ground. S2 switched to V_{REF}.

Převod u A/D převodníku procesoru ARM - Application note AN2834



1. Compare with ¾V_{REF}; if MSB =0. S1 remained switched to ground. S2 switched to V_{REF}.

INTERNÍ A/D PŘEVODNÍKY – MOŽNÉ PROBLÉMY U ARM

Z popisu činnosti A/D převodníku u procesorů ARM vyplývá, že každé měření souvisí s nabíjením kapacit na aktuální vstupní napětí. Tím bude docházet

- K úbytku napětí na ochranných obvodech A/D převodníku i vnitřním odporu A/D převodníku
- Záporný injektovaný proud na jakémkoli analogovém pinu (nebo blízko umístěném digitálním vstupním pinu) může zavést svodový proud do vstupu ADC. Nejhorší případ je sousední analogový kanál.
- Teplota má zásadní vliv na přesnost ADC. Hlavní vliv na driftu chyby ofsetu a zesílení.
- Vazba mezi vodiči ADC a digital (tzv. crosstalk)

INTERNÍ A/D PŘEVODNÍKY – Σ-Δ

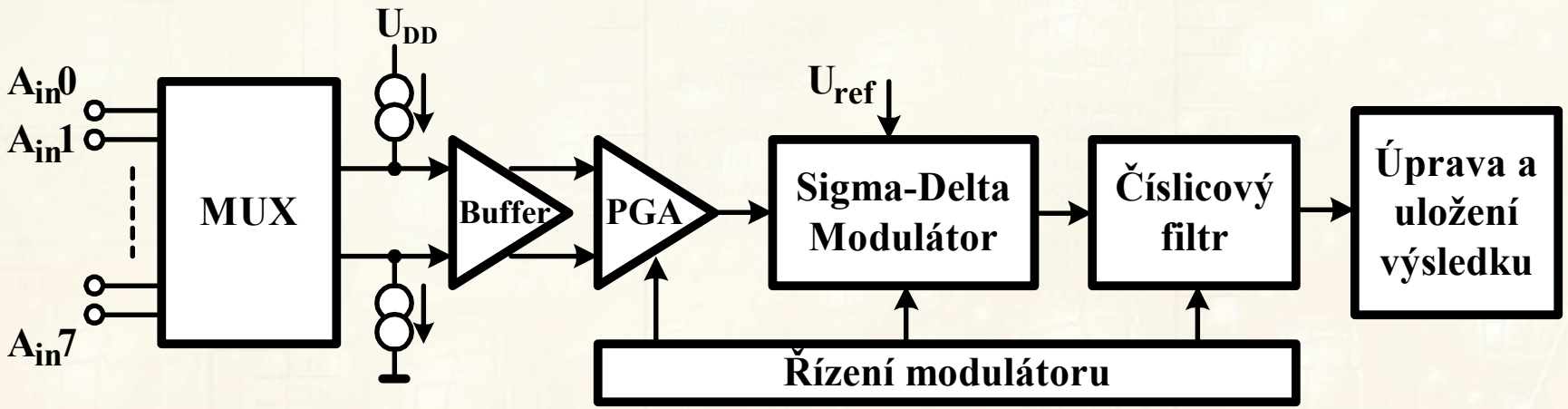
Na přelomu století přichází jednočipové procesory s 16 a 24 bitovým Sigma-Delta A/D převodníkem (Analog – řada ADuC8xx, TI a Burr-Brown MSC1210).

Vstupy převodníku přináší následující vlastnosti:

- Analogový multiplexor vybírá vstup (měření 0 až U_{ref}) nebo napětí mezi dvěma vodiči ($-U_{ref}$ až U_{ref}).
- Proudové zdroje (100nA) umožňují identifikovat zda analogový vstup je zapojen či nikoliv.
- Před PGA s velkým vstupním odporem může být obvod prohazující vstupní signály - **eliminace offsetu a teplotního driftu**.
- Zesilovač PGA s programovatelným zesílením v rozsahu 1 až 128 zajišťující symetrický napěťový rozsah (±20mV až ±1,28 nebo 0 ÷ 2,56V).

INTERNÍ A/D PŘEVODNÍKY – Σ-Δ

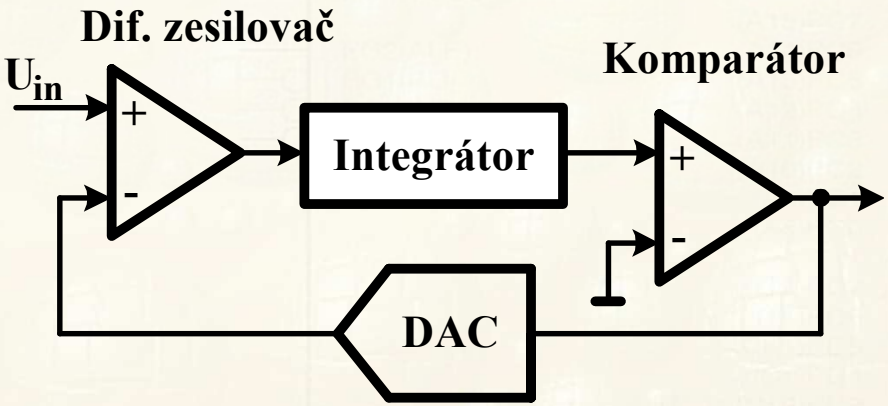
- Následuje Sigma-Delta modulátor s programovatelným číslicovým filtrem s charakteristikou $sinc^3$ nebo $sinc^2$.
- Bylo-li na vstupu prohazování vstupů, za filtrem následuje zpětné prohazování (změna znaménka).



- Převodník Σ-Δ převádí vstupní napětí na posloupnost 0 a 1, jejichž střední hodnota odpovídá měřenému napětí.

Σ-Δ - PŘEVODNÍK

- Výhodou Σ-Δ modulátoru je přetvarování průběhu kvantizačního šumu (potlačení šumu v oblasti nízkých kmitočtů).
- Měřené napětí je přivedeno na diferenciální zesilovač, kde se od něj odečítá výstup z obvykle 1-bitového D/A převodníku s úrovněmi $-U_{ref}$ a $+U_{ref}$.



- Signál je integrován v dolní propusti prvého nebo druhého řádu a přiveden na komparátor, který řídí D/A převodník.

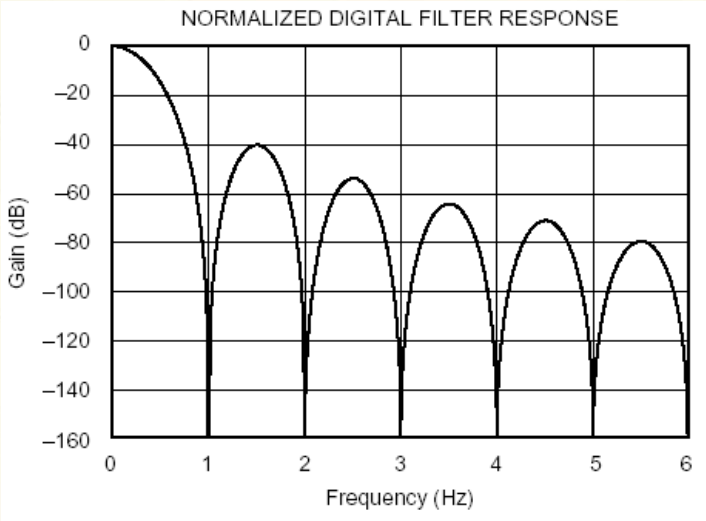
INTERNÍ A/D PŘEVODNÍKY – Σ-Δ

- Výstup komparátoru je vzorkován několika násobně vyšším kmitočtem, než je maximální kmitočet vstupního signálu $f_{max\ in}$ (512x a vyšším).
- Číslicový filtr na výstupu Σ-Δ modulátoru funguje jako obvod průměrovaní posloupnosti nul a jedniček vytvářející pásmově omezený signál s velmi malým šumem.
- Filtr je dolní propustí typu $Sinc^2$, $Sinc^3$ nebo rychlého nastavení, jehož základní funkcí je potlačit kvantizační šum modulátoru.

$$|H(f) = \left| \sin\left(\frac{\pi.f.N}{f_{MOD}}\right) \Big/ N.\sin\left(\frac{\pi.f}{f_{MOD}}\right) \right|^3$$

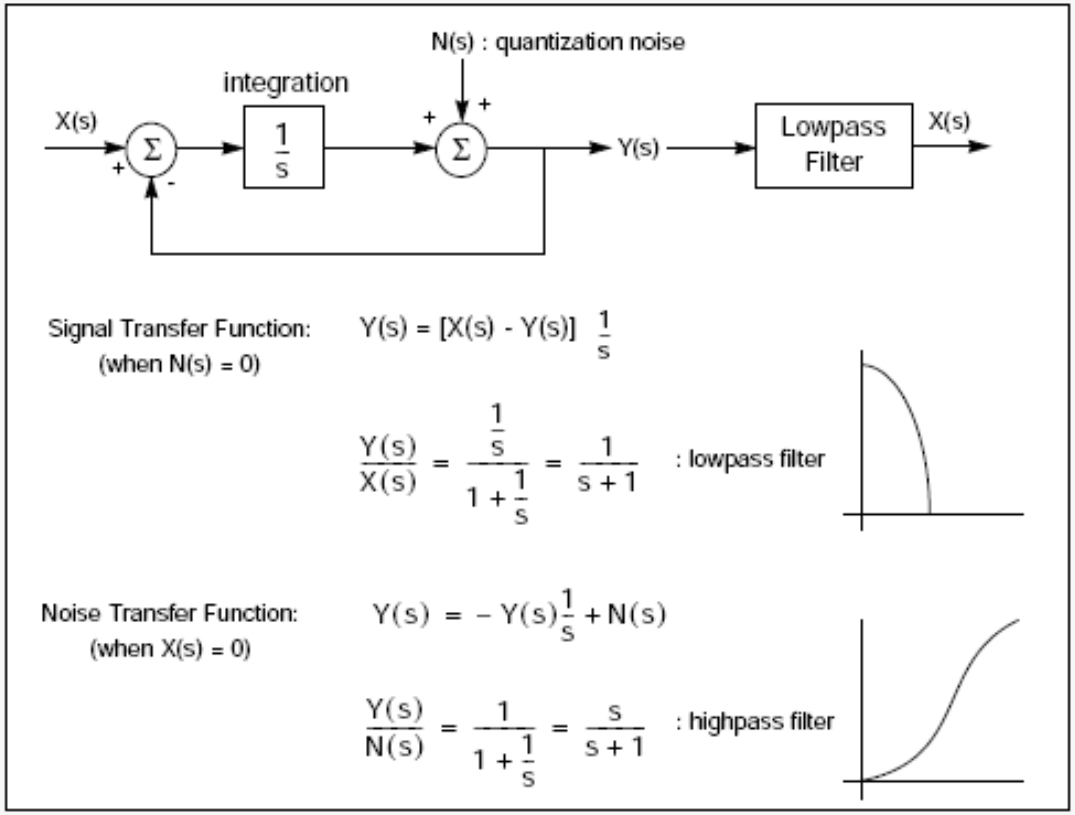
kde f_{mod} je kmitočet modulátoru a N je poměr určující snížení výstupních dat vůči f_{mod} (decimační poměr).

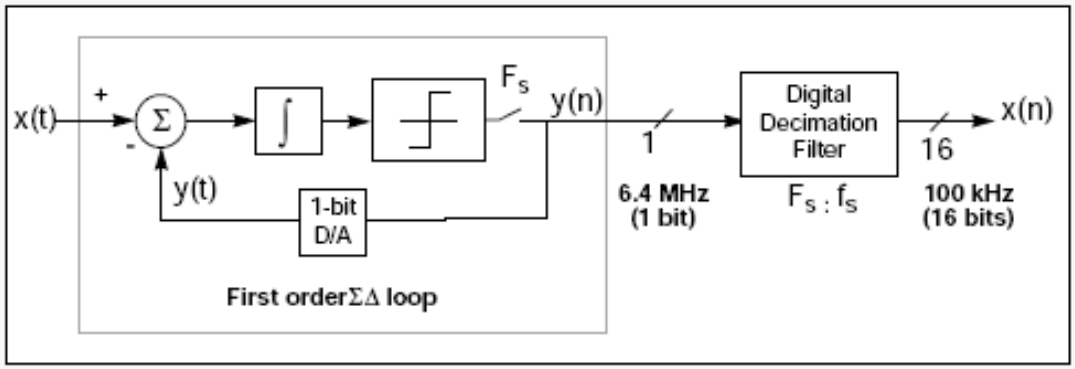
INTERNÍ A/D PŘEVODNÍKY – Δ-DELTA



- Zlomový kmitočet filtru, decimační poměr N a kmitočet modulátoru f_{MOD} jsou programovatelné.
- Hodnoty N a f_{MOD} ovlivňují datový tok výstupních hodnot z A/D převodníku.
- Vhodným naprogramováním může být například účinně potlačen síťový kmitočet 50 nebo 60Hz.
- Princip převzorkování umožňuje snížení kvantizačního šumu.

VLASTNOSTI SIGNÁLU U SIGMA-DELTA





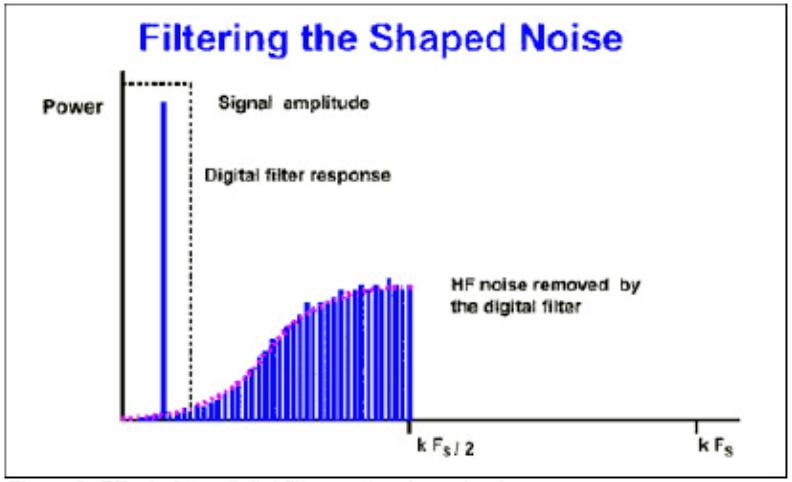


Figure 6. Effect of the digital filter on the shaped noise.

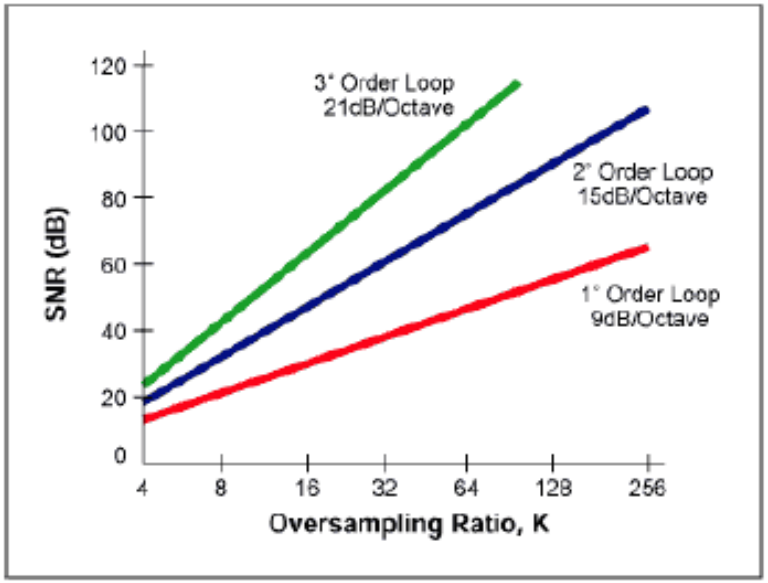
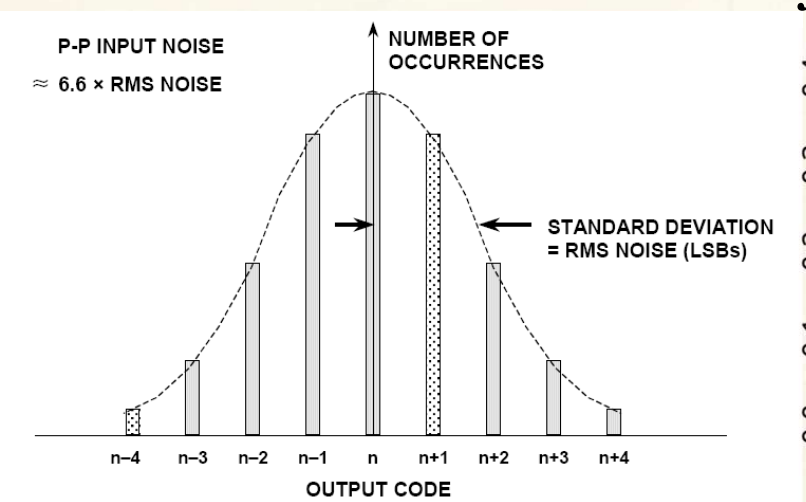
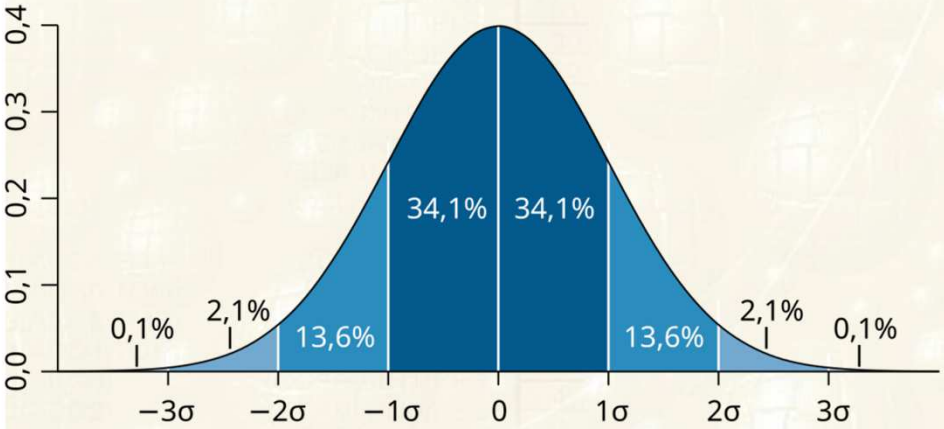


Figure 8. Relationship between order of sigma-delta modulator and th

INTERNÍ A/D PŘEVODNÍKY – Δ-DELTA

- Pro zvětšující se vzorkovací kmitočet budeme získávat výsledné hodnoty častěji, ale s **větším rozptylem**.
- Před uložením výsledku mohou být obvody průměrování, změny měřítka a přičtení kalibračního koeficientu.
- Stanovíme-li histogram výstupních hodnot pro konstantní napětí, potom **inflexní bod** určuje střední směrodatnou odchylku a její 6,6 násobek určuje interval špička-špička měřeného signálu ⇒ důležité pro stanovení stabilního údaje měřícího přístroje.





VLASTNOSTI VZORKOVÁNÍ SIGNÁLU – VYLEPŠENÍ POMĚRU SNR

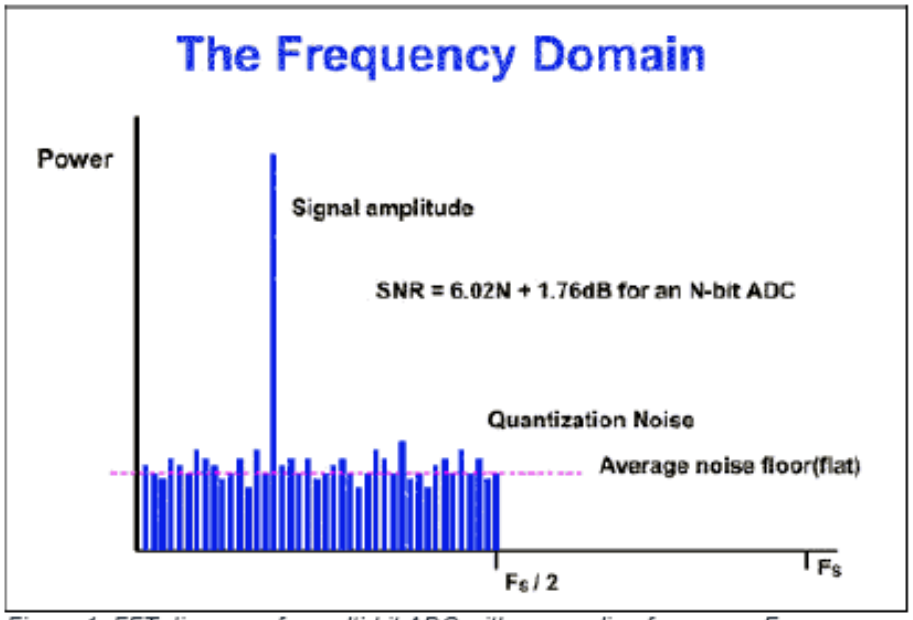


Figure 1. FFT diagram of a multi-bit ADC with a sampling frequency F_S.

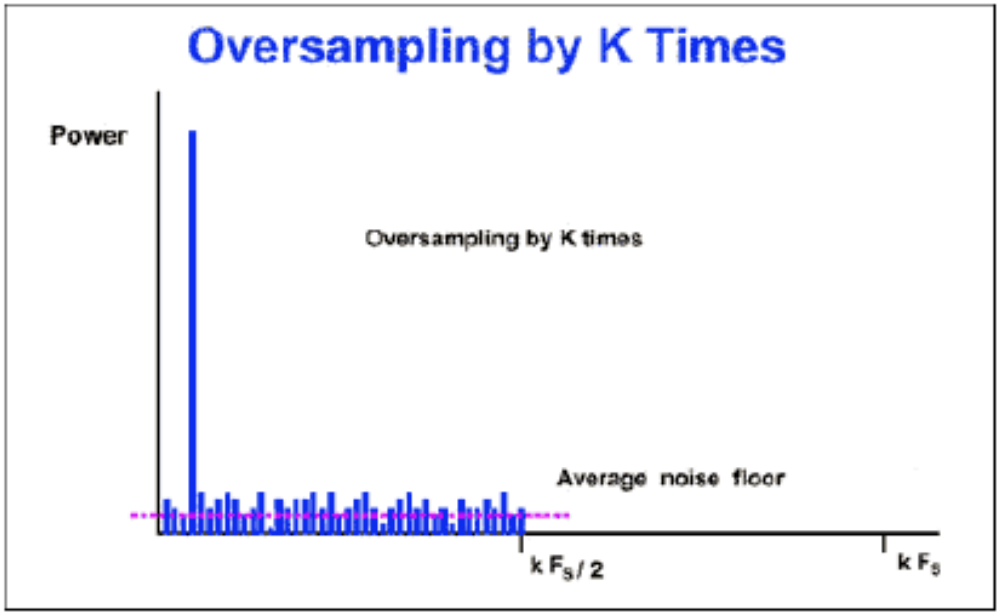
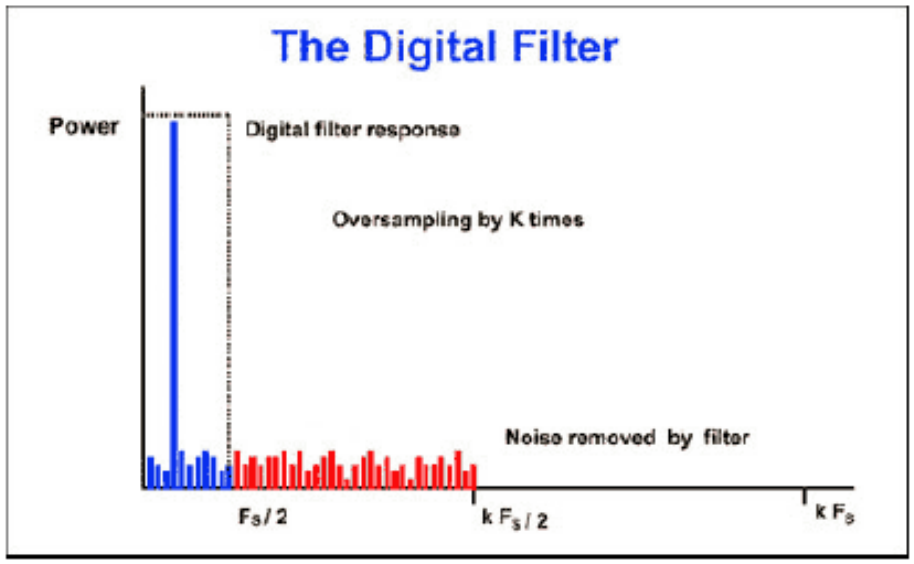


Figure 2. FFT diagram of a multi-bit ADC with a sampling frequency kF_S.



- ✓ Typ číslicového filtru
- ✓ Kvantování koeficientů filtru
- ✓ Implementovaná struktura
- ✓ Kvantování aritmetických operací
- ✓ Změna přenosové charakteristiky
- ✓ Aritmetický šum

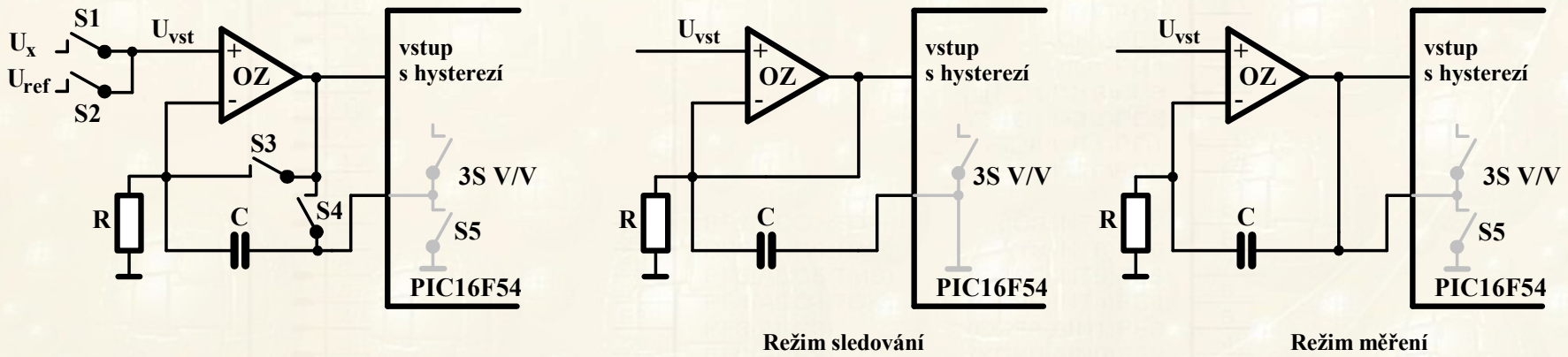
INTERNÍ A/D PŘEVODNÍKY – INTEGRAČNÍ A/D

Jednoduché mikroprocesory jsou pro A/D převod vybaveny obvody pro implementaci integračního převodníku s jednoduchou nebo dvojitou integrací:

- Komparátorem
- Logickým vstupem s hysterezí

Měření napětí se převádí na **měření času** potřebného k nabití kondenzátoru C na napětí hystereze.

- Neinvertující vstup OZ = měřené napětí (U_{ref} nebo U_x)
- Spínače S3, S4 a S5 se nastaví na režim napěťového sledovače.
- Po ustálení $U_{kapacity}=U_x$

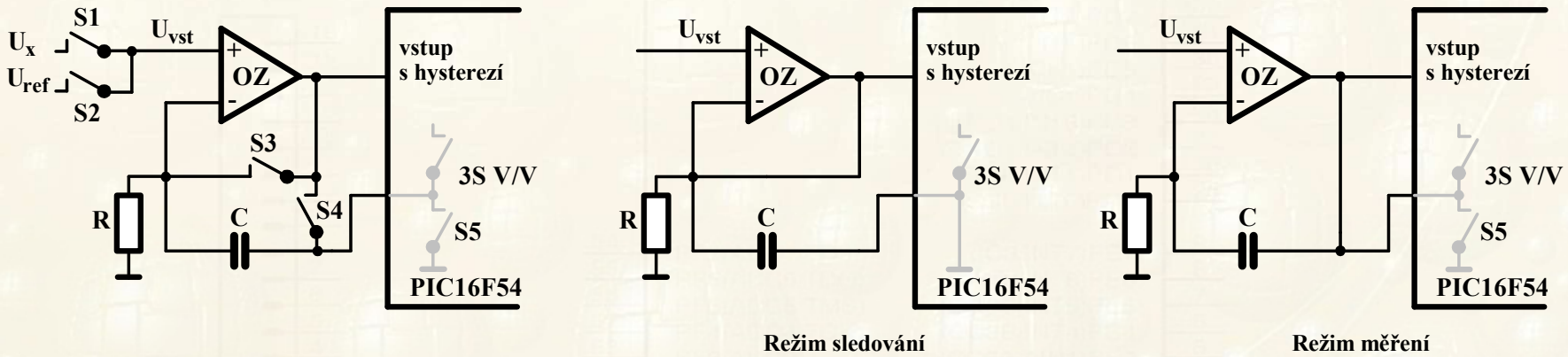


INTERNÍ A/D PŘEVODNÍKY – INTEGRAČNÍ A/D

- Spínače S3,S4 a S5 nastaveny do režimu integrace (měření) a současně se spustí časovač.

  Silná záporná zpětná vazba OZ bude na invertující vstupu udržovat napětí U_x a kondenzátorem C poteče téměř lineární proud přes odpor R ($I_R = U_x / R$) ⇒ napětí na vstupu s hysterezí bude lineárně vzrůstat z nuly až k napětí určující log.1.
- V okamžiku dosažení prahové úrovně je časovač zastaven
- Napětí je vyjádřeno počtem period hodinového signálu.
- Měřené napětí vypočteme

$$U_x = U_{ref}(T_x / T_{ref})$$



Režim sledování

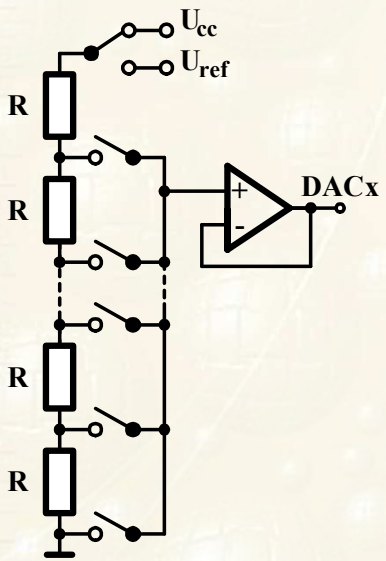
Režim měření

INTERNÍ D/A PŘEVODNÍKY

Do roku 2000 byl D/A převod realizován

- Externím převodníkem s paralelním nebo sériovým rozhraním (I^2C, SPI)
- Externím nebo interním pulzně šířkovým modulátorem (PWM) s nezbytnou filtrací.

Analog Devices a Cygnal integrovaly jeden nebo dva 12 bitové D/A převodníky přímo na čip procesoru. Převodník je tvořen odporovou sítí (velmi dobrá diferenciální nelinearita), a výstup realizuje operační zesilovač v režimu sledovače, který je schopen pracovat do zátěže tvořené odporem 10 kΩ a kapacitou 100 pF. Převodník může pracovat v 8 nebo 12 bitovém rozlišení s tím, že zápis **12 bitů musí být v pořadí** určeném výrobcem (změna nastává až s druhým zápisem). U některých výrobců nelze pracovat s 50 nejnižšími a nejvyššími úrovněmi D/A převodu.



A/D PŘEVODNÍK NA PROCESORU ARM – OBECNĚ

Procesor ARM je vybaven 12-bitovým A/D převodníkem s postupnou aproximací, ke kterému můžeme připojit až 42 multiplexovaných kanálů tvořených 40 externími a dvěma interními zdroji signálu.

- **A/D převod** může být v jednoduchém, kontinuálním, skenovacím nebo injektovaném (vloženém) režimu.
- **Výsledek** může být uložen se zarovnáním doleva nebo doprava.
- **Analogový watchdog** umožňuje detekovat překročení definované horní a dolní prahové hodnoty vstupního napětí.
- **Převod** je vždy prováděn maximální frekvencí systémových hodin. Během převodu je výrazně snížena spotřeba procesoru.
- **Převod** může být naprogramován na 12, 10, 8 nebo 6 bitový.
- **Na konci** každého převodu nebo skenovací sekvence může být generováno **přerušení**.
- **Ve skenovacím režimu** (SCAN) můžeme zrealizovat převody v naprogramovaném pořadí vstupů.

A/D PŘEVODNÍK NA PROCESORU ARM – OBECNĚ

- **Pro každý kanál** můžeme stanovit individuální čas vzorkování.
- **Převod** může být odvozen od vzestupné nebo sestupné hrany externího signálu. Doba převodu A/D je 1 µs při kmitočtu 16 MHz a až 4 µs při 4 MHz nezávisle na hodinovém kmitočtu APB.
- **Při plné rychlosti** musí být ADC napájen v rozsahu 2,4 až 3,6 V. Pro nižší rychlosti 1,8V. Vstupní napětí převodníku musí ležet v intervalu $\pm V_{REF}$.
- Procesor je vybaven zdrojem **referenčního napětí** V_{REFINT} o typické hodnotě 1,21V (1,18 ÷ 1,24V). Pro **přesnější měření** si nejprve změříme hodnotu referenčního napětí V_{REFINT_DATA}, ke které provedeme přepočet naměřené hodnoty s V_{REFINT} =1.21V.
- **Pro přesná měření** využijeme v procesoru uloženou kalibrovanou hodnotu napěťové reference V_{REFINT_CAL} při 30°C a V_{DDA}=3.3 V v adresovém prostoru 0x1FFF7A2A÷ 0x1FFF7A2B. Změřením aktuální hodnoty napěťové reference v kanálu 17 získáme hodnotu V_{REFINT_DATA}.

A/D PŘEVODNÍK NA PROCESORU ARM – OBECNĚ

- **Hodnotu neznámého napětí** pak vypočteme ze vztahu

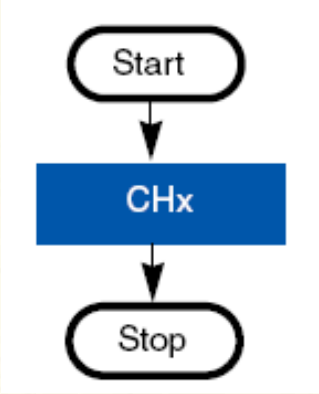
$$V_X = \frac{3{,}3 * \mathrm{Vrefint_cal} * \mathrm{ADC_data_x}}{\mathrm{Vrefint_data} * \mathrm{FULL_scale}}$$

  kde $\mathrm{ADC_data_x}$ je změřená hodnota napětí v kanále x a FULL_scale je největší hodnota pro nastavený bitový rozsah 12 bitů (2^{12}-1=4095) nebo pro 8 bitů (2^{8}-1=255) .

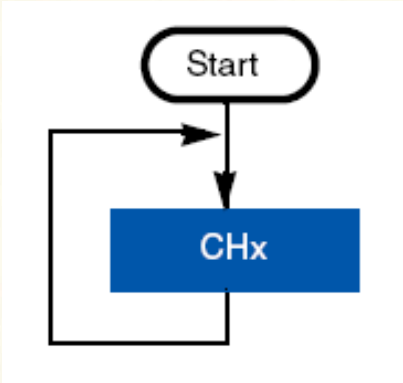
- **Kompenzace referenčního napětí v závislosti na teplotě.** Pro opravdu přesná měření je třeba korigovat hodnotu referenčního napětí v závislosti na teplotě. V takovém případě stanovíme teplotu pomocí teplotního čidla a provedeme korekci na změřenou teplotu. Závislost není výrobcem specifikována, garantovaná odchylka je maximálně 10mV v celém rozsahu teplot.

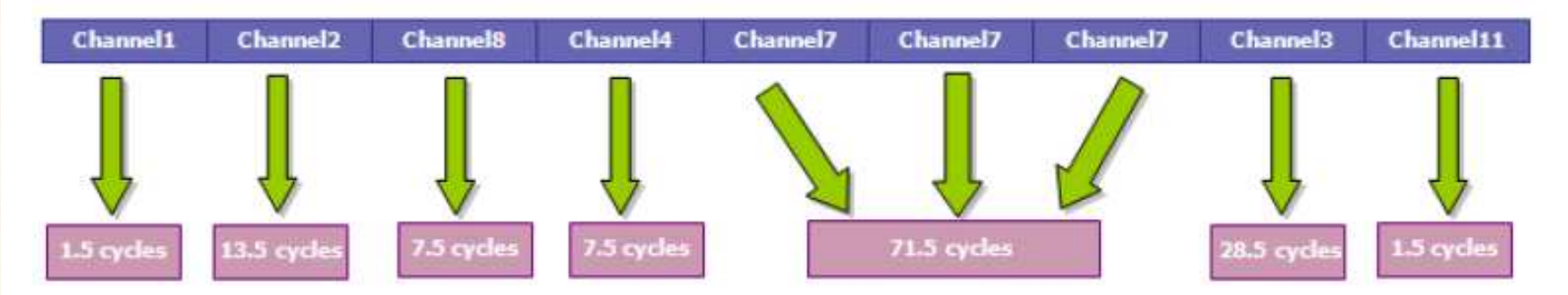
A/D PŘEVODNÍK NA PROCESORU ARM – OBECNĚ

- **Jeden kanál, jeden A/D převod**

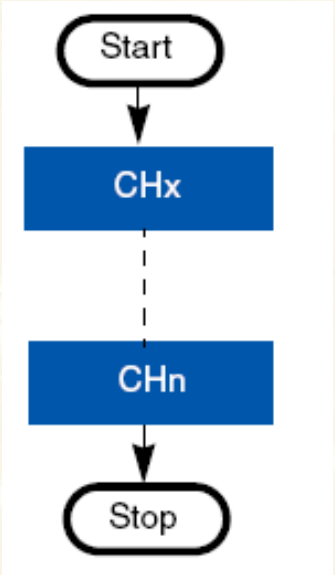


- **Jeden kanál, kontinuální A/D převod**

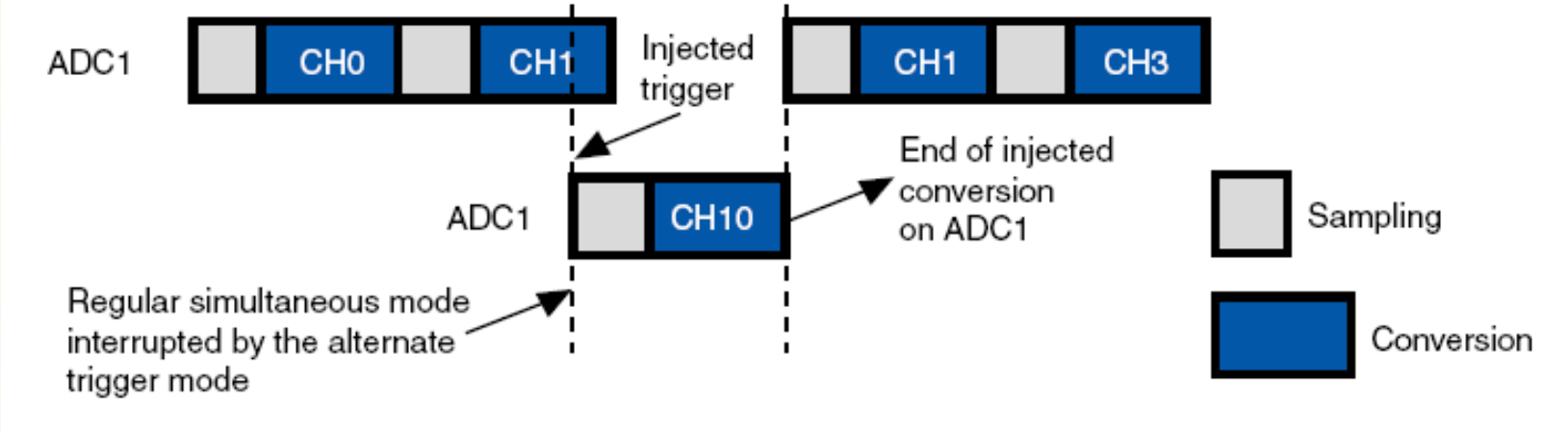




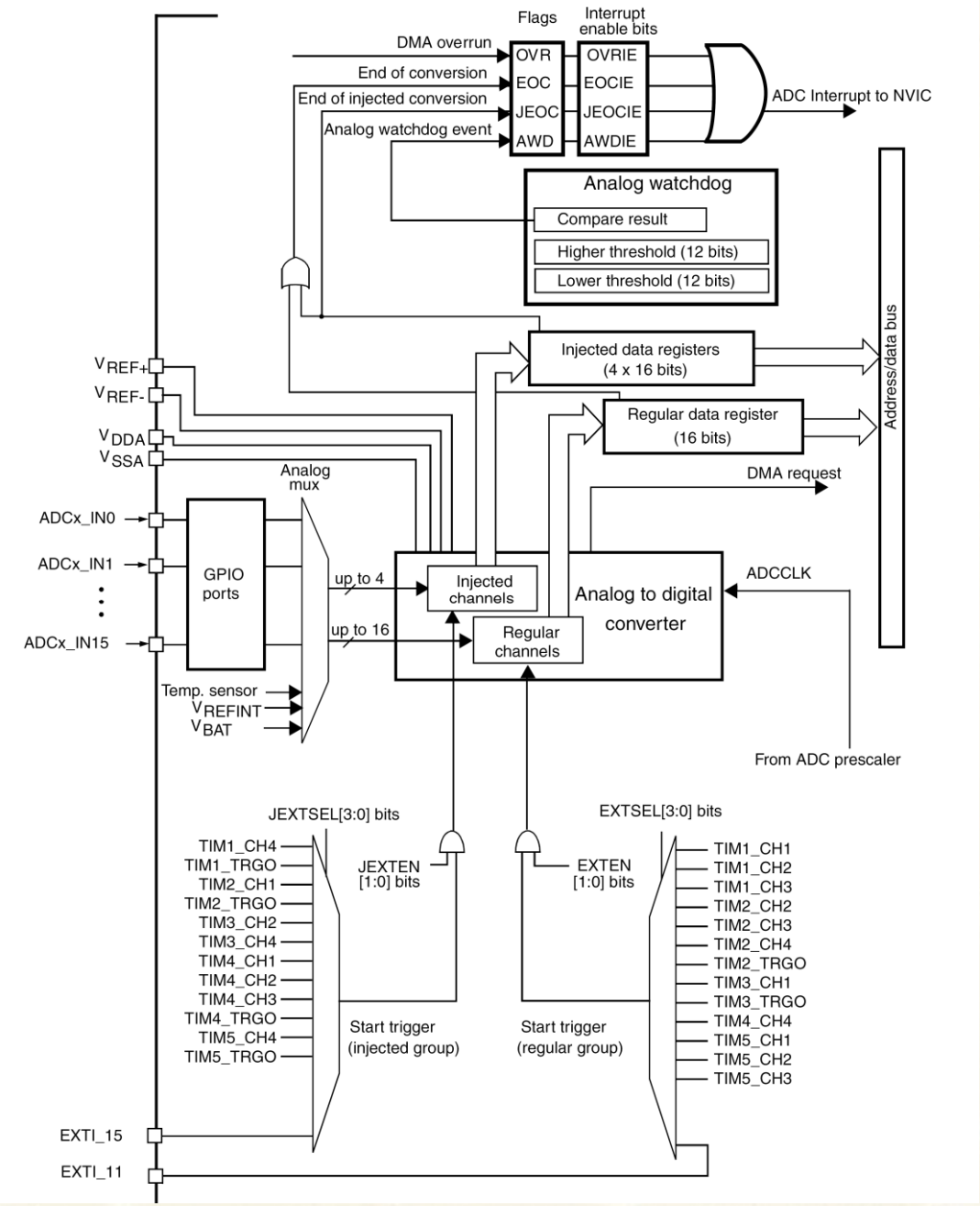
- **Jeden vícekanálový (skenovací), převodní mód**



- **Injektovaný převodní mód**



A/D PŘEVODNÍK NA PROCESORU ARM F401 – OBECNĚ



Procesor má 16 multiplexovaných kanálů organizovaných do:

- Regulární skupiny
- Injektované skupiny

Regulární skupina až 16 kanálů v pořadí určeném registry ADC_SQRx a počtem kanálů v ADC_SQR1.

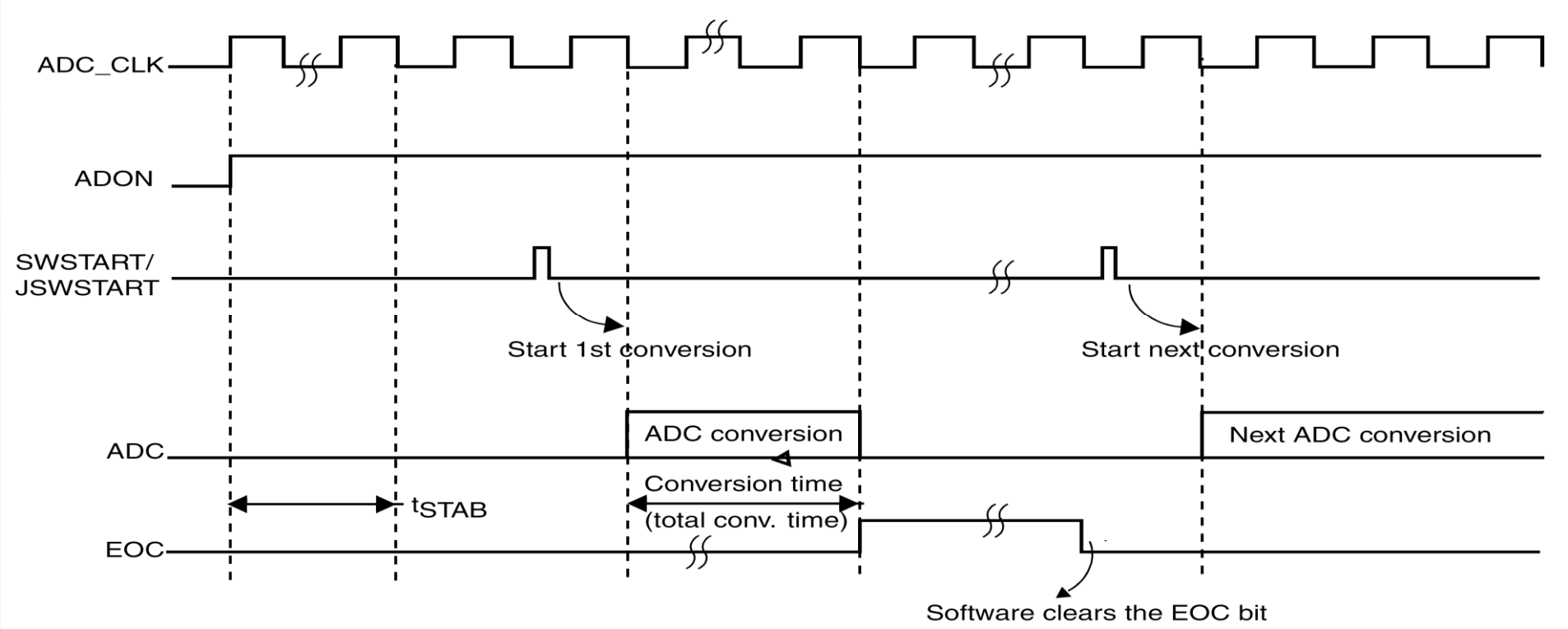
Injektovaná skupina má 4 kanály konfigurované registrem ADC_JSQR.

Kanál 17 – interní reference
Kanál 18 – měření baterie VBAT a teplotní senzor.

A/D PŘEVODNÍK NA PROCESORU ARM – OBECNĚ

Single conversion mód – jeden převod při bitu CONT=0 spuštěný SWSTART bitem v ADC_CR2 nebo JSWSTART pro injektovaný kanál. Převedená hodnota v ADC_DR registru oznámená ukončením převodu EOC a příznakem přerušení EOCIE.

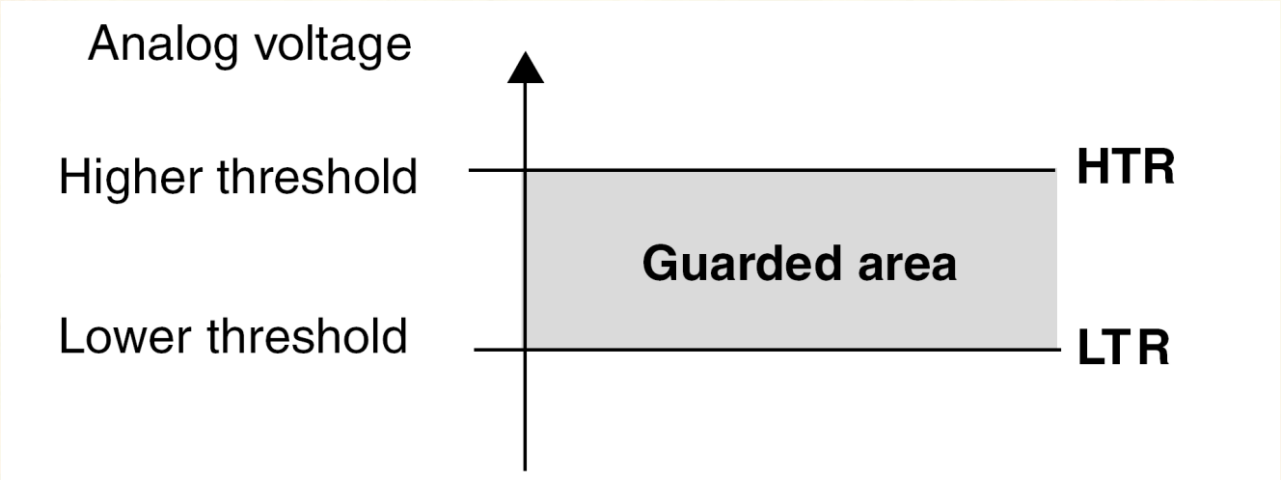
Continuous conversion mode – pro CONT=1 spuštěný stejně a indikovaný po každém převodu stejně jako single mód.



A/D PŘEVODNÍK NA PROCESORU ARM – OBECNĚ

Analogový watchdog – umožňuje indikovat pro stanovený rozsah ADC napětí, které je mimo stanovený rozsah nastavením bitu AWD.

Meze se stanovují ve spodních 12 bitech registrů ADC_HTR a ADC_LTR. Přerušení povoluje bit AWDIE v ADC_CR1 registru.



Skenovací mód – je nastaven bitem SCAN v ADC_CR1 registru. Po nastavení provádí převod všech zvolených kanálů. Po ukončení převodu jednoho kanálu pokračuje v převodu následujícího kanálu. Po ukončení skupiny pokračuje od prvního kanálu pokud je nastaven bit CONT.

A/D PŘEVODNÍK NA PROCESORU ARM – OBECNĚ

Je-li nastaven bit DMA, pak DMA kontrolér zajišťuje přenos převedených hodnot skupiny do SRAM po každém převodu. Bit EOC je nastaven v registru ADC_SR:

- Na konci každé skupiny převodů při vynulovaném bitu EOCS.
- Na konci každého převodu kanálu ve skupině, pokud EOCS=1.

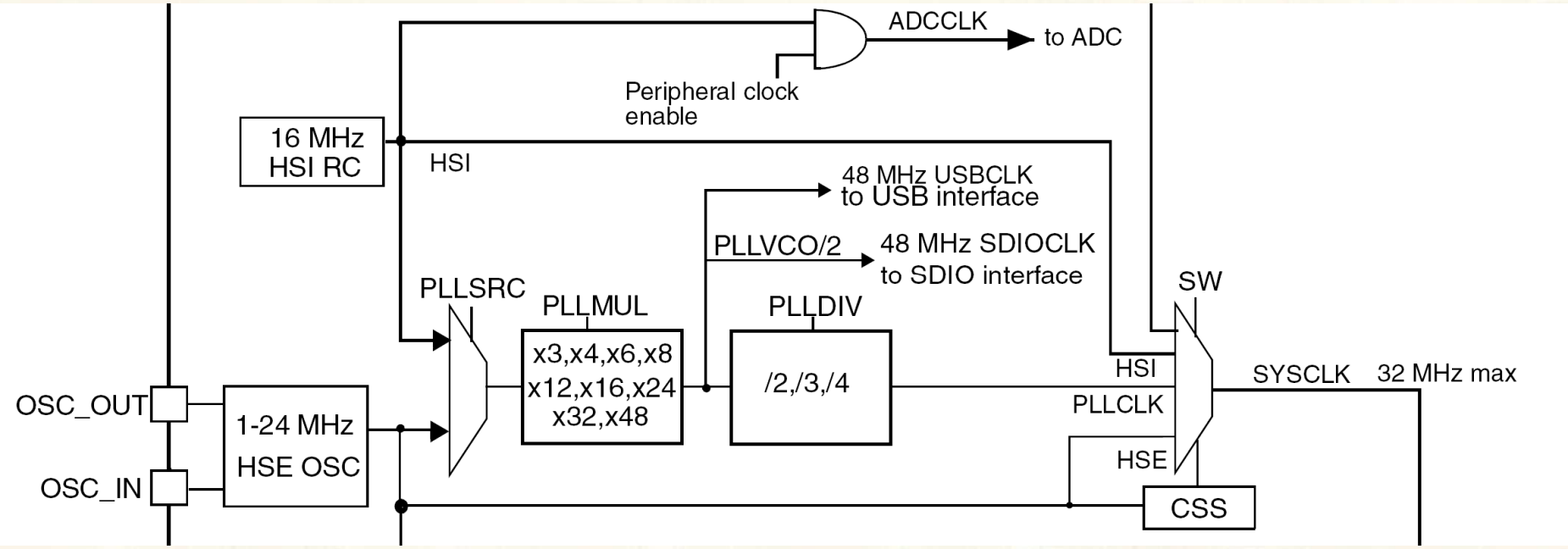
Programovatelný čas vzorkování kanálu - ADC vzorkuje vstupní napětí po určitý počet cyklů ADCCLK, které lze upravit pomocí bitů SMP [2:0] v registrech ADC_SMPR1 a ADC_SMPR2. **Každý kanál může mít jinou dobu vzorkování**. Celková doba převodu se vypočítá takto: Tconv = doba vzorkování + 12 cyklů.

Režim rychlé konverze – je dán nejkratší dobou vzorkování kanálu (3 cykly) a případně snížením přesnosti převodu. Bity RES jsou slouží k výběru počtu bitů dostupných v datovém registru. Minimální doba převodu je pro každé rozlišení následující:

- 12 bitů: 3 + 12 = 15 cyklů ADCCLK,
- 10 bitů: 3 + 10 = 13 cyklů ADCCLK,
- 8 bitů: 3 + 8 = 11 cyklů ADCCLK
- 6 bitů: 3 + 6 = 9 cyklů ADCCLK.

A/D PŘEVODNÍK NASTAVENÍ

Hodinový signál pro A/D převodní je vyvedený přímo z oscilátoru HSI o kmitočtu 16MHz. Jestliže povolíme hodiny pro převodník, může být jeho kmitočet vydělen hodnotou 1, 2 nebo 4 bity **ADCPRE v ADC_CCR.**



A/D PŘEVODNÍK INICIALIZACE

```
void Inicializace_ADC(void)
{    //  Initializace HSI hodin je již v podprogramu SystemCoreClockSetHSI
     // RCC->CR |= ((uint32_t)RCC_CR_HSION);
     // setbit(RCC->CR, 0);                  //  Povoleni HSI
     // while ((RCC->CR & RCC_CR_HSIRDY) == 0);
     // while (!getbit(RCC->CR, 1));         //  Čekej až bude HSI stabilní
                                            //  Inicializace ADC
     RCC->APB2ENR |= RCC_APB2ENR_ADC1EN;
     // setbit(RCC->APB2ENR, 8);             //  Povoleni hodin pro ADC1
     ADC->CCR &= ~ADC_CCR_TSVREFE;           //  Zakázání teplotního senzoru
     ADC->CCR |= ADC_CCR_ADCPRE_1;           //  Předdělič ADC = HSI/4
     ADC1->SQR1 &= ~ADC_SQR1_L;              //  Jeden převod
     ADC1->SQR5 &= ~ADC_SQR5_SQ1;            //  Všechny převody z kanálu 0 (tj. PA_0)
     // clearbit(ADC1->SQR3, 0);             //  1st conversion in regular sequence will be from
                                            //  channel 0
     // clearbit(ADC1->SQR3, 1);             //  reset state - all conversions from channel0 (PA_0)
     // clearbit(ADC1->SQR3, 2);             //  this is just an example
     // clearbit(ADC1->SQR3, 3);
     // clearbit(ADC1->SQR3, 4);
#ifdef BIT12
     ADC1->CR1 &= ~ADC_CR1_RES               //  12 bitová konfigurace
     // clearbit(ADC1->CR1, 24);             //  12-bit resolution (Tconv = 15 ADCCLK cycles)
     // clearbit(ADC1->CR1, 25);             //  Reset state
#endif
     ADC1->CR2 &= ~ADC_CR2_ALIGN;            //  Zarovnání doprava
     // clearbit(ADC1->CR2, 11);             //  Right alignment, reset state
#ifdef HISAMP
     ADC1->SMPR2 |= ADC_SMPR2_SMP0           //  Vzorkování po dobu 480 cykly
     // setbit(ADC1->SMPR2, 0);              //  channel0 sample rate: 480 cycles
     // setbit(ADC1->SMPR2, 1);
     // setbit(ADC1->SMPR2, 2);
#endif
     ADC1->CR2 |= ADC_CR2_ADON;              //  Povolení ADC převodníku
}
```