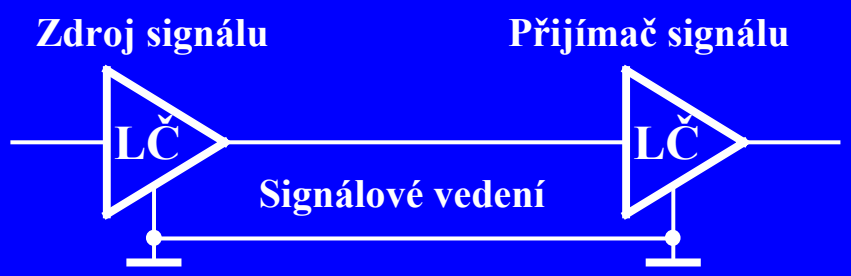
Vlastnosti logického spojení velmi rychlých obvodů

Přenos signálu z výstupu logického obvodu do vstupu jiného obvodu se uskutečňuje signálovým vodičem s tím, že proud se obvykle uzavírá přes zemní vodič. I když jsou přenášeny signály s nízkým kmitočtem, musíme spojení obvodů považovat za přenosové vedení se všemi důsledky. Současně je třeba pamatovat i na to, že signálový vodič s návratovým vodičem vytváří smyčku, která vyzařuje do svého okolí a může být zdrojem rušení v důsledku vnějšího elmag. pole (EMC).



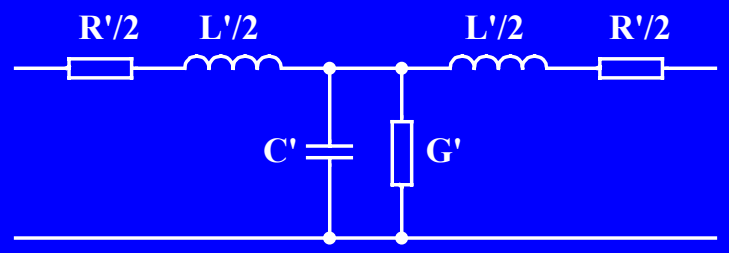
Je-li hrana přenášeného signálu kratší než dvojnásobek doby šíření, potom na propojení obvodů musí být nahlíženo jako na přenosové vedení.

$$t_r < 2\tau$$

kde t_r je doba vzestupné hrany a τ je doba šíření po vedení signálu. V opačném případě se odrazy uskuteční v době vzestupné/sestupné hrany signálu a na spojení je možné pohlížet kapacitním modelem.

Typické vlastnosti vedení

Úsek vedení s vlnou TEM můžeme popsat obvodem z obrázku, kde L je indukčnost, C je kapacita, R je odpor a G je vodivost na jednotku délky. Charakteristická impedance přenosového vedení je dána známým vztahem



$$Z_0 = \sqrt{\frac{j.\omega.L' + R'}{j.\omega.C' + G'}}$$

Pro krátké úseky vedení < 0,5m můžeme předpokládat idealizovaný model vedení (R'→0, G' →0). U plošných spojů můžeme s touto idealizací dobře počítat. Potom

$$Z_0 = \sqrt{L' / C'} \qquad \tau = \sqrt{L'.C'}$$

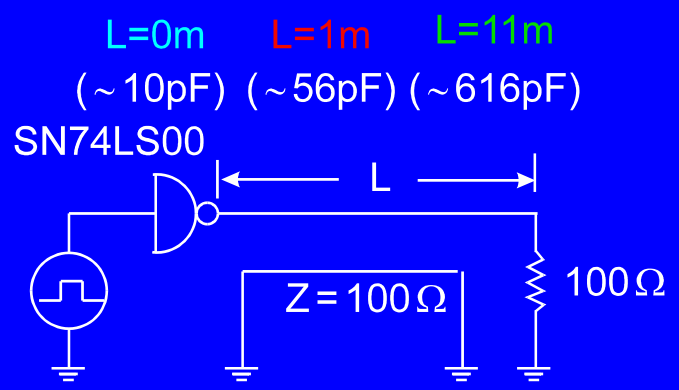
Pro obvykle používané vedení v číslicové technice můžeme změřit nebo vypočítat následující hodnoty

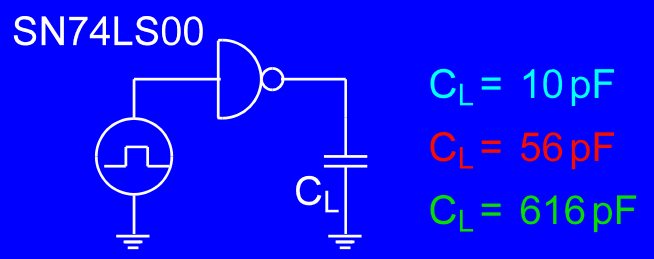
Vlastnosti vedení v číslicové technice

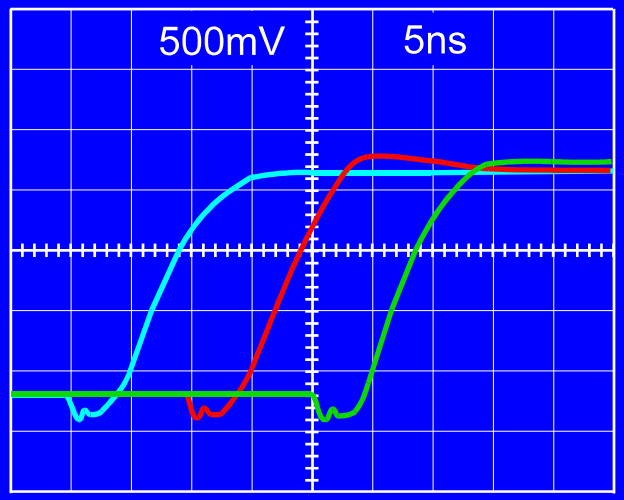
Přenosové vedení	L' [μH/cm]	C' [pF/cm]	Z_o[Ω]	τ [ns/m]
Samostatný vodič daleko od země	20	0.06	600	~ 4
Twist. pár, plochý kabel se zemí	5 ÷ 10	0,5 ÷ 1	80 ÷ 100	5
Vodič na PC bordu	5 ÷ 10	0,5 ÷ 1,5	70 ÷ 100	5
Koaxiální kabel	2,5	1,0	50	5
Sběrnicové vedení	5 ÷ 10	10 ÷ 30	20 ÷ 40	10 ÷ 20

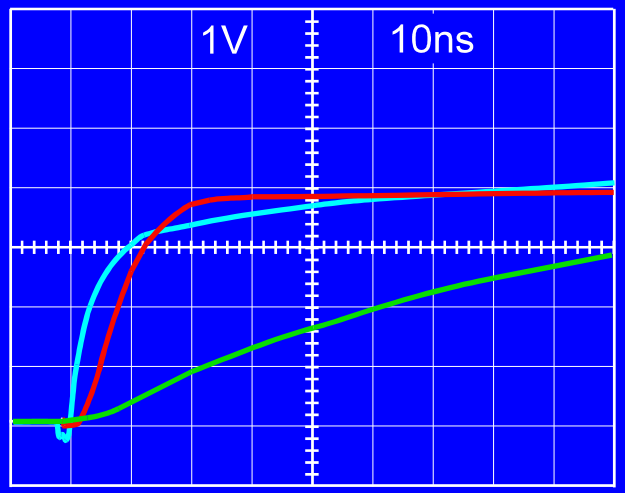
Snadným výpočtem zjistíme, že při době přechodu $t_{ř}$=2ns, musíme na plochý kabel delší než $L=t_r/2\tau=0{,}2$ [m] pohlížet jako na přenosové vedení. V případě sběrnicového vedení je situace mnohem nepříznivější $L=t_r/2\tau=0{,}05$[m].

Poměry na přenosovém vedení

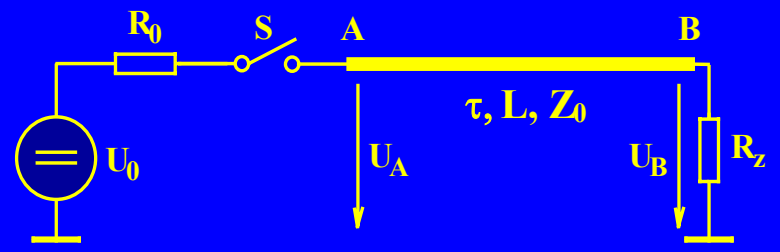








Analýza odrazů na přenosovém vedení



Vstupní vlna na výstupu generátoru bude mít amplitudu

$$U_a = U_0 . \frac{Z}{R_0 + Z} \quad pro \quad t < 2\tau$$

Odražená vlna od zátěže bude dána

$$U_{R1} = U_a . \rho_B , \quad kde \quad \rho_B = \frac{R_z - Z}{R_z + Z} \quad a \quad t \in (\tau \, ; 3\tau)$$

Odražená vlna od výstupu generátoru bude dána vztahem

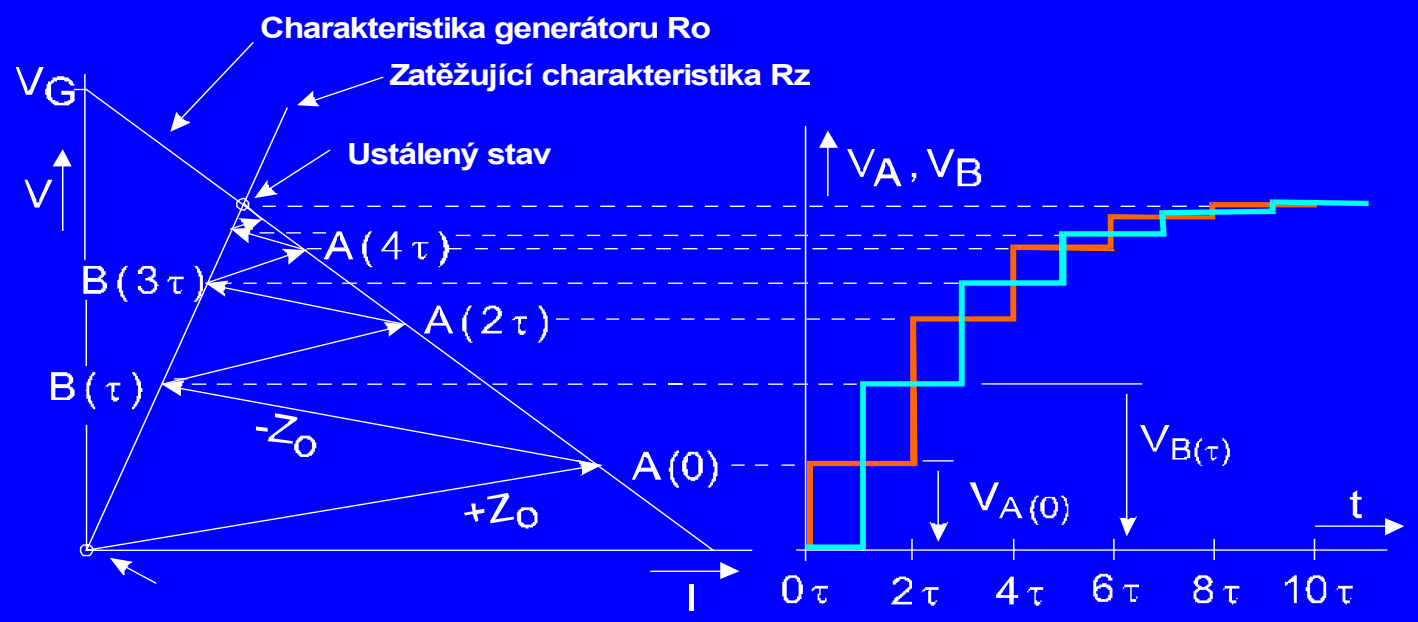
$$U_{R2} = U_{R1} . \rho_A , \qquad kde \quad \rho_A = \frac{R_0 - Z}{R_0 + Z}$$

Pro ustálený stav pak můžeme psát

$$U_\infty = U_0 . \frac{R_z}{R_0 + R_z}$$

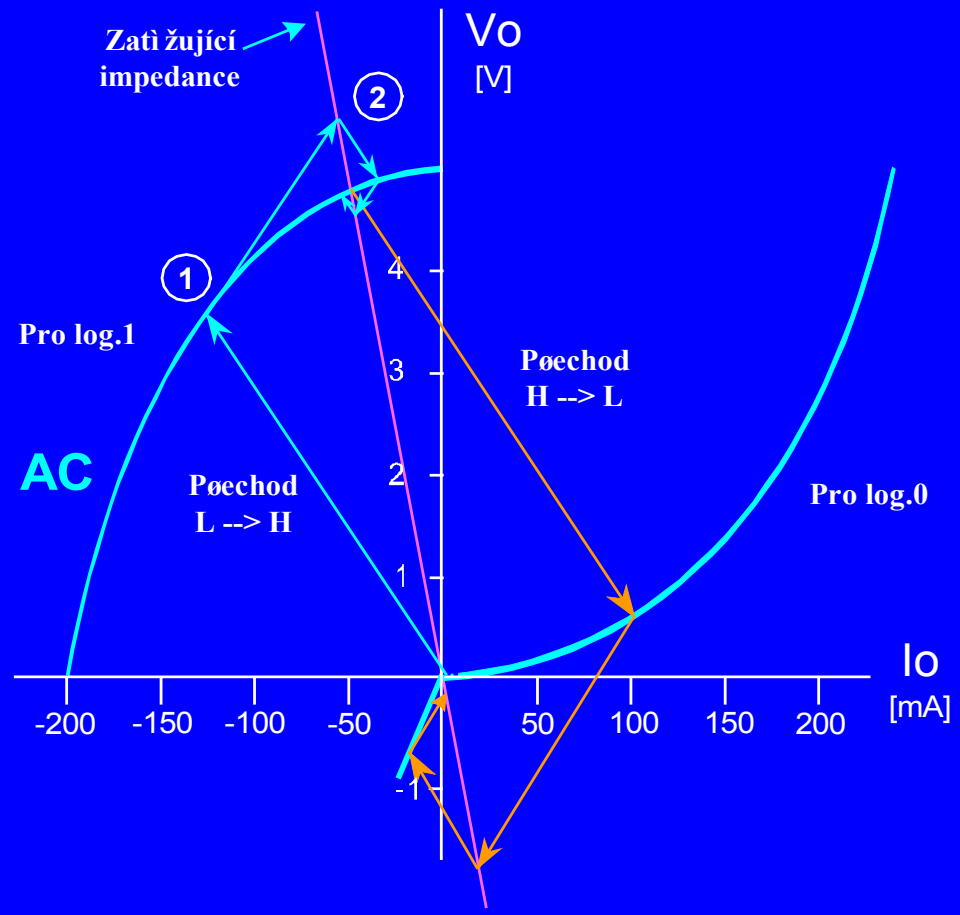
Bergemonův diagram

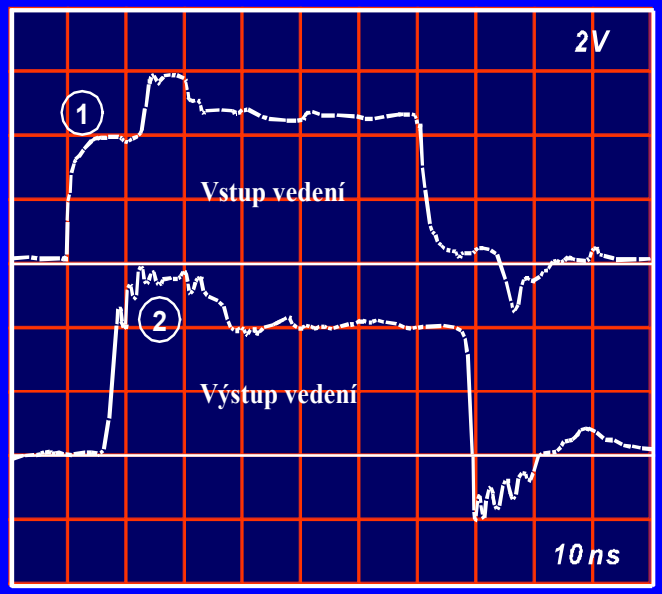
Odvozené rovnice pro změny napětí na vstupu a výstupu přenosového vedení lze odvodit i graficky pomocí tzv. **Bergeronova diagramu.**



V případě lineární zátěže a výstupní charakteristiky zdroje je výpočet jednoduchý. U logických členů je výstupní i vstupní charakteristika nelineární a v takovém případě **grafická metoda** má své opodstatnění. Díky ní můžeme snadno ověřit napětí na vstupu i výstupu přenosového vedení.

Bergemonův diagram v reálném případě

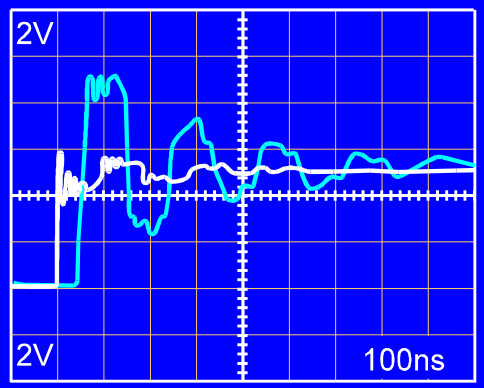


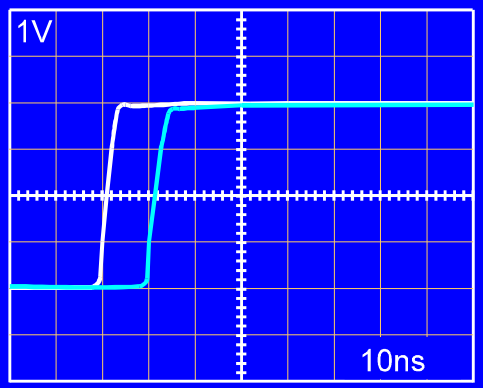


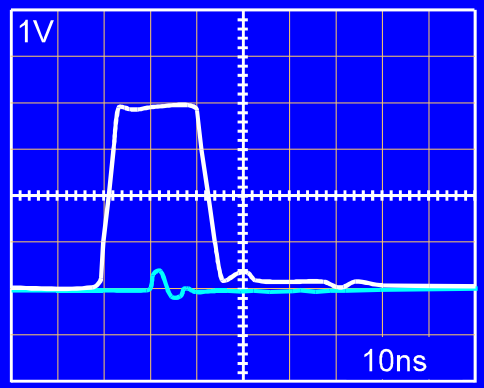
Díky nepřizpůsobení může při náběžné hraně dojít k překmitům napětí nebo k pomalému náběhu čela na vstupu logického členu v závislosti zátěži a charakteristické impedanci. Sestupná hrana naopak způsobí záporný zákmit až k 1,5 až 2V.

Závislost vstupního a výstupního napětí na zátěži

Na obrázcích jsou zobrazeny průběhy napětí na výstupu logického členu a zátěži (přijímacím logickém členu) pro některé impedance zátěže (velká impedance, přizpůsobená a zkrat). Z obrázku je zřejmé, že u obvodu s velkou vstupní impedancí bude docházet na jeho vstupu k velkým zákmitům. Překročí-li maximální úroveň pro logickou nulu, potom přechod z jedné úrovně na druhou se změní v posloupnost krátkých impulzů.

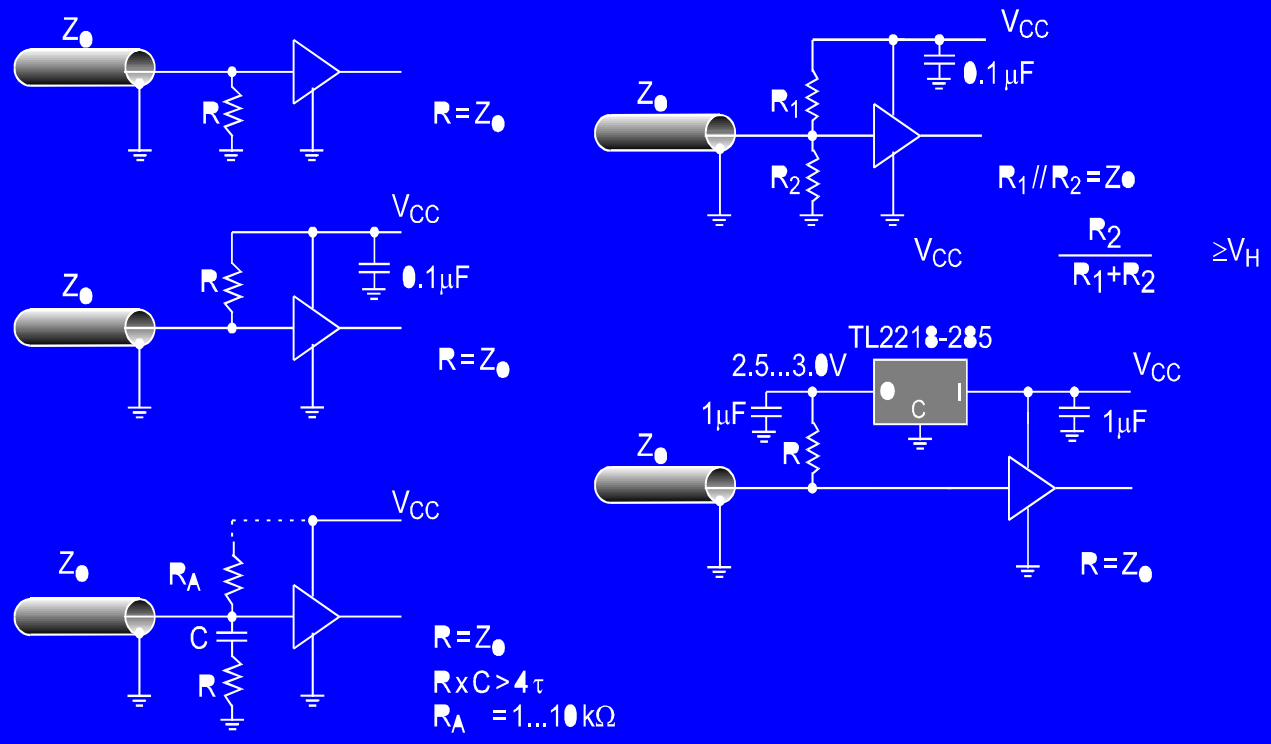






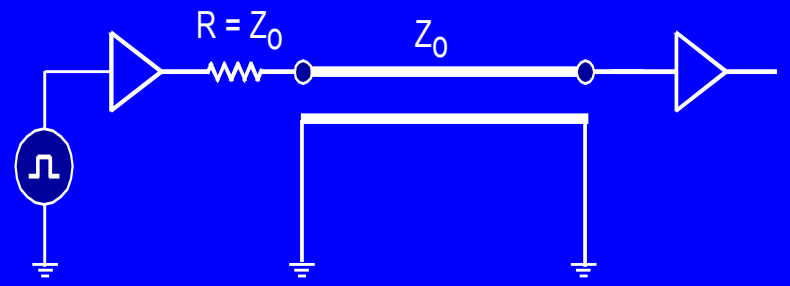
Nepřizpůsobení vysílacího a přijímacího obvodu může způsobit velmi pomalý náběh signálu nebo zákmity v důsledku velkých odrazů. Zákmity mohou několikrát překročit rozhodovací úroveň na vstupu přijímacího obvodu, pomalý náběh nestabilitu v důsledku dlouhého pobytu mezi log.0 a log.1. Přijímací obvod může vyhodnotit oba případy jako posloupnost impulzů a způsobit v zařízení chyby. Opatření k potlačení nežádoucích jevů na vedení lze odstranit přizpůsobením.

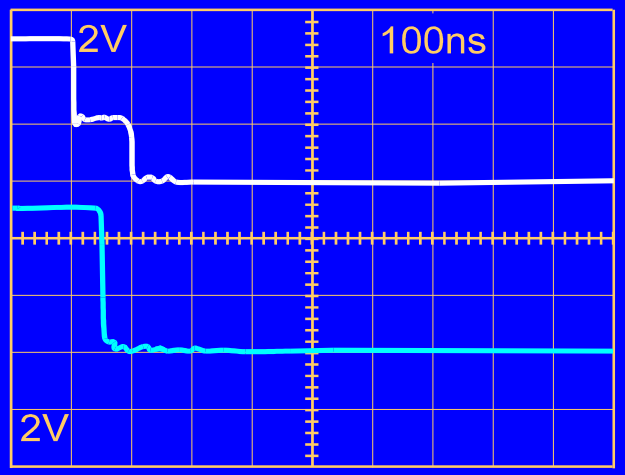
Přizpůsobení logických obvodů



Většina jednoduchých přizpůsobení naráží na značné výkonové zatížení budícího logického členu. Nepřizpůsobení může být až 50%, je-li impedance vedení nízká lze přistoupit až k 100% nepřizpůsobení. Nejedná-li se o čisté spojení logických členů, lze přizpůsobení realizovat na straně generátoru.

Přizpůsobení logických obvodů

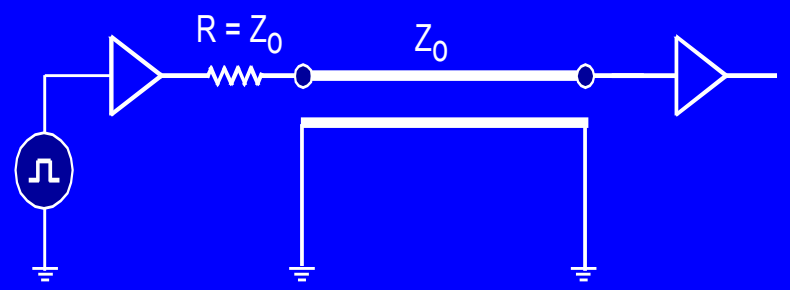


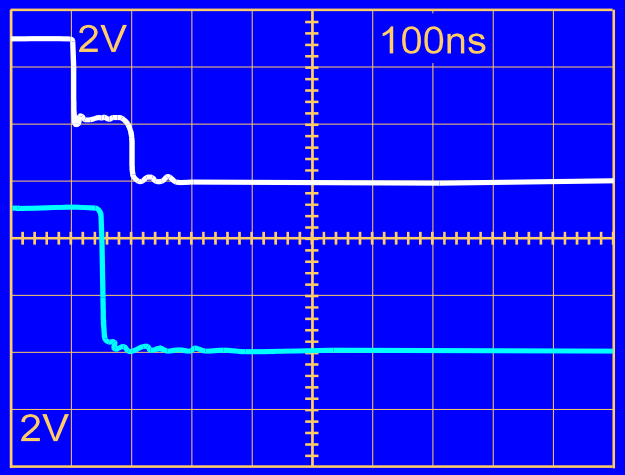


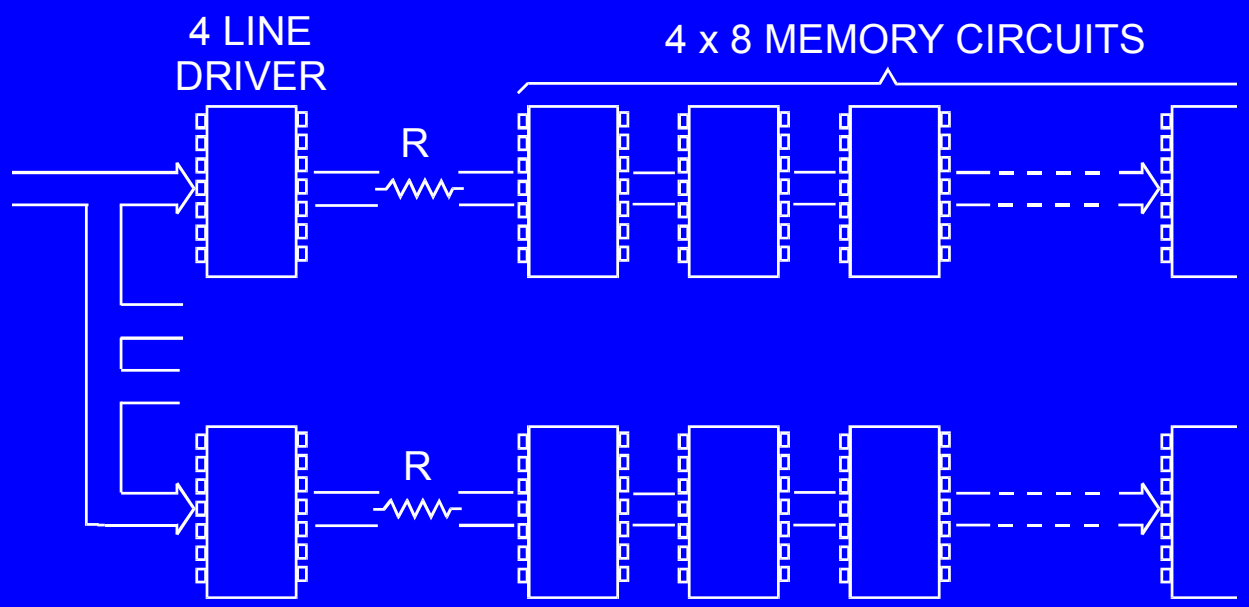
Posledním možným přizpůsobením je **přizpůsobení na straně generátoru pomocí sériového odporu**. Jeho výhodou je nezvyšování výkonového zatížení obvodů (zvláště vhodné u CMOS obvodů), nevýhodou je nedefinovaná logická úroveň na přijímací straně po dobu dvojnásobku doby šíření. Zapojení se nejčastěji využívá při spojení procesorů s pamětmi, kde nejisté úrovně se započtou do doby přístupu k paměti.

Důležité je pamatovat na zpoždění, které vznikne na vedení a které může být srovnatelné se zpožděním vlastního obvodu. V případě pamětí jej musíme započítat dvakrát – jednou k času platné adresy, podruhé k době vybavení z paměti (platnosti přečtených dat).

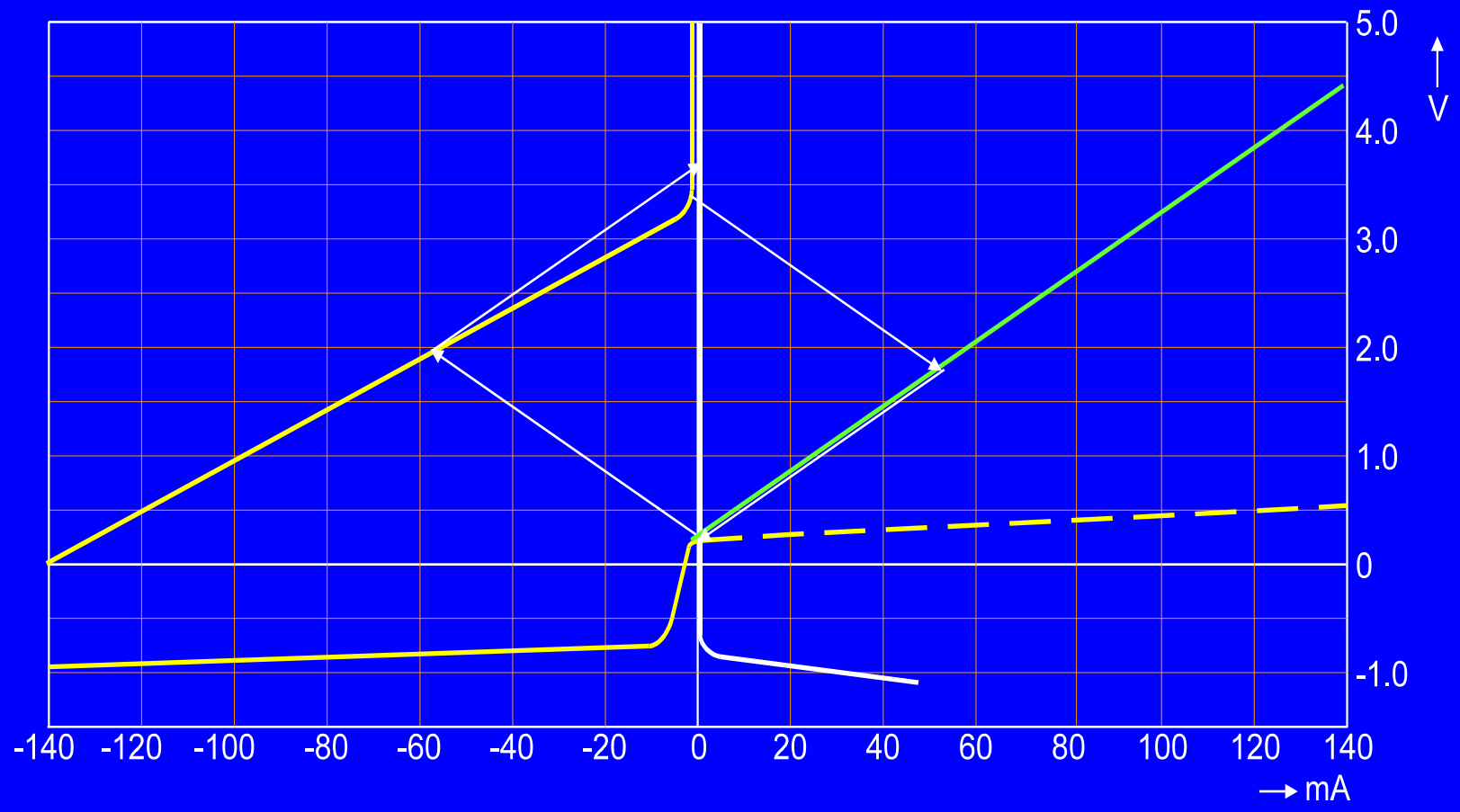
Přizpůsobení logických obvodů



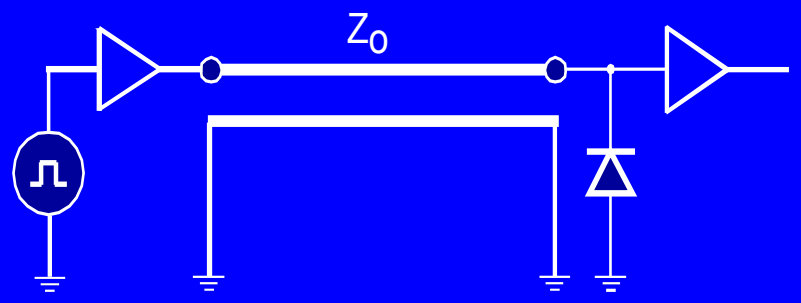


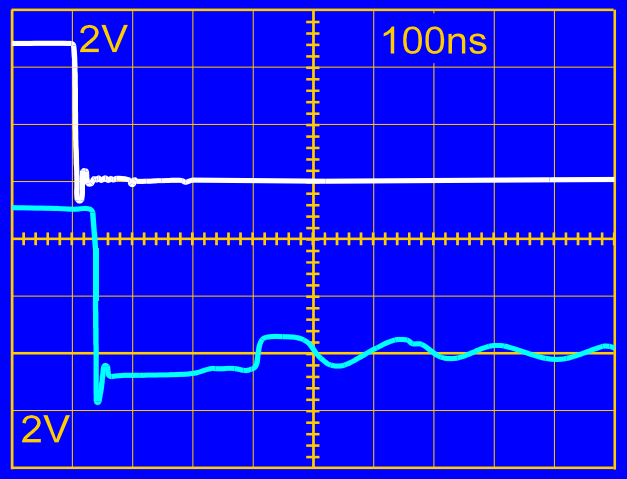


Budič s integrovaným 25 Ω sériovým odporem



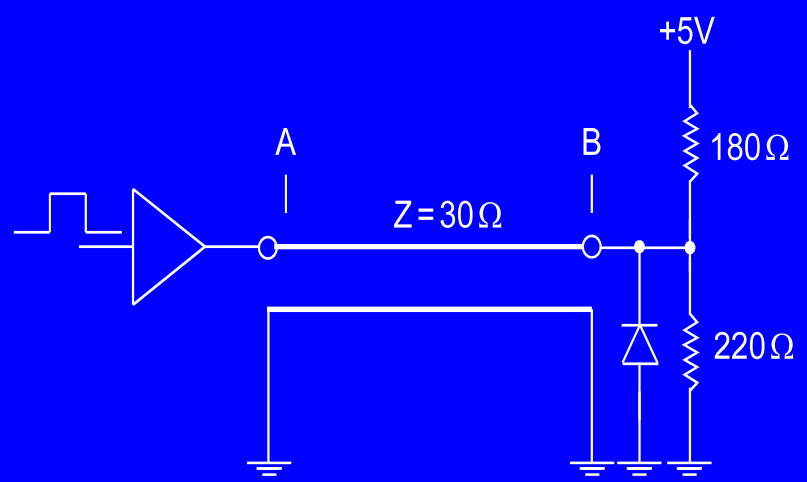
Přizpůsobení logických obvodů

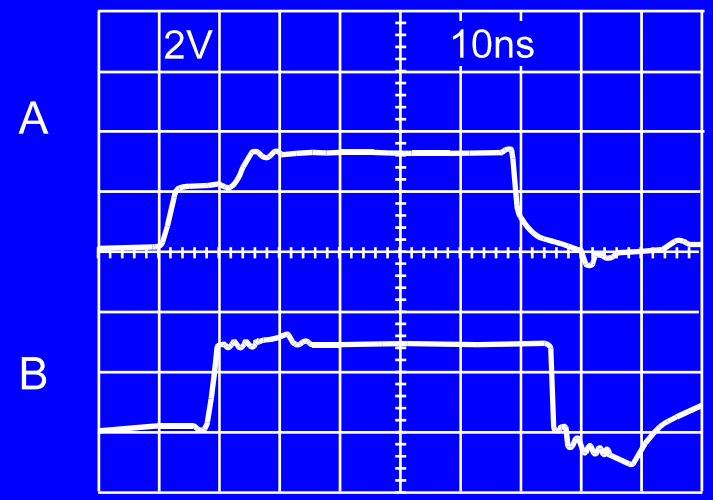




Upínací dioda na konci přenosového vedení absorbuje energii dopadající a odražené vlny způsobující zákmit do záporného napětí. Tím je „vyčištěn“ průběh napětí na konci vedení a minimalizují se tak odrazy od konce vedení. Na vstupech logických obvodů uvedené diody jsou implementovány izolujícím PN přechodem mezi substrátem a vlastním integrovaným obvodem. U obvodů VLSI musí být vstupy chráněny před velkými proudy generovanými odrazy na vedení přídavnými Shotkyho upínacími diodami.

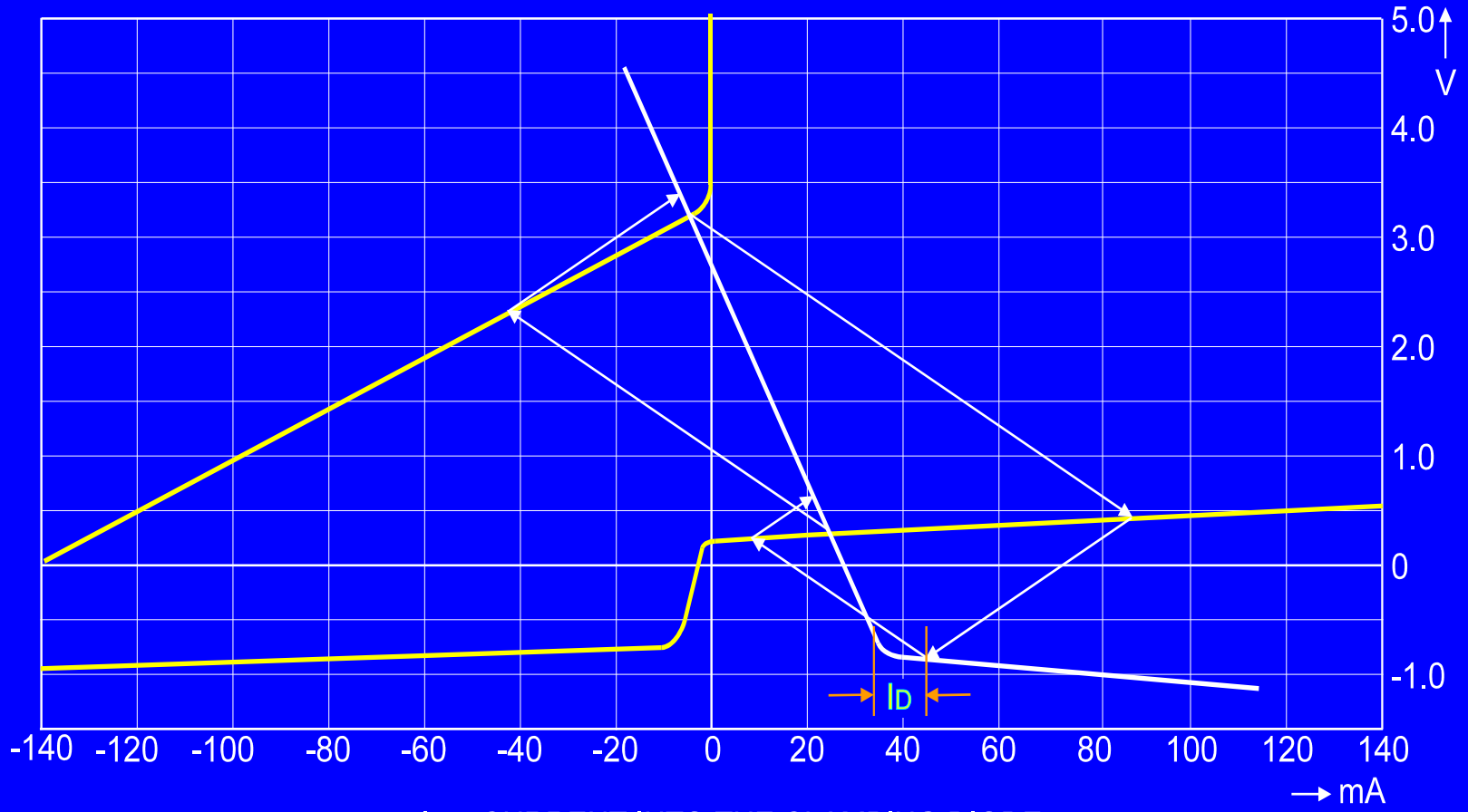
Přizpůsobení Theveninovým obvodem s diodou





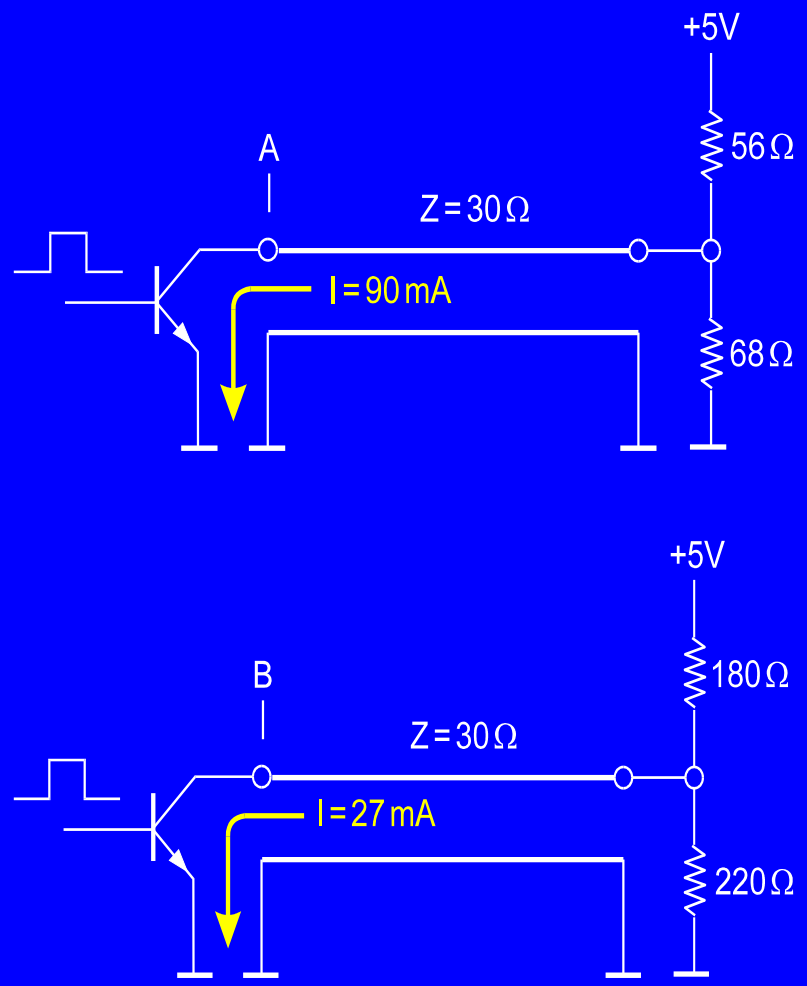
- ★ Postupující vlna má amplitudu větší než 2V (bude chápána jako log.1)
- ★ Odrazy na vedení budou odpovídat zátěži o hodnotě 100 Ω, dioda potlačí zákmity pro napětí > 0.3 až 0,7V

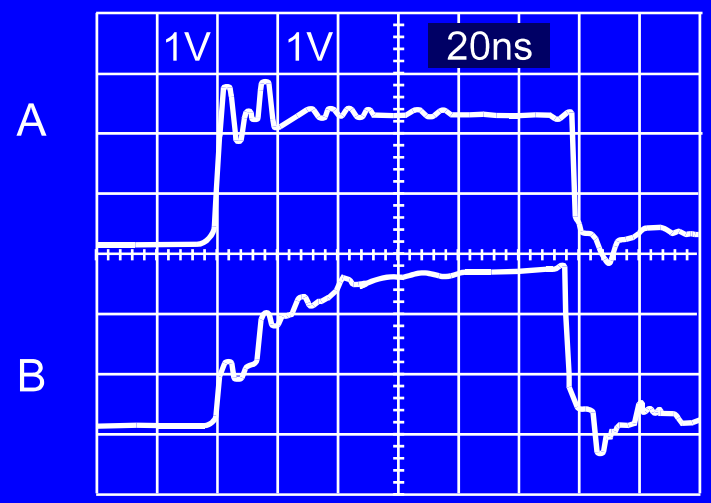
Přizpůsobení Theveninovým obvodem s diodou



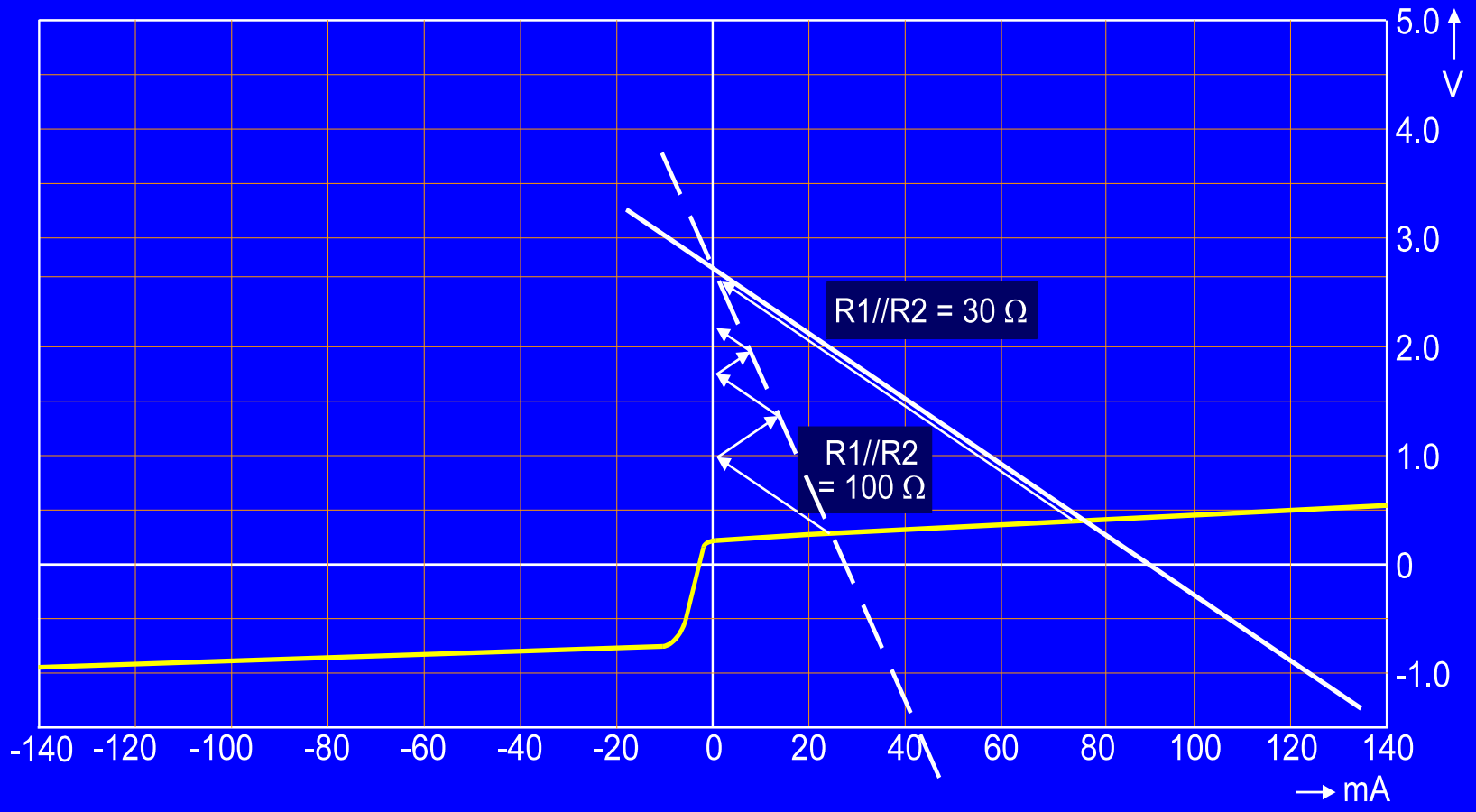
ID = CURRENT INTO THE CLAMPING DIODE

Vedení řízené obvodem s otevřeným kolektorem

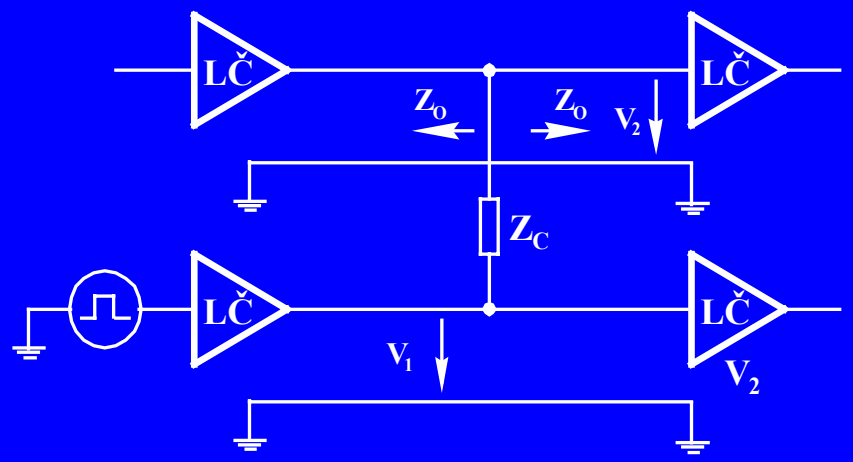




Vedení řízené obvodem s otevřeným kolektorem



Přenos mezi souběžnými vedeními

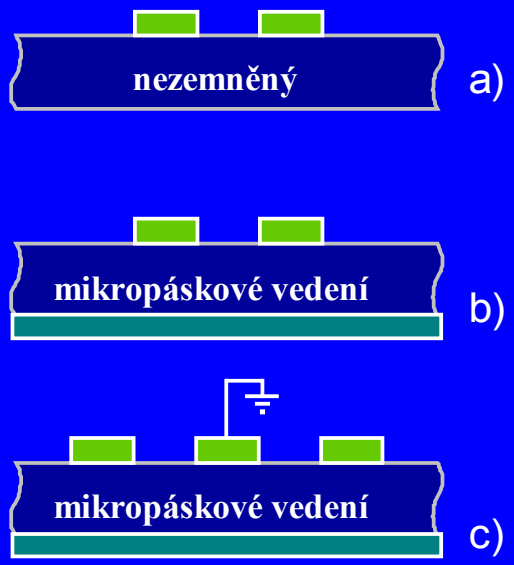


Jestliže doba šíření mezi logickými členy je větší než polovina náběžné hrany LČ ($2\tau > t_r$, propojení představuje vedení), potom mezi dvěmi takovými souběžnými vedeními dochází k přeslechu, který nemusí být zanedbatelný. Situaci modelujeme dle obrázku. Velikost přenosu z jednoho vedení do druhého vyjadřujeme koeficientem přeslechu, který odvodíme z náhradního schématu impedancí a je dán vztahem

$$C = \frac{U_2}{U_1} = \frac{0{,}5.Z_0}{0{,}5.Z_0 + Z_C}$$

Pokud by druhé dlouhé vedení bylo nezakončené, potom na vstupu logického členu druhého vedení bude dvojnásobné napětí.

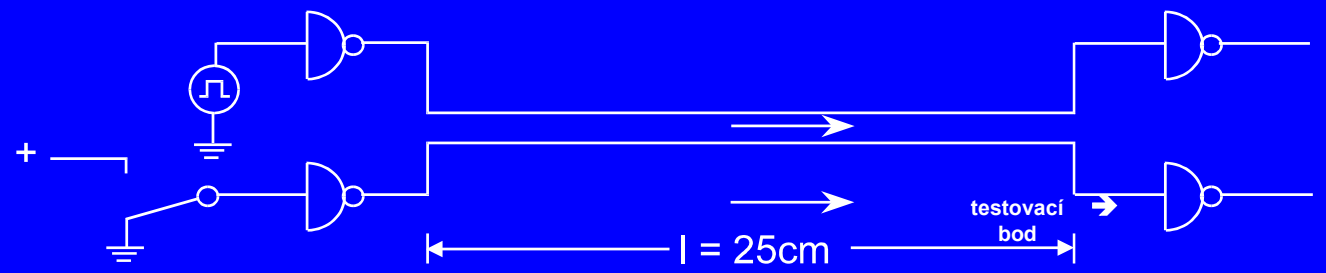
Přenos mezi souběžnými vedeními

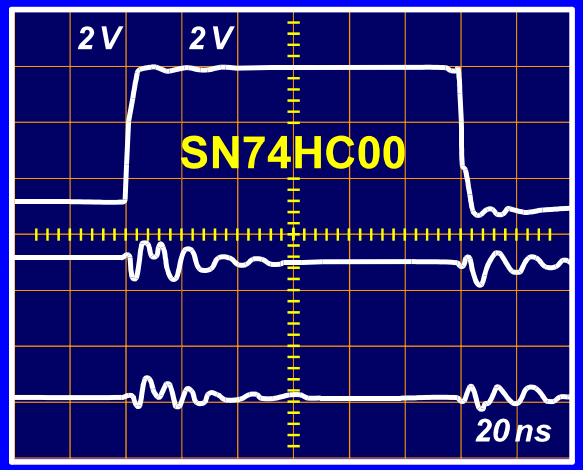


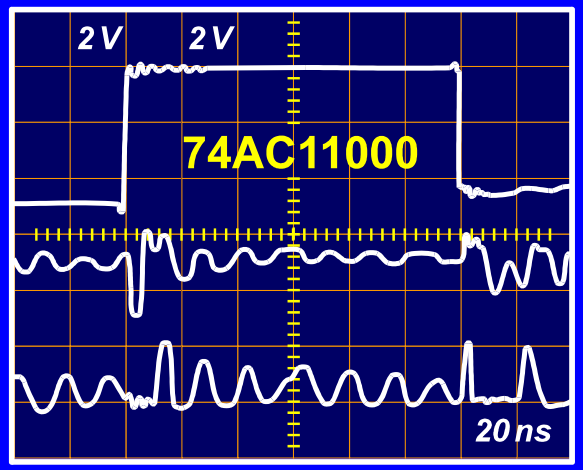
Případ	Z_o	Z_c	Přenos
a)	200 Ω	100 Ω	50 %
b)	80 Ω	125 Ω	25 %
c)	100 Ω	400 Ω	11 %

Při realizaci na jedno nebo vícevrstvý plošný spoj mohou nastat uvedené konfigurace dvou vodičů sběrnicového vedení. Spodní vrstva je tvořena „vylitou“ zemní vrstvou na dvoustranném nebo zemní vrstvou na čtyř-vrstvém plošném spoji. Typické hodnoty vazební impedance pro dva vodiče (dvě vedení), které(á) jsou od sebe vzdálena o šířku vlastního spoje jsou uvedeny v tabulce.

Přenos mezi souběžnými vedeními

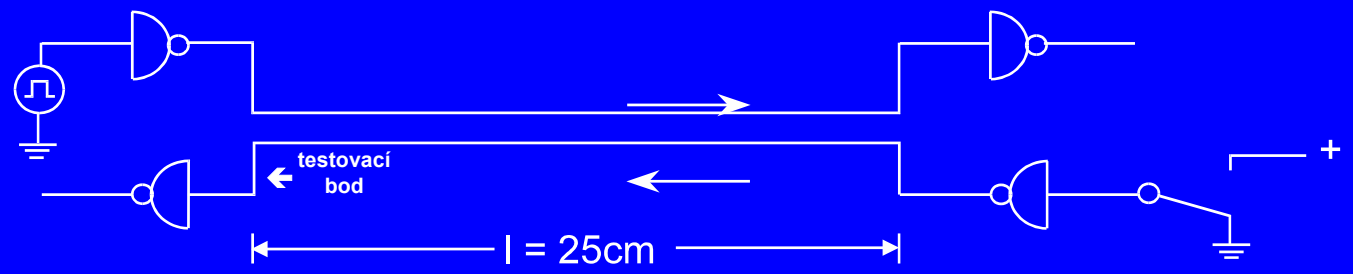


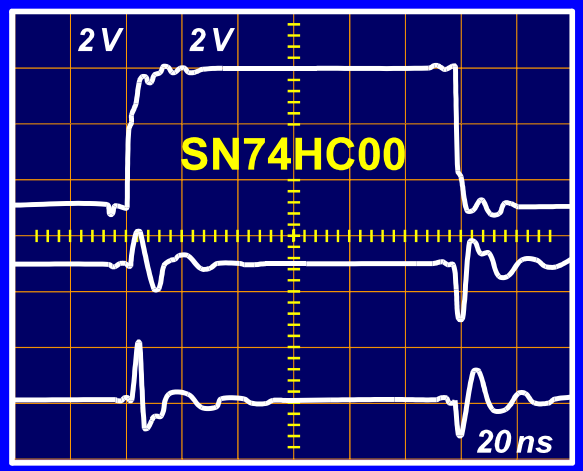


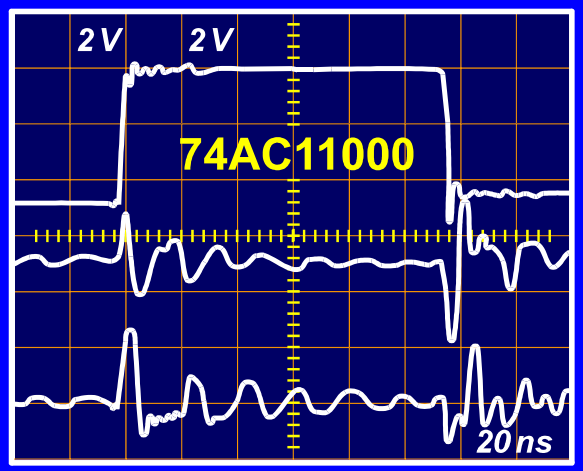


Přenos mezi vedeními se stejným směrem přenosu bez zemní vrstvy je nekritický při použití obvodů HC, ale kritický pro použití obvodů AC(T) !

Přenos mezi souběžnými vedeními

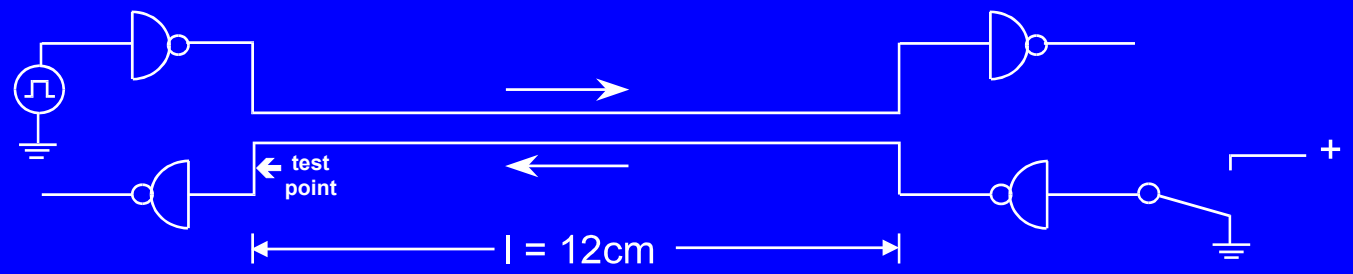


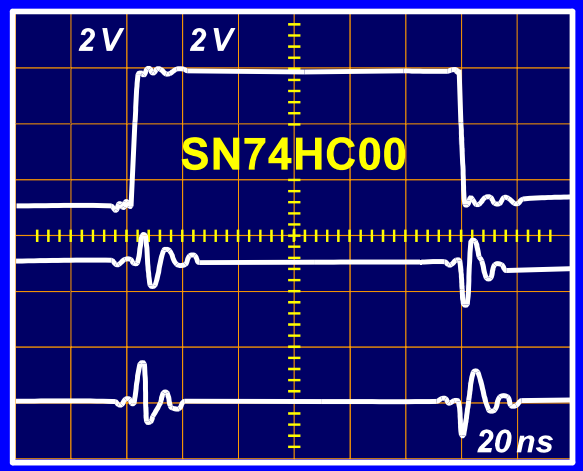


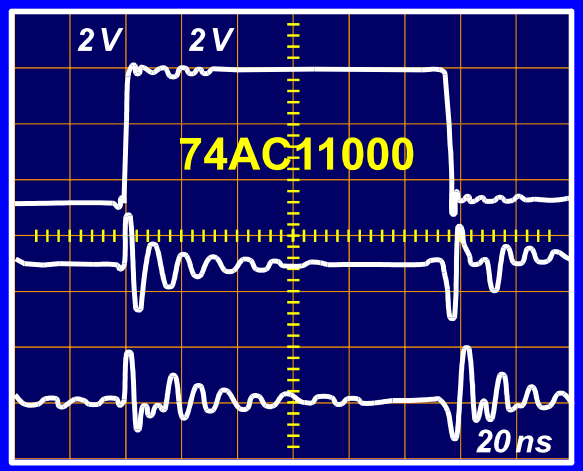


Přenos mezi vedeními se opačným směrem přenosu bez zemní vrstvy je nekritický při použití obvodů HC (pozor na HCT), ale použití obvodů AC(T) není možné pro velké přeslechy!

Přenos mezi souběžnými vedeními

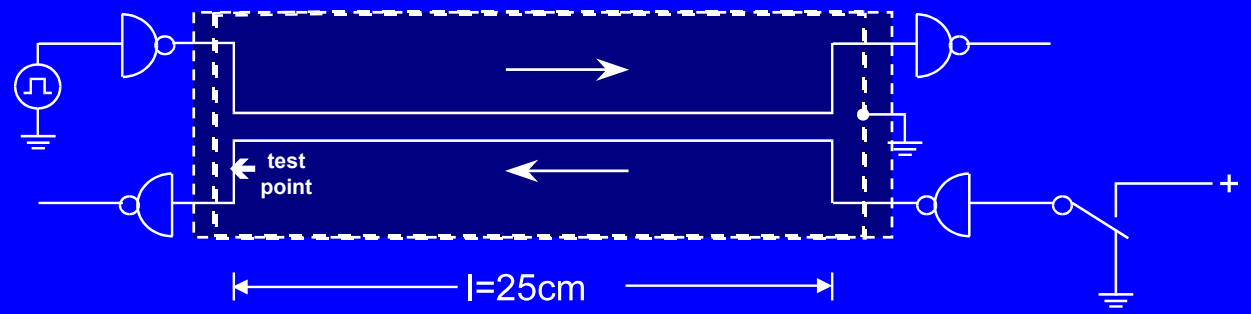


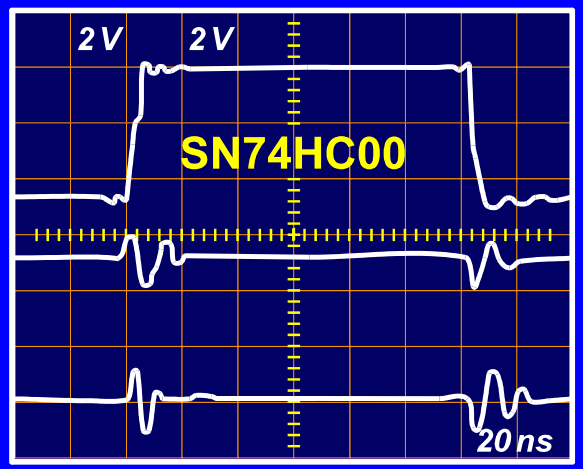


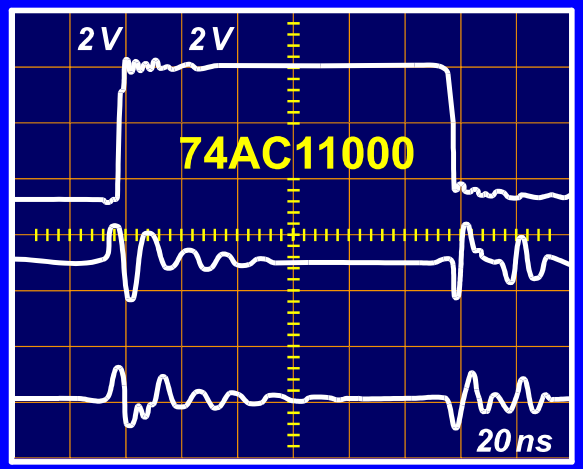


Přenos mezi vedeními bez zemní vrstvy je nekritický, jsou-li souběžná vedení kratší než 12 cm. Při použití obvodů kompatibilních s TTL (HCT /ACT) však už mohou nastat problémy s přeslechy.

Přizpůsobení logických obvodů

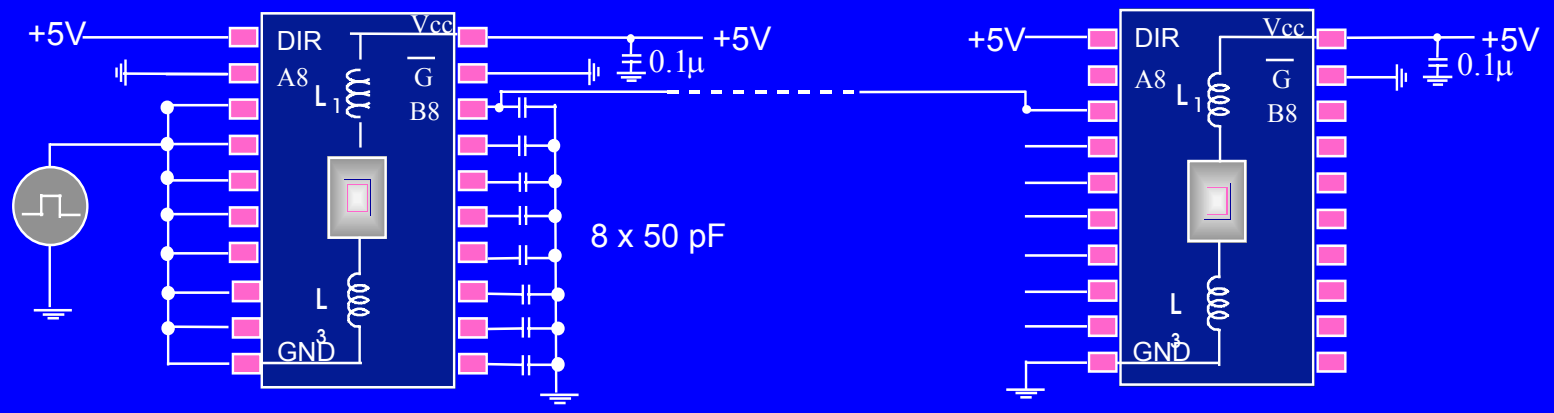


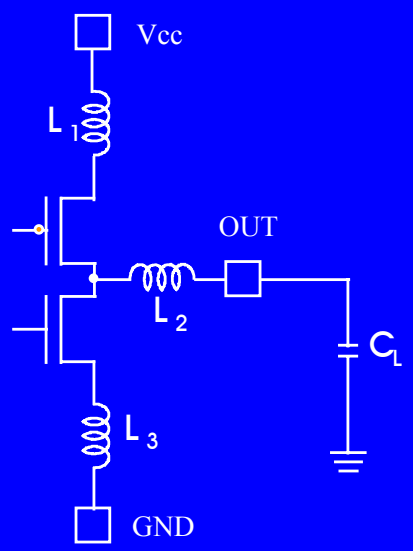




Přenos mezi vedeními se opačným směrem přenosu se zemní vrstvou (nesymetrické mikropáskové vedení) je nekritický ve většině případů.

Problematika současného spínání





Předpokládejme situaci z obrázku, kdy budič sběrnice mění podstatnou část výstupů (7) a jeden výstup se nemění a vede k logickému členu. Díky změně na mnoha výstupech odebere obvod velký proud a k výstupům je superponováno šumové napětí způsobené přívodní indukčností pouzdra obvodu. Jeho hodnotu vypočteme ze vztahu

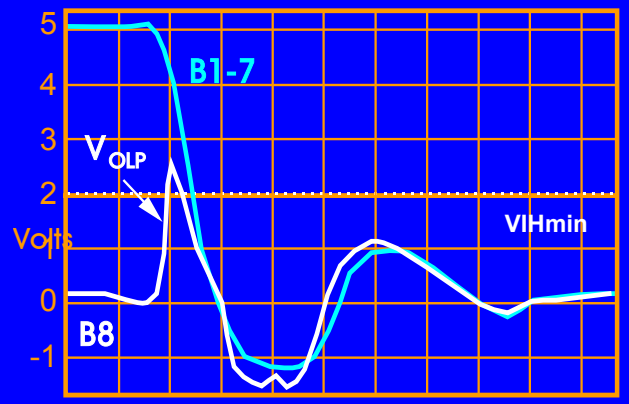
$$U = -L.\frac{dI}{dt}$$

Přizpůsobení logických obvodů

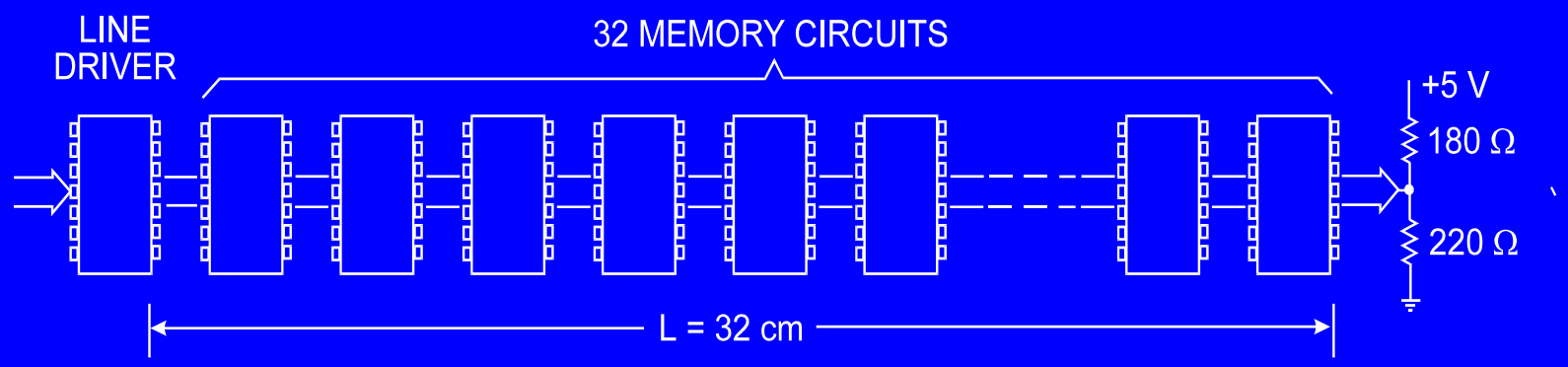
kde L je indukčnost pouzdra, dI/dt je změna proudu v čase. Přívodní indukčnosti logických obvodů (při dobře navrženém PCB) jsou rozhodujícím parametrem ovlivňujícím rušivé napětí při spínání rychlé logiky.

Pouzdro obvodu	Počet vývodů	Umístění napájení	Indukčnost [nH]
DIL	20	v rozích	13,7
SOP	20	v rozích	4,2
DIL	20	násobné ve středu obvodu	1,7
SOP	20	násobné ve středu obvodu	1,2
SSOP	48	rovnoměrně rozložené	~ 1,0

Napájení IO v rozích pouzdra DIL, zvláště u rychlé CMOS logiky, je vážným problémem. Zákmity se mohou přiblížit až k úrovni 0,8V (tj. k horní hranici pro log.0) u obvodů z řady F, AS, BCT a ABT. **U řady AC, ACT je situace skoro dvakrát horší.** Nejnovější obvody z rychlé CMOS logiky používají čtvercová pouzdra s nízkým profilem s mnohonásobně vyvedou zemí a napájením po všech stranách integrovaného obvodu nebo dolů (BGA).

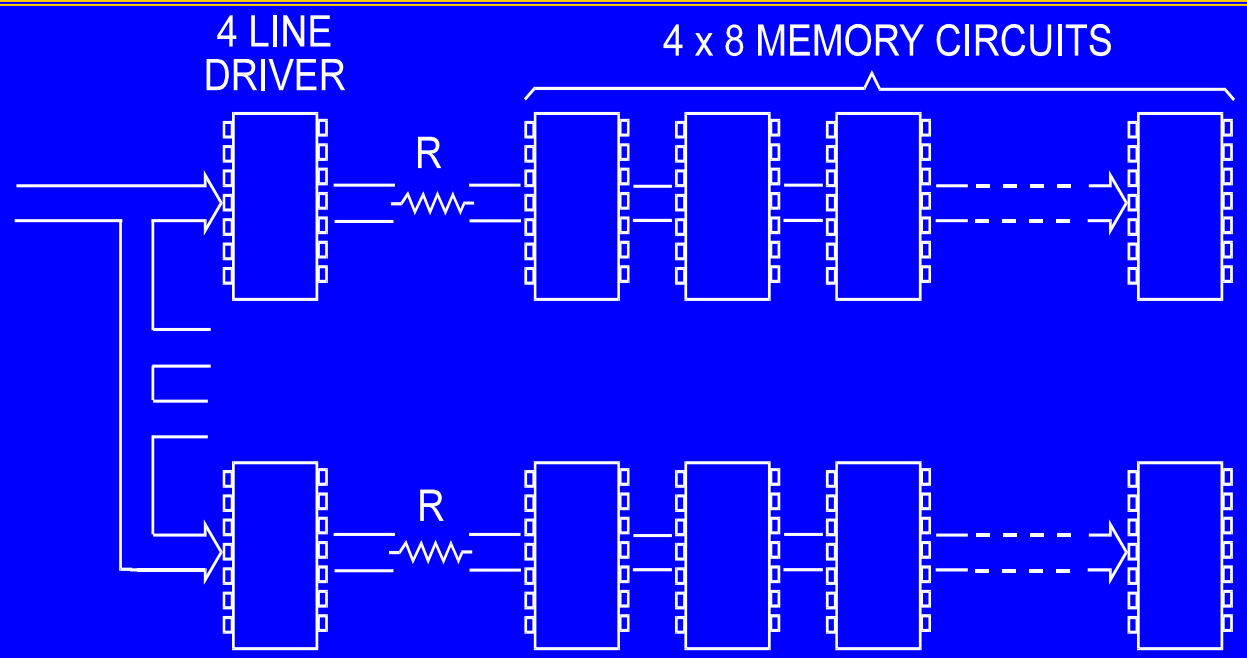


Realizace velkých paměťových systémů



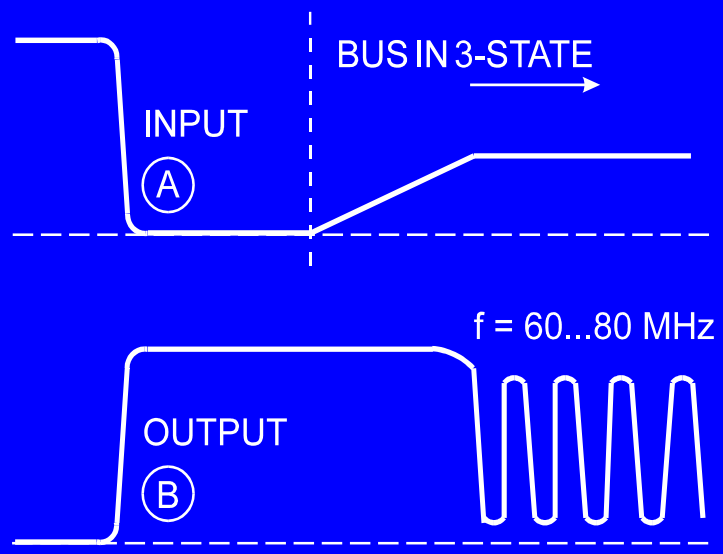
- ★ **Charakteristická impedance vedení bude = 30 Ω**
- ★ **Budič sběrnice se zatížením I_{OL} = 64 mA bude vyžadovat obvody z řady (AS, F, BCT, ABT, LVT)**
- ★ **Velká výkonová ztráta v přizpůsobovacím obvodu, velký počet součástek na sběrnici ⇒ dlouhá sběrnice**
- ★ **Doba šíření signálu po sběrnici = 7 ns / 32 cm. Přídavné zpoždění k době přístupu do pamětí je v nejhorším případě = 14 ns**

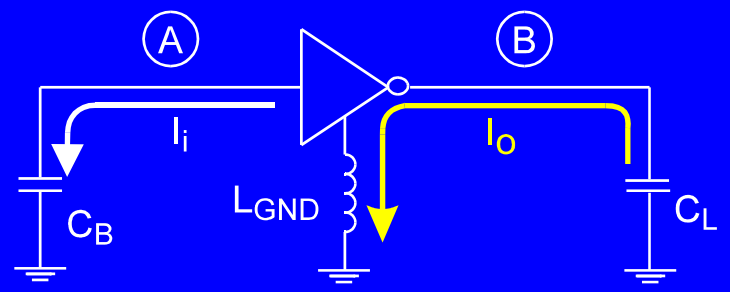
Realizace velkých paměťových systémů



- ★ Charakteristická impedance vedení bude = 30 Ω
- ★ Doba šíření signálu po sběrnici 1.75 ns / 8 cm (20 ns/m), přídavné zpoždění k době přístupu bude v nejhorším případě = 3,5 ns
- ★ Přizpůsobení budiče sériovým odporem (R = 10 ... 30 Ω), ⇒ žádné výkonové ztráty pro přizpůsobení ! Budič sběrnice se zatížením I_{OL} = 24 mA, vyhovující budou obvody i LS, ALS nebo budič s přímo integrovaným sériovým odporem jako je SN74ABT2240, SN74ABT5400A

Oscilace způsobené plovoucí sběrnicí

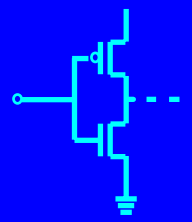




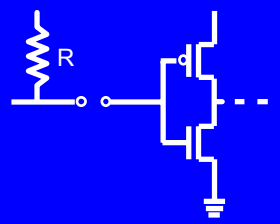
$$\frac{\Delta v}{\Delta t} = \frac{\Sigma I_i}{C_B} \approx \frac{500\,\mu A}{500\,pF} = 1\,V/\mu s$$

- ★ Není-li sběrnice řízena, pak jednotlivé vodiče mění svoje napětí v důsledku vstupních proudů přijímajících obvodů k napětí odpovídajícímu rozhodovací úrovni logiky.
- ★ Zpětná vazba přes indukčnost zemního vodiče obvodu způsobuje oscilace. Ty způsobují značné zvýšení odběru ze zdroje, které může vést až k jeho zničení.

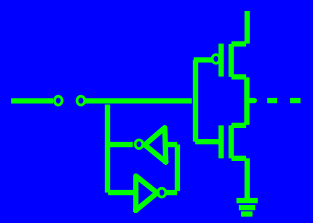
Ochrana proti jevům na neřízené sběrnici



1. Nic se neděje - - - buďte šťastni?
2. Nic se neděje, pokud 3-stav trvá < 2ms

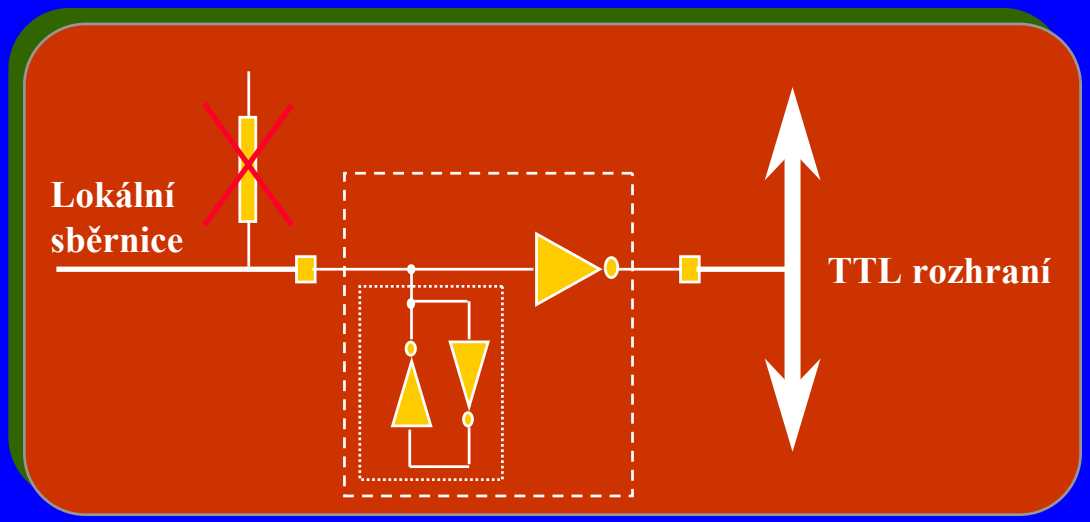


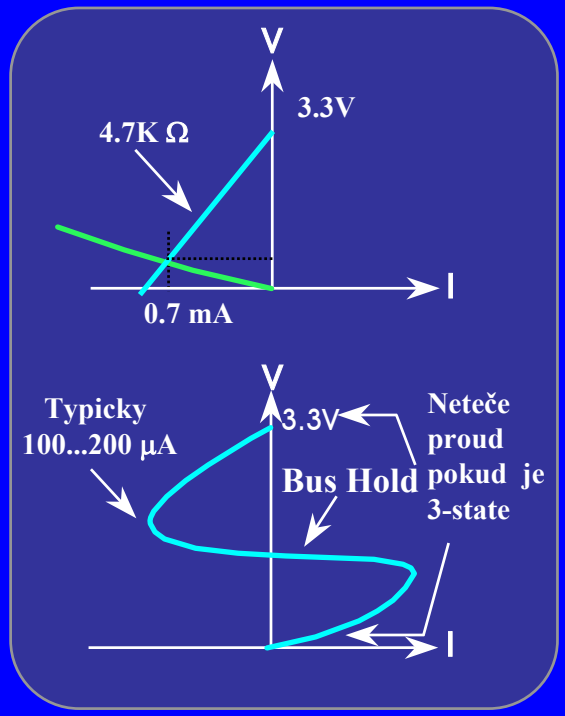
3. Sběrnice je upnuta pomocí rezistoru k napájení. Nevýhody: další součástky, další parazitní vlivy, velké výkonové zatížení



4. Použití obvodů s integrovaným obvodem držícím sběrnici (bus hold cell)
   - LVT
   - LVT16 (Widebus™)
   - LVCH*
   - LVCH16* (Widebus)
   - ALVCH16 (Widebus)
   - ABTH16* (Widebus)

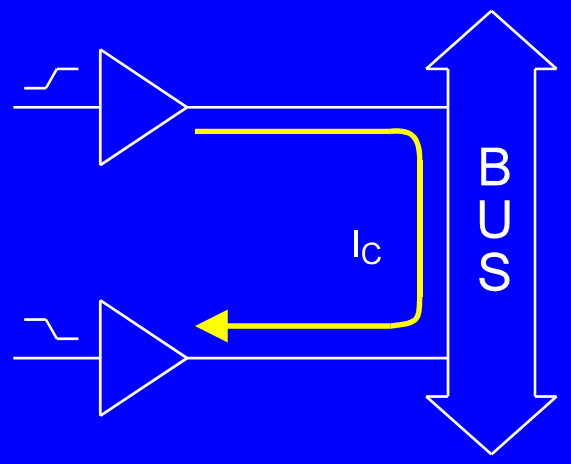
Vstupní charakteristiky obvodu Bus hold

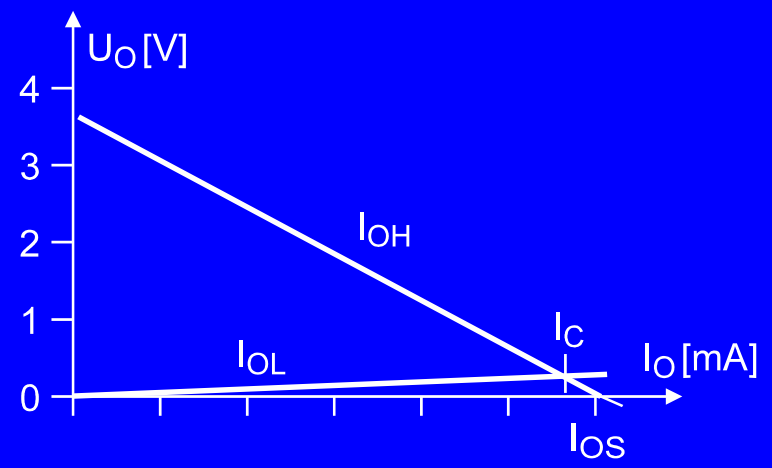




- ✶ Drží poslední známý stav na vstupu obvodu
- ✶ Vytváří držící proud +/- 74 µA v intervalu 0.8 až 2.0V
- ✶ Bus Hold nezatěžuje odběrem pokud řídící výstup je v platné logické úrovni.
- ✶ Zanedbatelná přidaná vstupně/výstupní kapacita (0.5pF)
- ✶ Eliminuje nutnost vnějších odporů na nepoužité a plovoucí V/V vývody
- ✶ Redukuje počet pasivních součástek na realizované desce
- ✶ Použitelná ve spojení LVT, ALVC, vybraných LVC's a ABT obvodů
- ✶ Bus Hold poznáme v označení: SN74xxx**H**xxx; jako např. SN74LVCH245

Konflikty na sběrnici



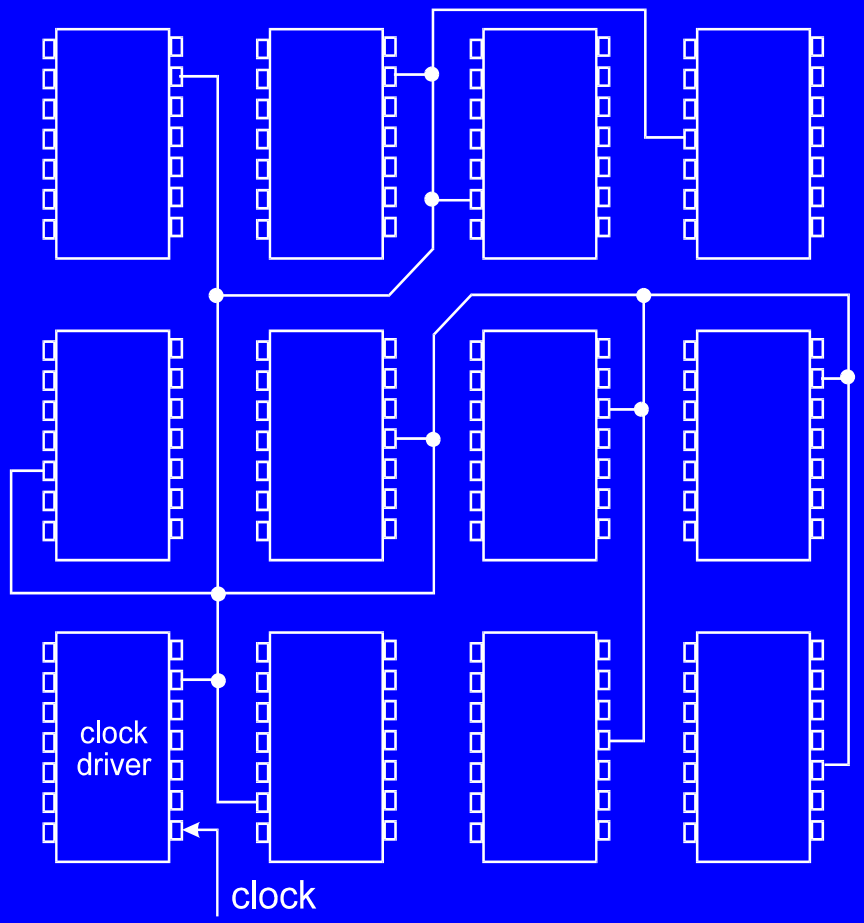


- ★ **Konflikt na sběrnici nastane ve chvíli, když nedodržíme časování obvodů a sběrnici ovládají v daný okamžik dva obvody s rozdílnou logickou úrovní (napětími).**
- ★ **Překračování maximálního povoleného proudu (I_O » I_{OS}) způsobuje velké výkonové ztráty, které způsobují vysokou teplotu čipu obvodu T_j.**

$$★ T_j = T_a + P_{TOT} * R_{Jja};\ \ (R_{Jja} = 80 \ldots 100°\ \ C/W)$$

- ★ **Poznámka: Teplota čipu T_j nesmí překročit 150°C, jinak dochází k dramatické degeneraci spolehlivosti součástky (mechanický stress, atd.).**

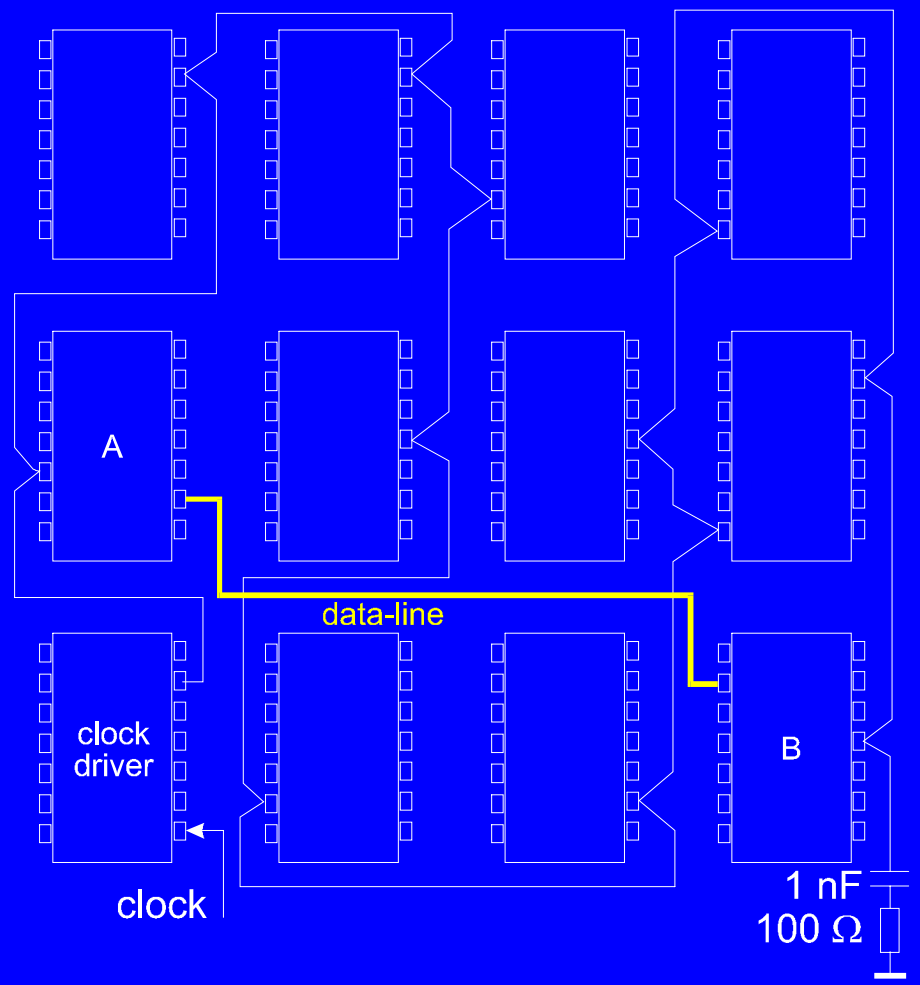
Rozvod hodinového signálu – Špatné řešení



- Jestliže pokládáme signálové vodiče náhodně, pak každé spojení konců vedení i průchod do jiné vrstvy plošného spoje představuje **diskontinuitu**, která generuje odrazy.

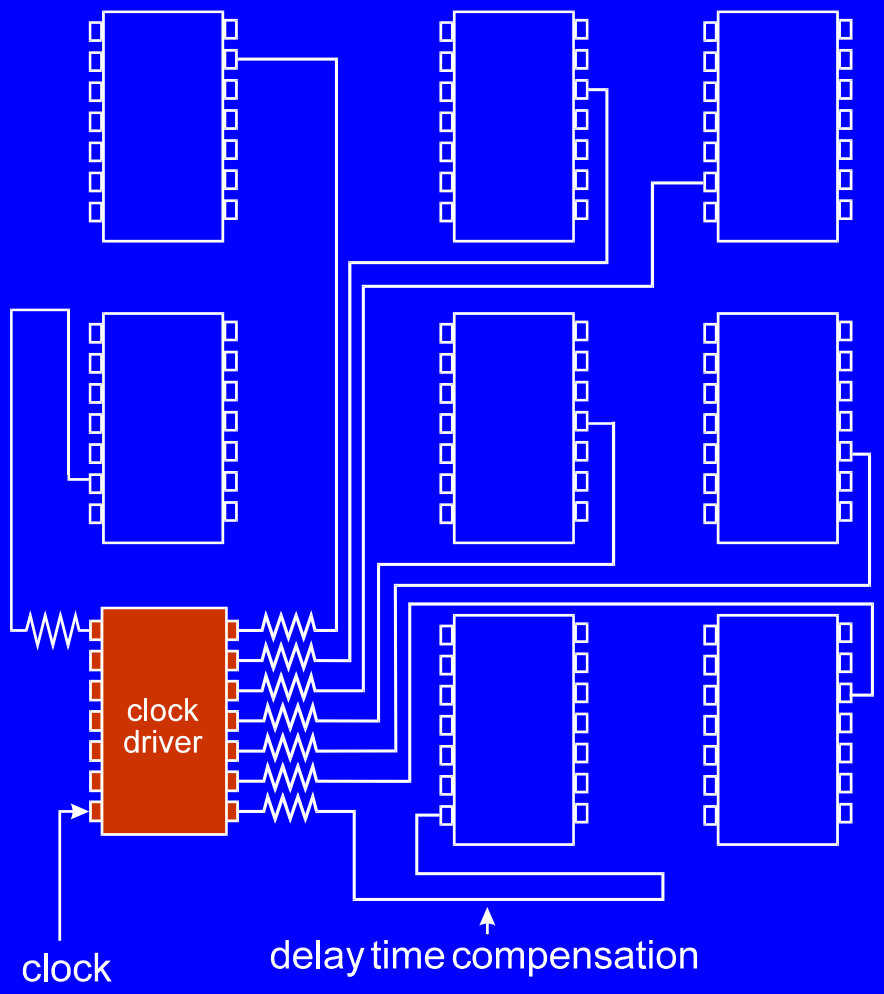
- Signál je The signal is heavily distorted. Malfunction of the system is probable. Je problematická.

Rozvod hodinového signálu – Problémy rozvodu



- Propojení obvodů v sérii vytváří homogenní impedanci vedení (v systémech s ECL logikou musí být spojení mezi některými obvody realizovány stejnou délkou a konstantní impedancí podél vedení).
- Přizpůsobení vedení eliminuje odrazy.
- Zakončující impedance by měla být $Z_0 \div 2Z_0$.
- Typická doba šíření: 10...20 ns/m.
- **Poznámka:** Buďme opatrní na dobu šíření po propojovacích vodičích viz. **Datový vodič**

Rozvod hodinového signálu se stejným zpožděním



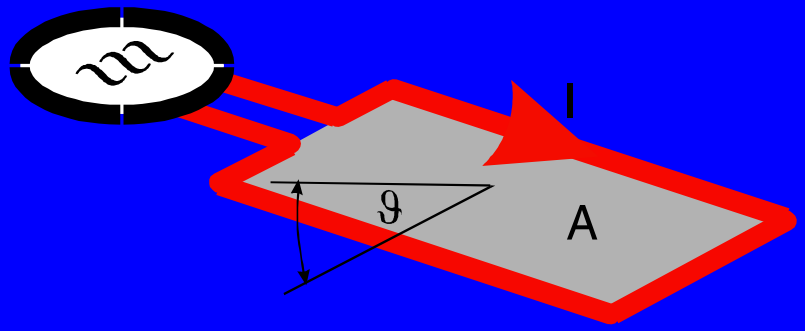
- ★ Hvězdicový rozvod redukuje rozptyl zpoždění způsobený šířením signálu.
- ★ Vhodné je použít budič s garantovaným malým rozptylem zpoždění např. CDC208 (rozptyl < 0.5 ns).
- ★ Pro minimální rozdíly zpoždění rozvodu hodinového signálu vytvořte vedení se stejnou délkou
- ★ Eliminace překmitů přizpůsobením na straně budiče sériovými odpory.

Návrh PCB s ohledem na vyzařování

★ Smyčky a dipóly jsou antény, které zvyšují účinnost svého vyzařování při rozměrech větších jak ¼ vlnové délky

★ To znamená

- ⇨ 1MHz, ¼λ=75 meters *)
- ⇨ 300MHz, ¼λ =25 cm *)



★ Normally, trace length becomes important when greater than

- ⇨ l/10: FCC Limits
- ⇨ l/20: Automotive
- ⇨ l/40: Mil Std

$$E = k \cdot I \cdot A \cdot \frac{1}{r} \cdot \sin \vartheta$$

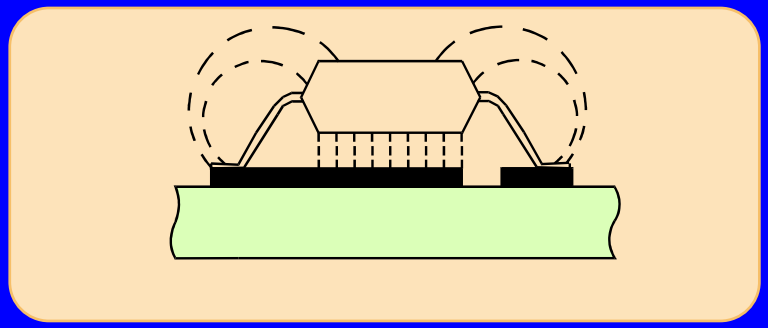
*) Vakuum; Efektivní délka antény je určena μ_r a ε_r (PCB ε_r=5)

Napájení a zemnění logických obvodů

★ Napájení systému je často velmi důležitým distributorem RF šumu, způsobenými proudovými špičkami.

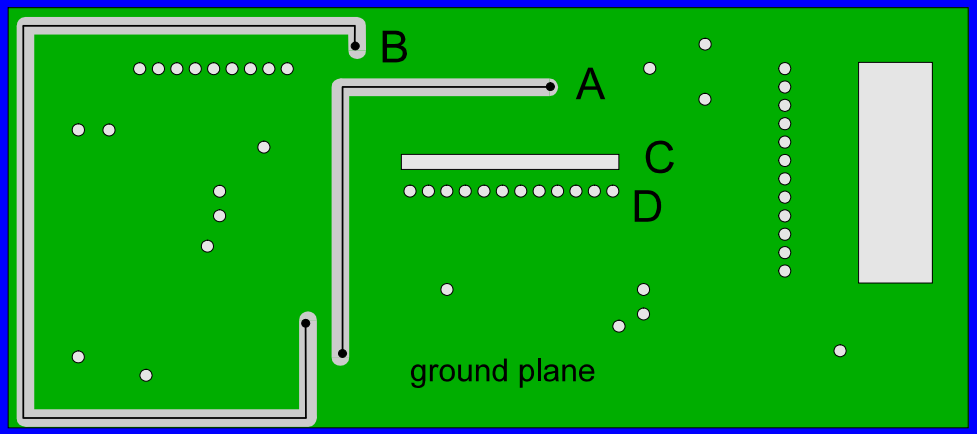
★ Zemně a napájení by měly mít co nejmenší indukčnost
- 2-vrstvý plošný spoj: poměr délky ku šířce by neměl přesahovat hodnotu 3:1 k blokovacímu kondenzátoru
- Napájení a zem by měly být přímo vedle sebe (minimální plocha smyčky)

★ - 2-vrstvý plošný spoj může dosahovat 95% účinnosti vícevrstvé desky, jestliže:
- zemní spoje jsou co nejblíže napájení
- zpětné cesty jsou přímo pod nebo paralelně se signálovým vodičem (zemní plocha)
- vytvořením celistvé zemně pod integrovaným obvodem



Napájení a zemnění logických obvodů

★PCB s více vrstvami



A: Nevhodné - Rozdělení zemní plochy propojovacím vodičem na dvě od sebe oddělené části

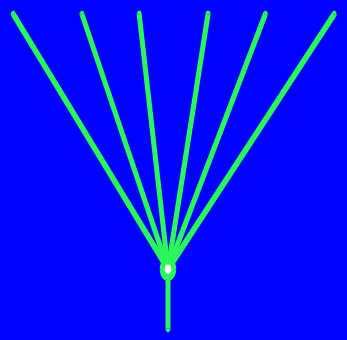
B: Lepší - Rozdělující propojení je vhodnější táhnout po okraji, nejlepší není cesta zcela obklopená zemní plochou

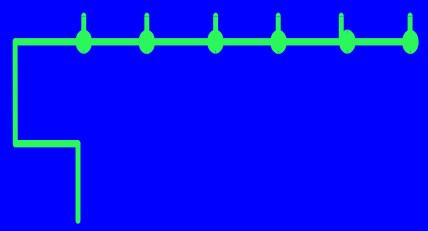
C: Nevhodné - Konektor rozdělující zemní plochu, vytváří štěrbinovou anténu, která vyzařuje do spojení.

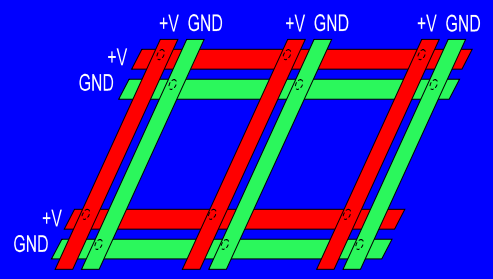
D: Lepší - Zemní plocha "rozlitá „ mezi 100 mil vzdálenými středy

Napájení a zemnění logických obvodů

★**Rozvod napájení obvodů**







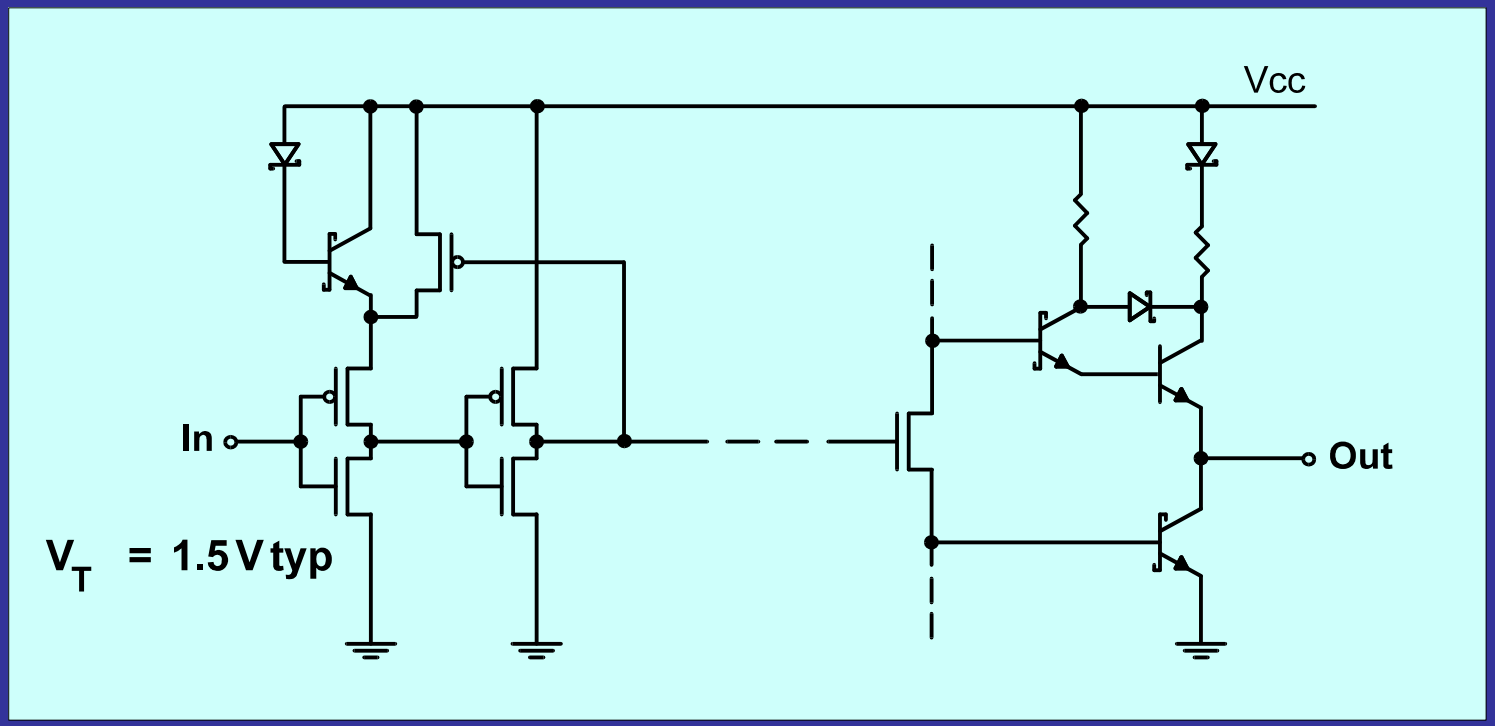
Typ propojení	Z bodu	Více bodové	Sítí
Napájení číslicových IO	Vyhovující *	Nevhodné	Vyhovující
Napájení analogových IO	Vyhovující	Nevhodné	Nevhodné
Rozvod číslicových signálů	Nevhodné	Nevhodné	Vyhovující
Rozvod analogových signálů	Vyhovující	Nevhodné	Nevhodné

***Krátké vodiče**

Struktura BiCMOS

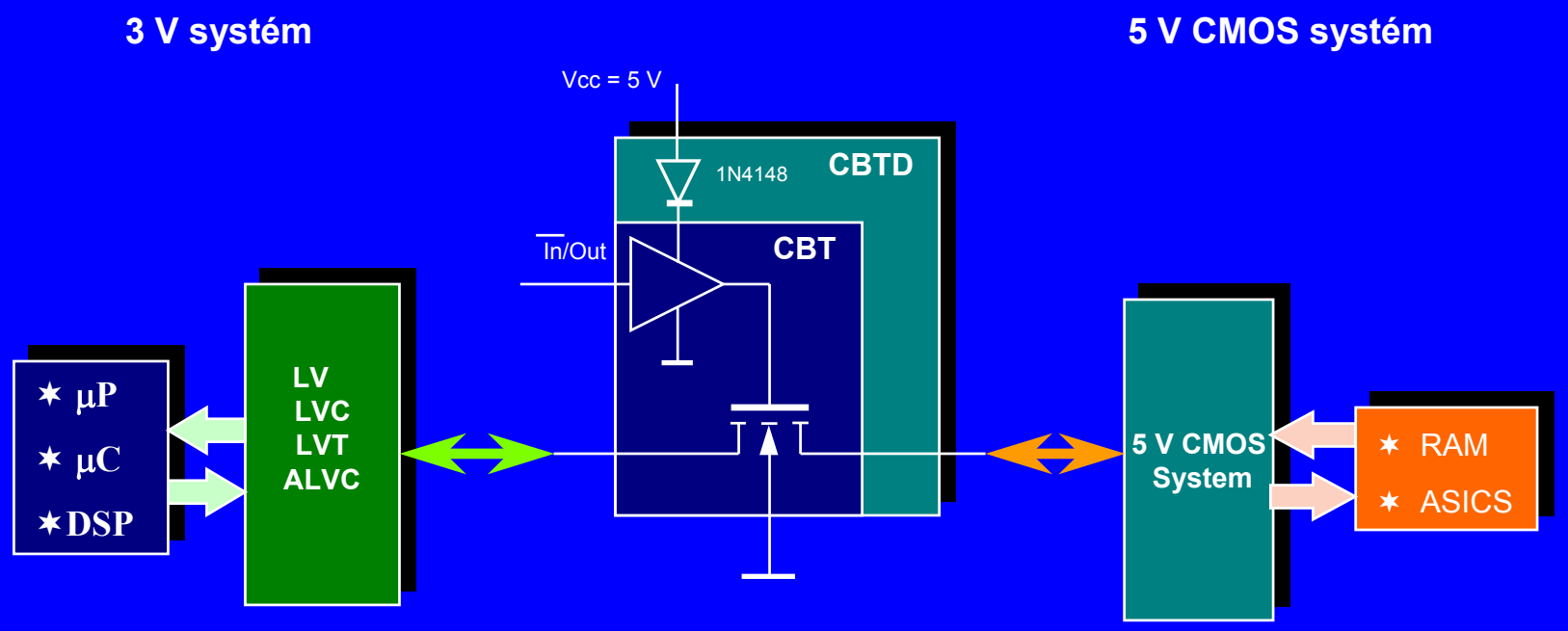
CMOS vstup **Bipolar výstup**

5 V - TTL Vstupně/Výstupní Signály



Nejsou zobrazeny ochrany a řízení 3-stavu

Obousměrný propojení µP systémů

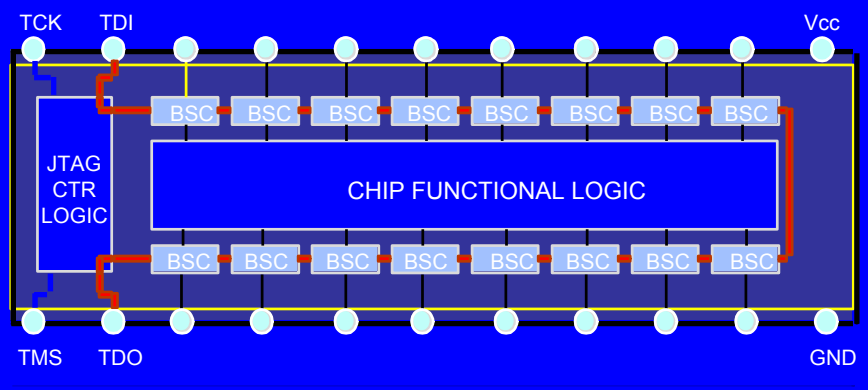


- Crossbar (CBT) jsou velmi rychlé spínače umožňující propojení sběrnic s r_{dson}= 5W.
- Každý spínač se skládá z MOS transistoru s kanálem N.
- Úbytek 0.7V na diodě a 1V na přechodu gate a source způsobuje, že vstupní napětí na 3 V straně dosáhne úrovně 3.3 V.
- Crossbar s integrovanou diodou (CBTD) vyrábí Texas Instruments

Obvody s rozhraním IEEE 1149.1

JTAG - Rozhraní, které dovoluje snadné testování obvodů s velmi vysokou hustotou integrace a boardů

- SCOPE™ sběrnicové budiče podporují v mnoha aplikacích demanding rozhraní pro testování
- Cesty podporující functions dovolují snadné handling testování cest v rozsáhlých systémech



IEEE1149.1 byl navržen Joint Test Action Group (JTAG)

SCOPE (System Controllability Oberservability Partitioning Environment) is a trademark of Texas Instruments Incorporated

Výhody použití IEEE1149.1

- Testování a přístup do bodů na deskách s velkou hustotou
- Nenáročné testovací adaptéry
- Standardní spojení s IO, deskami a systémy
- Snadná implementace do ASIC
- Testování produktů bez přístrojového vybavení, možnost testování dílčích částí systému (paměti, integrované obvody, atd.), lokalizace chyb z výroby
- Podpora pro IO a ATE výrobce

Literatura

[1] Digital design III, Texas Instruments, 2001

[2] H.W.Johnson, M.Graham,: High-Speed Digital Design, Prentice Hall, 1993