



1. Popište v jazyku Verilog následující komponenty:
  - I. 2x1 multiplexor s šířkou datového vstupu/výstupu 32 bitů
  - II. 3x1 multiplexor s šířkou datového vstupu/výstupu 32 bitů
  - III. 32-bitový sumátor
  - IV. 32-bitovou jednotku pro násobení čtyřmi (jeden vstup a jeden výstup)
  - V. komparátor na shodu dvou čísel (dva 32-bitové vstupy, jeden 1-bitový výstup)
  - VI. jednotku pro znaménkové rozšíření 16-bitového čísla na 32-bitové
  - VII. resetovatelný 32-bitový registr se zápisem při náběžné hraně hodinového signálu a vstupem pro povolení zápisu
  - VIII. Tří-portový soubor 32 32-bitových registrů, přičemž dva porty jsou určeny pro čtení (kombinačně) a jeden port pro zápis (s náběžnou hranou hodin při povolení zápisu). Šířku a počet adresních vodičů určete podle potřeby. Registr na adrese 0 bude nastaven vždy na 0.
  - IX. 32-bitovou aritmeticko-logickou jednotku implementující operace:
    - součet (add) při ALUcontrol = 010
    - rozdíl (sub) při ALUcontrol = 110
    - logický součin (and) při ALUcontrol = 000
    - logický součet (or) při ALUcontrol = 001
    - exkluzivní logický součet (xor) při ALUcontrol = 011
    - porovnání hodnot *set less than* (slt) při ALUcontrol = 111

Datové vstupy ALU: srcA, srcB; 3-bitový řídicí vstup: ALUcontrol; Výstup: ALUout; Příznak: zero

2. Komponenty otestujte simulací!