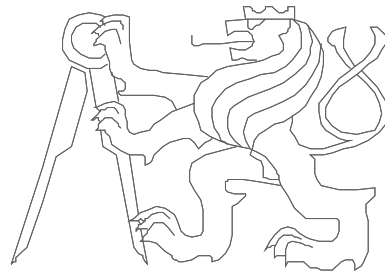


Pokročilé architektury počítačů

13

Perspektivy a omezení dalšího rozvoje



České vysoké učení technické, Fakulta elektrotechnická

Limitující faktory

- Výkonové ztráty (teplo):
 - Výkon = práce/čas
 - Energie = výkon*čas

Ztráty: dynamické (důsledek aktivity v obvodu při změně dat – vstupů – nabíjení a vybíjení kapacit) a statické (nedokonalost tranzistorů – zbytkový proud)

$$P_{dyn} = aCV^2f$$

- V – el. Napětí
- f – frekvence
- C – kapacita
- a – activity factor

$$P_{leakage} \cong V I_{leak}$$

I_{leak} - zbytkový proud

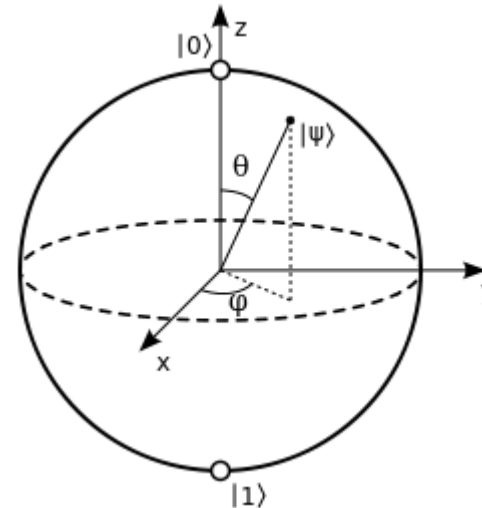
- Dynamická změna V, škálování f (DVFS)

Limitující faktory

- Technologické limity
 - Zpoždění na vedení
 - Rychlost šíření signálu je shora omezena rychlostí světla
 - Metrika FO4 (**Fan-out of 4**) – metrika používaná v CMOS technologiích
 - $Fan\ out = C_{load} / C_{in}$, kde
 - C_{load} = total MOS gate capacitance driven by the logic gate under consideration
 - C_{in} = the MOS gate capacitance of the logic gate under consideration
 - V první aproximaci, FO4 zpoždění je úměrné časové konstantě RC (5RC)
 - Hloubka pipeline
 - Optimální hloubka pipeline? Kolik úrovní hradel bude v jednom stupni?
 - Stupně jsou separovány mezistupňovými registry – musí poskytovat uložení dat. Zápis a čtení dat do těchto registrů můžeme odhadnout jako $<2FO4$.

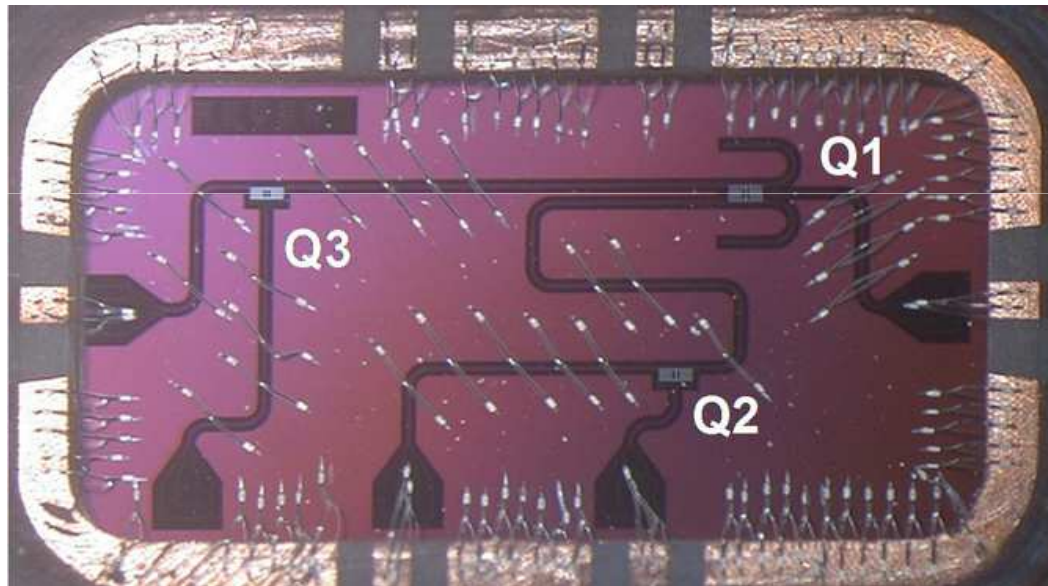
Jak dál?

- Paralelizace, paralelizace, paralelizace...
- Rozvoj HW, ale i SW!
- GPU?
- Náhrada elektroniky za optiku na nejnižší úrovni (**plně optický tranzistor**)
- Alternativní přístupy:
 - Quantum computing, synthetic biological engines, DNA computers



Quantum computing

- IBM čip: 3 qubity
- controlled-NOT logic operation
- stabilita 10 mikrosekund



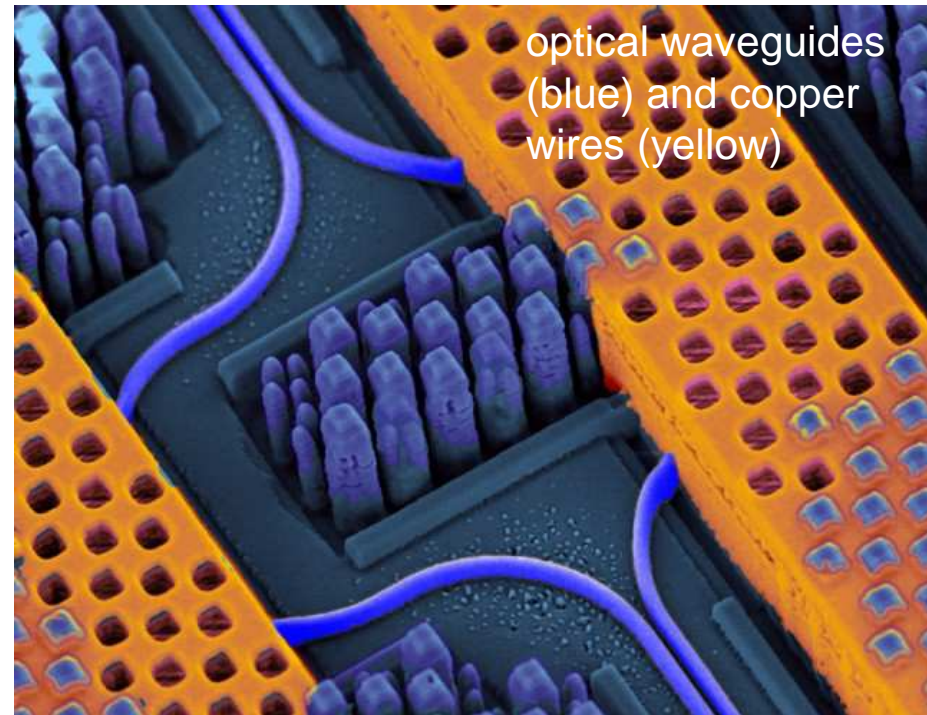
- Více informací ve videu:
http://www.youtube.com/watch?feature=player_embedded&v=_NRmOe1b8_s

Integrace elektroniky a optiky

- IBM
- Integrace elektroniky a optiky na jednom čipu (standardní 90nm technologie)
- Využití: pro propojení čip-čip, nebo počítač-počítač 1000 krát rychleji
- Používá optické modulátory a germániové fotodetektory
- Na ploše čipu 5x5 mm integruje 50 vysílačů/přijímačů (transceiver); propojení těchto čipů pak nabízí 1,2 Terabit/s
- Dalším krokem ve vývoji je použití jenom optiky...
Viz optický tranzistor. Inspirace zde:
<http://ee.stanford.edu/~dabm/379.pdf>

Zdroj:

<http://www.extremetech.com/computing/142881-ibm-creates-first-cheap-commercially-viable-silicon-nanophotonic-chip>



SoC, SiP, PoP

SoC – System on Chip

Příklad aplikace CC2430

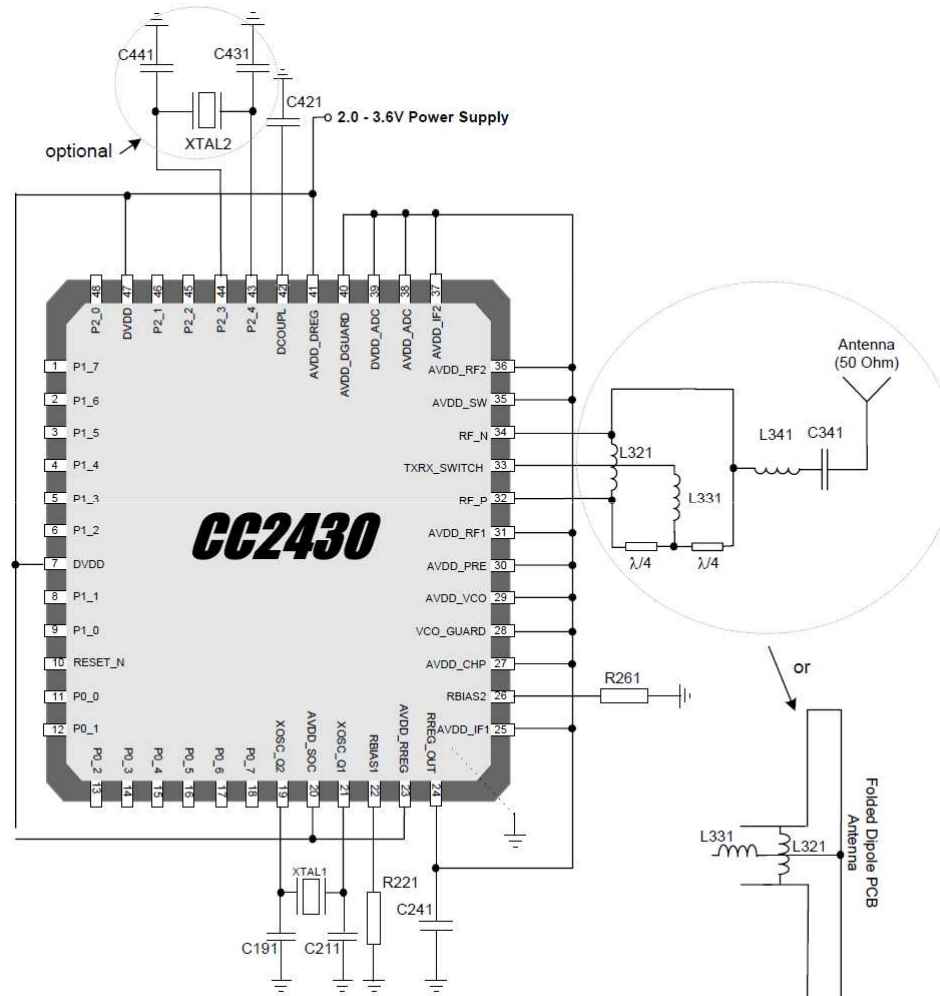


Figure 6: CC2430 Application Circuit. (Digital I/O and ADC interface not connected).
Decoupling capacitors not shown.

<http://focus.ti.com/lit/ds/symlink/cc2430.pdf>

SoC – System on Chip

RF/Layout

- 2.4 GHz IEEE 802.15.4 compliant RF transceiver (industry leading CC2420 radio core)

Low Power

Microcontroller

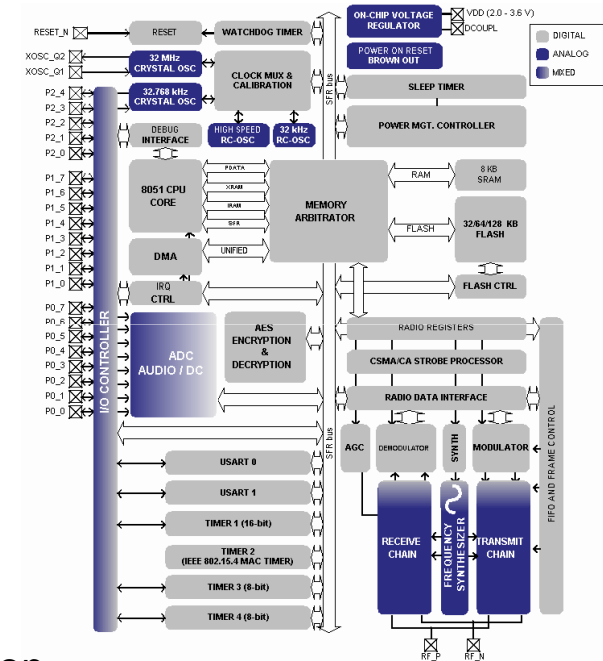
- High performance and low power 8051 microcontroller core
- 32, 64 or 128 KB in-system programmable flash
- 8 KB RAM, 4 KB with data retention in all power modes
- Powerful DMA functionality
- Watchdog timer
- One IEEE 802.15.4 MAC timer, one general
- 16-bit timer and two 8-bit timers
- Hardware debug support

Peripherals

- CSMA/CA hardware support.
- Digital RSSI / LQI support
- Battery monitor and temperature sensor
- 12-bit ADC with up to eight inputs and configurable resolution
- AES security coprocessor
- Two powerful USARTs with support for several serial protocols
- 21 general I/O pins, two with 20mA sink/source capability

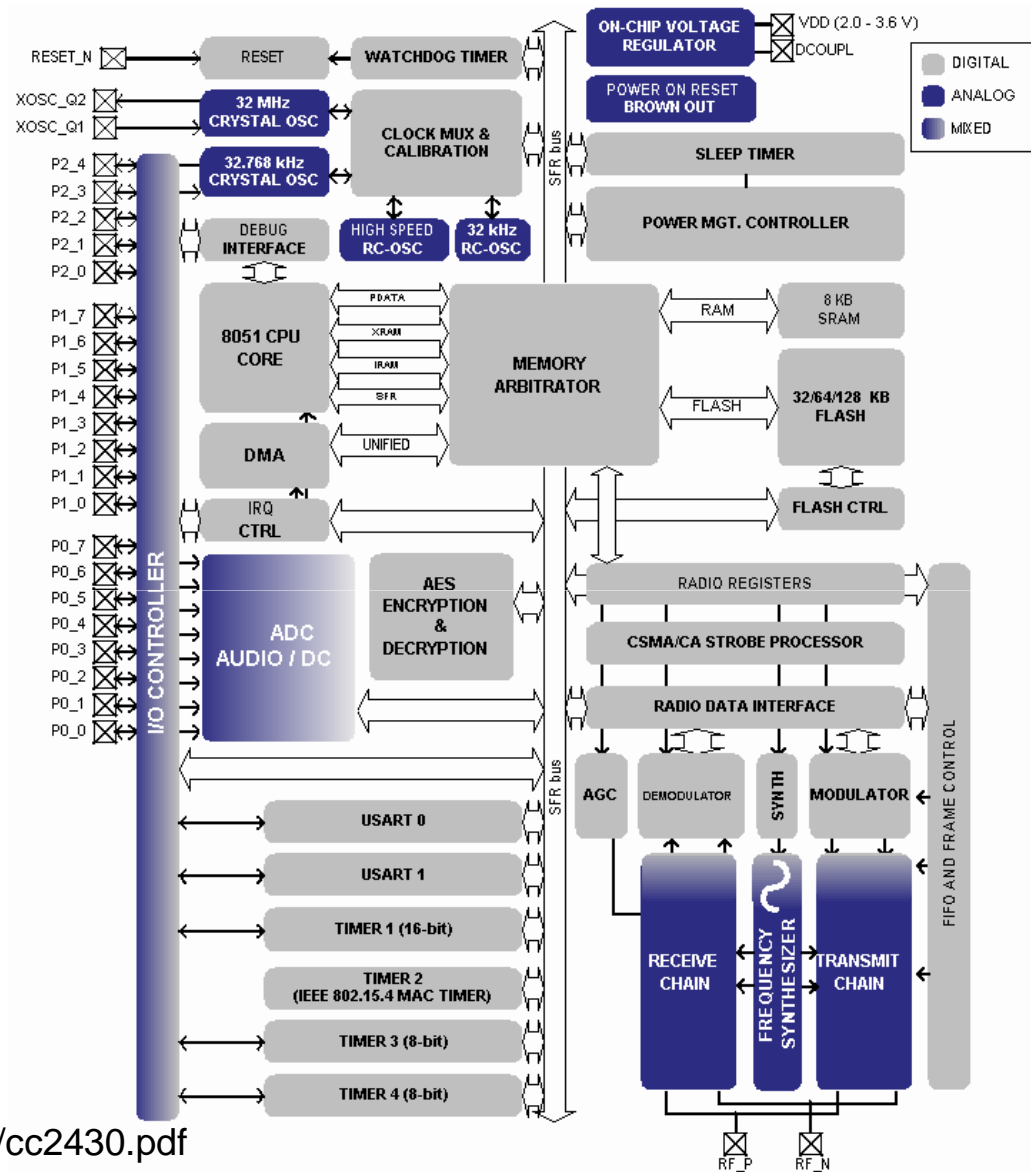
Development tools

<http://focus.ti.com/lit/ds/symlink/cc2430.pdf>



SoC – System on Chip

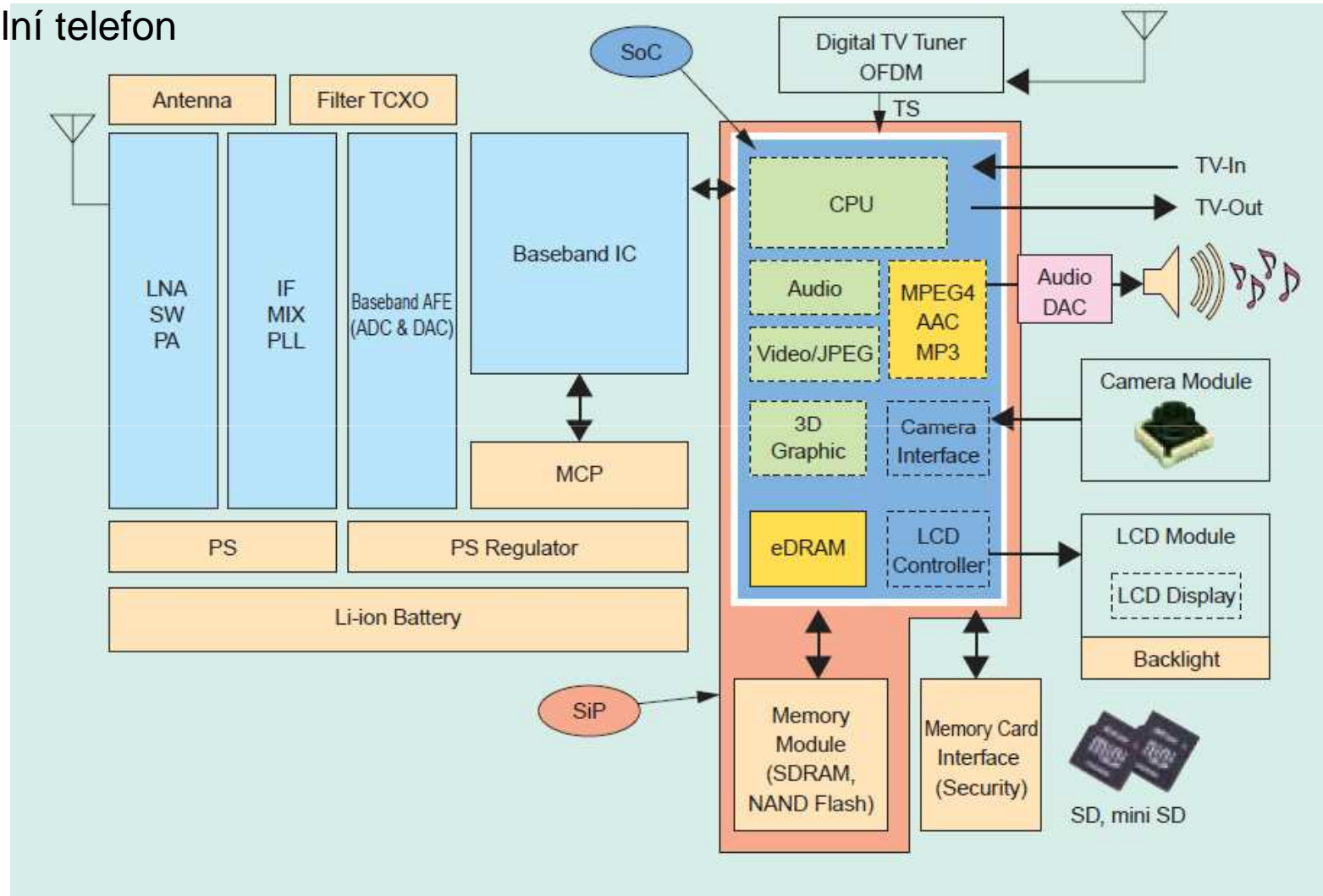
Texas Instruments:
CC2430



<http://focus.ti.com/lit/ds/symlink/cc2430.pdf>

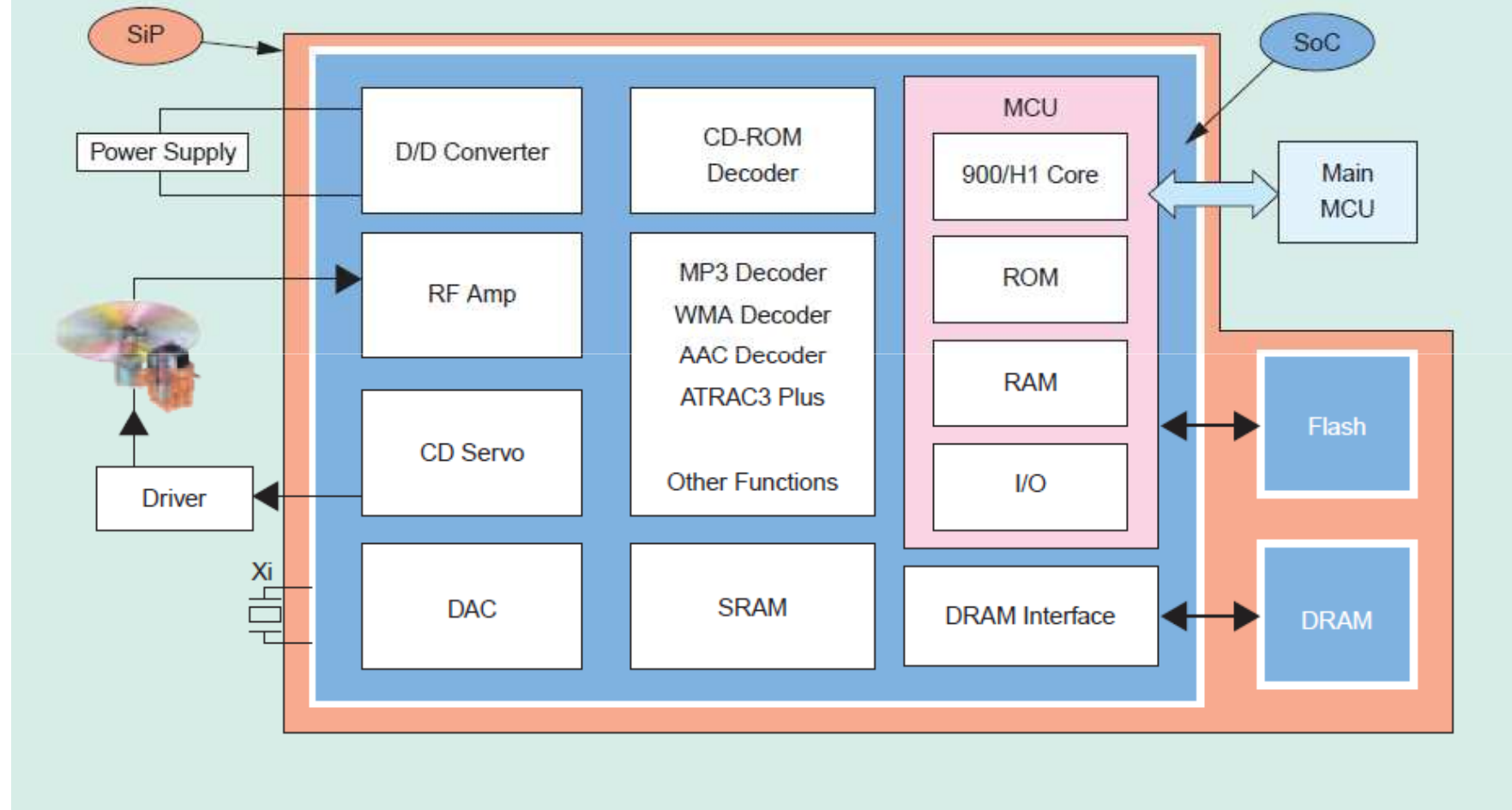
SoC vs. SiP (System in Package)

Mobilní telefon



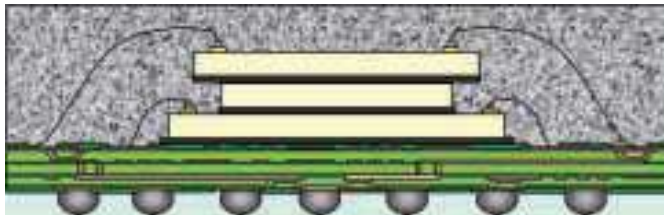
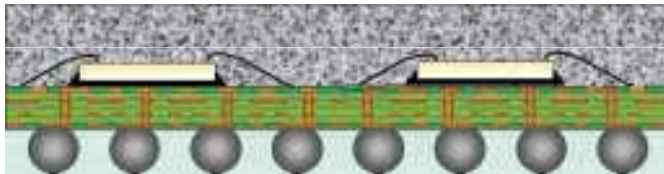
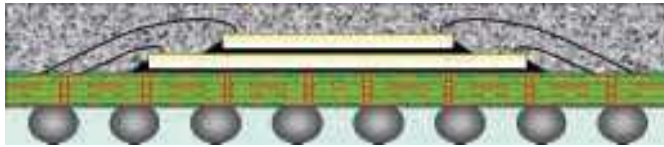
SoC vs. SiP

CD/MP3 přehrávač



SiP - zapouzdřování

piny zespodu



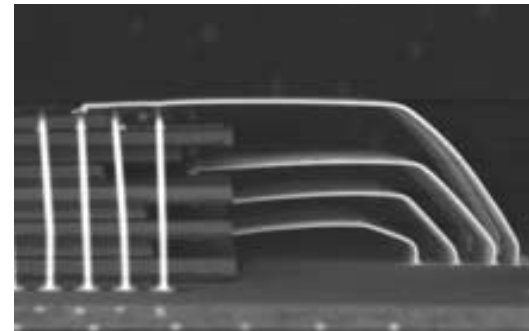
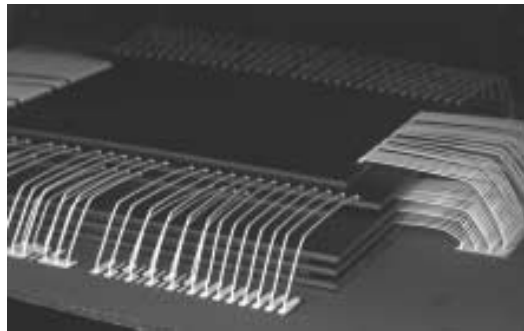
nožičky



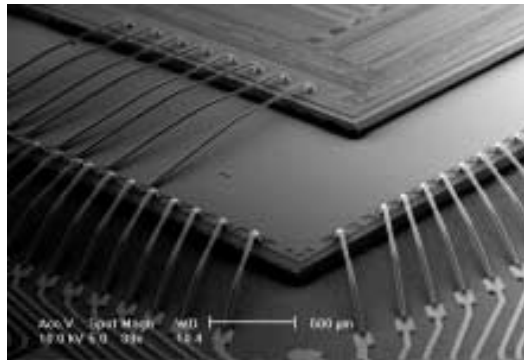
<http://www.toshiba-components.com/ASIC/>

SiP - zapouzdřování

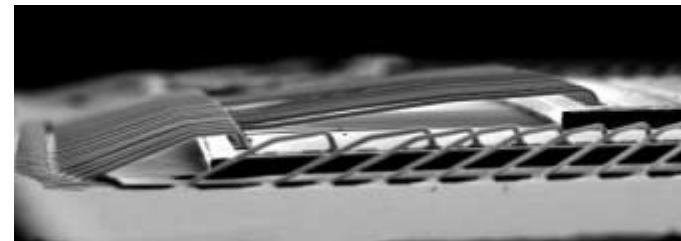
Toshiba: 9-Layer MCP. (5 Die Stacked Die)



Pro velmi tenká pouzdra:

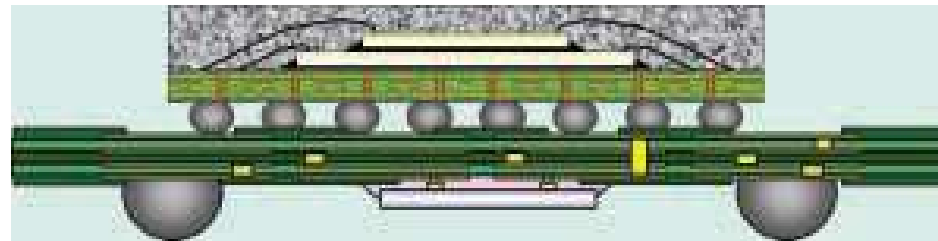
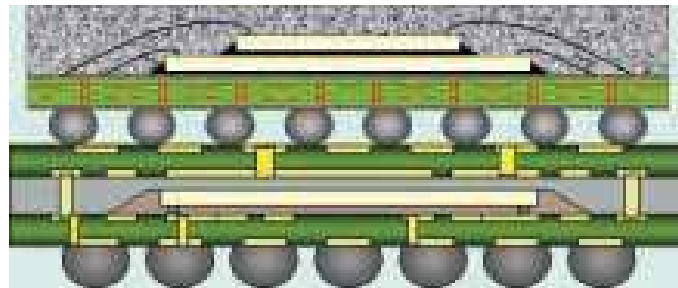


2-Layer Stacked SiP: Max.
Thickness = 0.55 mm



<http://www.toshiba-components.com/ASIC/>

PoP – Package on Package



<http://www.toshiba-components.com/ASIC/>