


Architektura počítačů

I/O podsystém I.



České vysoké učení technické, Fakulta elektrotechnická

A0B36APO Architektura počítačů Ver.1.00 2011 1

O čem bude dnešní přednáška?

- Propojení jednotlivých částí počítače mezi sebou
 - Sběrnice
- Na příkladu sběrnicevého systému PC
 - **PCI.**
 - Proč? Příprava na laboratorní cvičení
- Alternativy PCI:
 - **PCIe.**
 - Proč? Příprava na laboratorní cvičení.

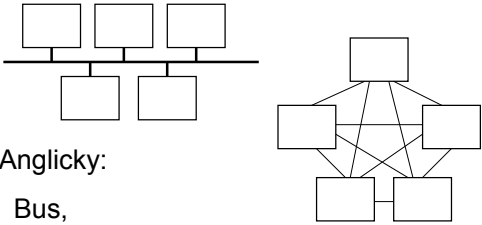
A0B36APO Architektura počítačů 2

Co je úkolem?

- Propojit jednotlivé části výpočetního systému
- Požadavky:
- Vytvořit optimální datové cesty hlavně pro nejdůležitější periferie (vnější paměti).
- Možnosti řešení:
- S ohledem na závislost cena/výkon existuje hranice výkonnosti, kdy
 - datové cesty je možné sdílet, nebo
 - datové cesty je výhodné sdílet.

A0B36APO Architektura počítačů 3

Připomenutí: sběrnice x dvoubodový spoj



- Anglicky:
- Bus,
- point-to-point connection.

A0B36APO Architektura počítačů 4

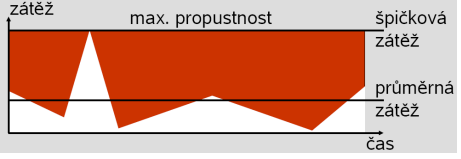
Ale pozor!

- Point-to-point
 - není totéž co
- peer-to-peer!
 - Peer-to-peer arch. = rovný s rovným
- a k tomu protějšek je
 - architektura klient-server!

A0B36APO Architektura počítačů 5

Průměrná a špičková zátěž

- zátěž: objem přenášených dat za čas
 - čas \rightarrow 0 ... špičková zátěž,
 - čas \rightarrow ∞ ... průměrná zátěž.
- Nevyužitá propustnost

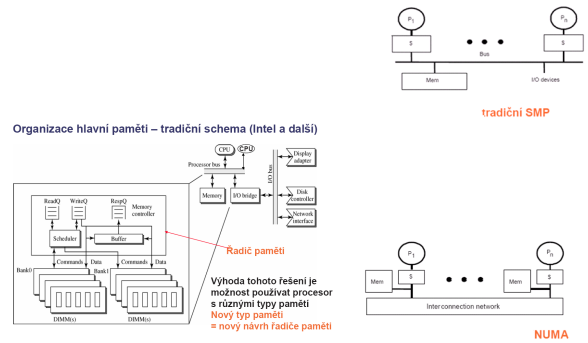


A0B36APO Architektura počítačů 6

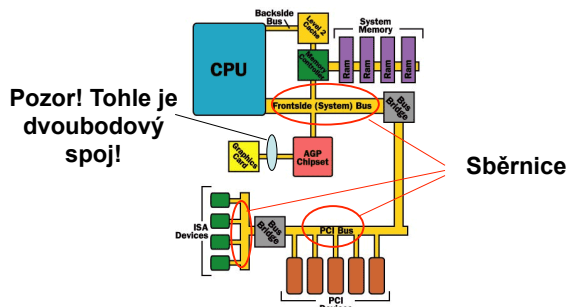
Terminologie interfejsingu I.

- **Interfejs** = interface = rozhraní = propojení = styk = mezichyt.
- Společná komunikační část sdílená dvěma systémy, zařízeními nebo programy.
- Zahnuje i prvky této hranice a doplňkové řídicí obvody určené k jejich propojení.
- Sběrnice x dvoubodový spoj.
- Adresová, datová, řídicí sběrnice.
- Brána.
- Multiplexovaná/oddělená sběrnice.
- Procesorová, systémová, lokální, V/V sběrnice.

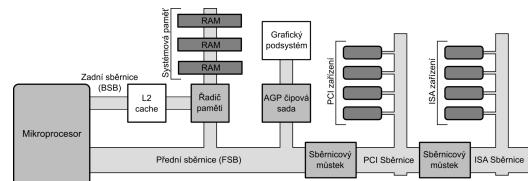
Obecně architektura počítače



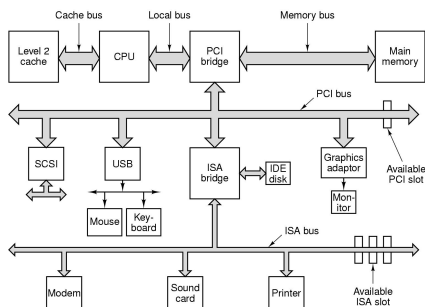
Příklad z PC prostředí:



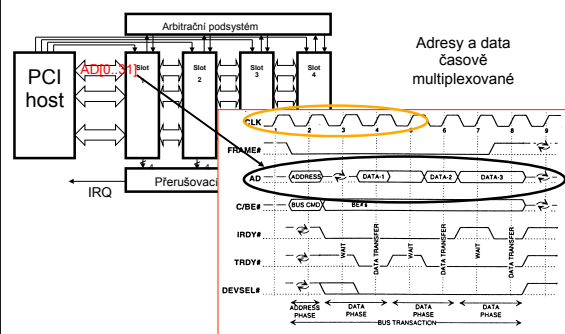
PC architektura ze začátku milénia ...



Totéž graficky pojednáno trochu jinak



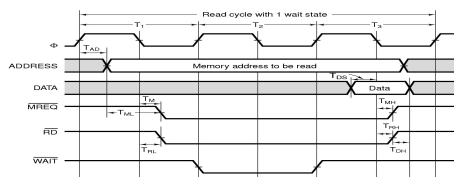
Multiplexovaná sběrnice?



Terminologie interfejsu

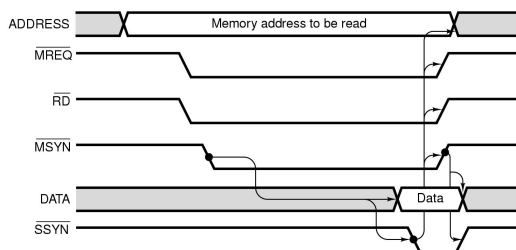
- Synchronizace přenosu údajů interfejsem. Možnosti:
 - asynchronní,
 - synchronní,
 - pseudosynchronní,
 - izochronní.
- Pozn.:
 - následujícím časovým diagramům, signálovým sledům, se obvykle říká **protokol** sběrnice.
- Uvidíte jeden sběrniceový cyklus.

Příklad synchronního přenosu

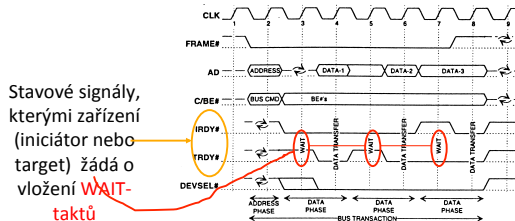


Symbol	Parameter	Min	Max	Unit
T_{AD}	Address output delay		11	nsec
T_{st}	Address stable prior to MREQ	5		nsec
T_m	MREQ delay from falling edge of ϕ in T_1		8	nsec
T_{rd}	RD delay from falling edge of ϕ in T_1		8	nsec
T_{dc}	Data setup time prior to falling edge of ϕ	5		nsec
T_{m2}	MREQ delay from falling edge of ϕ in T_3		8	nsec
T_{rd2}	RD delay from falling edge of ϕ in T_3		8	nsec
T_{ch}	Data hold time from negation of RD	0	8	nsec

Příklad asynchronního přenosu



Jde to i jinak?

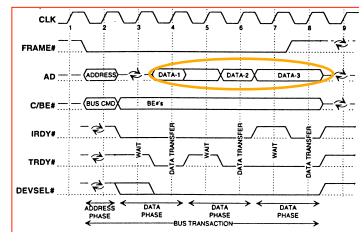


Ano, pseudosynchronně!

A kdy je synchronizace izochronní?

- V izochronním přenosu se přenáší údaje s **konstantní průměrnou rychlostí!**
- Jinak: za určitý časový interval se přeneše vždy stejný objem dat, ale okamžitá rychlost přenosu nemusí být stále stejná.
- Typické pro moderní multimediální zařízení.
- Řešení: používá se několik souběžných přenosových kanálů, jedním kanálem se obsluhuje několik periférií, atd.
- Připomenutí:
 - synchronní přenos – přenos konstantní okamžitou rychlostí,
 - asynchronní přenos – zařízení jsou z hlediska časování nezávislá.

Souvislý režim (burst mode)



Mimochodem: AD část této sběrnice je multiplexovaná.

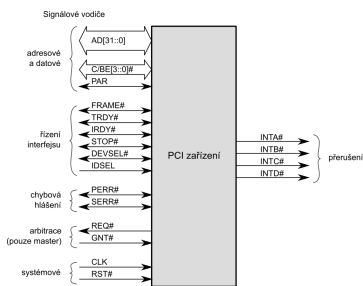
PCI terminologie I.

- Každé sběrnice transakce se zúčastní 2 zařízení:
- Initiator (iniciátor) x Target (cíl nebo podřízený).
 - Initiator = Bus Master,
 - Target = Slave.
- Nesouvisí to ale s tím, kdo bude data vysílat a kdo je bude přijímat!
- Kdy je sběrnice typu Multimaster?
 - Existuje-li více potenciálních Bus Masterů!
- Kdo pak ale rozhoduje o tom, kdo se stane aktuálním Masterem?
 - Arbitr sběrnice.
- Musí to být jedno nějaké konkrétní zařízení?
 - Může (centralizovaný, ale arbitr může být i decentralizovaný).

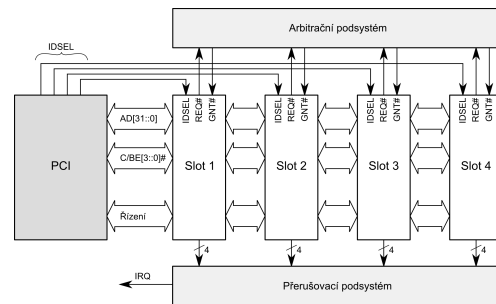
PCI terminologie II.

- Pro časování sběrnice cyklu je vztažným okamžikem náběžná hrana hodin,
- sběrnice cyklus má (obvykle)
 - adresovou a
 - datovou fázi.
- Ukončení přenosu údajů (sběrnice cyklu) je možné.
- Synchronizace přenosu - pseudosynchronní.

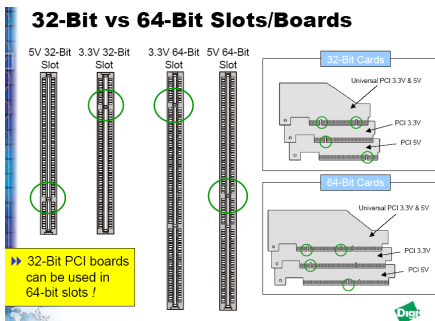
PCI signály – 32-bitová verze



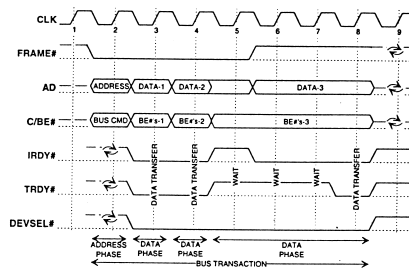
PCI - architektura



Napěťové verze PCI



Signálový sled „Zápis“



Význam bitů C/BE[3..0]#

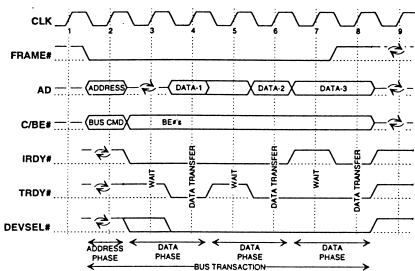
C/BE[3..0]#	Typ příkazu
0000	Potvrzení přerušení (Interrupt Acknowledge)
0001	Speciální cyklus (Special Cycle)
0010	Čtení z portu (I/O Read)
0011	Zápis na port (I/O Write)
0100	Rezervováno (Reserved)
0101	Rezervováno (Reserved)
0110	Čtení z paměti (Memory Read)
0111	Zápis do paměti (Memory Write)
1000	Rezervováno (Reserved)
1001	Rezervováno (Reserved)
1010	Konfigurační čtení (Configuration Read)
1011	Konfigurační zápis (Configuration Write)
1100	Memory Read Multiple
1101	Dual Address Cycle
1110	Memory Read Line
1111	Memory Write and Invalidate

Jak se z C/BE bitů vyrobí signály (např.) MEMR, MEMW, IOR, IOW, atd.?

Všimli jste si?

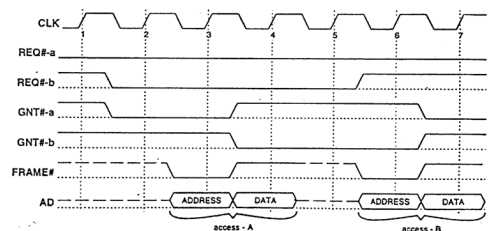
- Délku přenášeného bloku určuje signál Frame.
- Jednorázový i souvislý (Burst) přenos údajů je možné „přibrzdit“ vkládáním čekacích taktů (pseudosynchronní synchronizace)!

Signálový sled „Čtení“

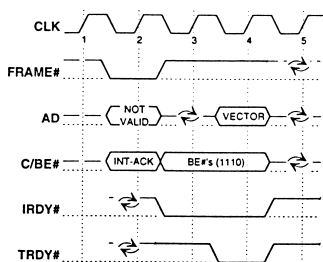


Takovéto průběhy budete na cvičeních měřit (logickým analyzátořem).

Arbitrace o řadič sběrnice



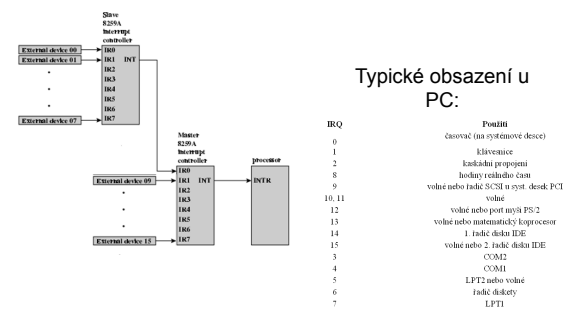
Signálový sled „Potvrzení přerušení“



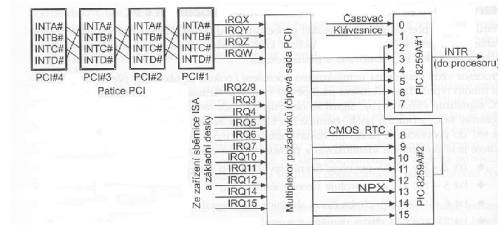
Problém:

- Procesor musí uložit informace o právě probíhajícímu programu (aby se po zpracování přerušení mohl vrátit) a to něco stojí (čas).
- Řadič přerušení vnutí procesoru vektor přerušení, ze kterého se odvodí startovací adresa obsluhy. I to něco stojí.

Studie: V/V s přerušením



Podrobnější studie přerušovacího systému PC



Rekapitulace metodiky

- Všimněte si: s PCI jsme postupně seznamovali tak, že jsme studovali signálové sledy
- jak přenáší údaje (zápis, čtení),
- jak se o ní arbitruje,
- a nakonec jak se řeší žádost o přerušení.
- Moje doporučení: postupujte takto vždy, když se seznamujete s novou sběrnicí.

Modernizace PC architektury

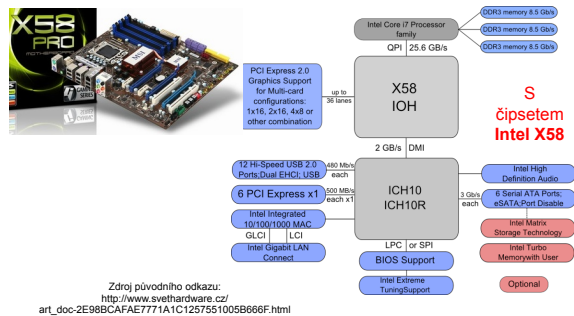
Budoucnost PCI?

- Více než 10-ti letá historie je v PC světě předlouhá. Svědčí o úspěchu, ale vnučuje otázku: co bude dál?
 - PCI-X,
 - PCI Express neboli PCIe?
 - Nebo něco úplně jiného?
- Je několik dalších ambiciózních řešení.
- PCI se prosadilo i do průmyslového prostředí jako základ stavebnice.

Postupný přehled inovací

- 1995 - 66 MHz protokol pro PCI,
- 1996 technologie AGP,
- 1997 HyperTransport, znovu nabral dech 2009 pod označením **QPI** (Intelovský QuickPath Interconnect),
- 1999 PCI-X,
- 2001 PCI Express,
- XXXX Infiniband.

Systémová deska z 02/09, opět jen jako příklad:



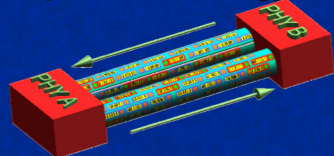
Zdroj původního odkazu:
http://www.svethardware.cz/art_doc-2E98BCAFAE771A1C1297551005B666F.html

Na okraj: HyperTransport

- U procesorů AMD Hammer je to systémová sběrnice.
- Výhradně spojuje dvě jednotky – dvoubodový spoj.
- Provádí sériový přenos po paketech.
- Má vysokou propustnost – max. 9,6 GB/s.
- Ale: je to nepravděpodobný nástupce PCI.
- Možná až QPI!

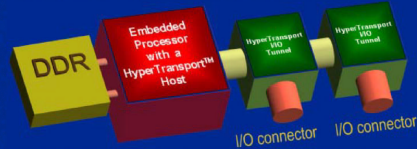


HyperTransport™ Technology Basics



- HyperTransport™ Technology buses have two unidirectional point-to-point links
 - The links can be 2-, 4-, 8-, 16-, or 32-bits wide in each direction
 - HyperTransport links have a data rate up to 1600 Megabits/second per pin-pair (800 MHz clock)
 - E.g., 4 bits each way give up to 1.6 GB/sec total bandwidth
 - E.g., 8 bits each way give up to 3.2 GB/sec total bandwidth
 - E.g., 16 bits each way give up to 6.4 GB/sec total bandwidth
 - E.g., 32 bits each way give up to 12.8 GB/sec total bandwidth
- Packets are multiples of 4-bytes in length
- Serial link with commands, addresses and data use the same bits

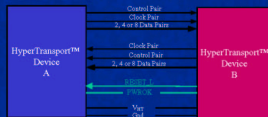
Embedded Applications and I/O Tunnels



- For the 1st time in the industry:
 - I/O devices shared among computation and communication industry
 - Unique "TUNNELING" capability gives almost unlimited I/O expandability
 - Fundamentally different microprocessor and memory controllers may be designed to use the very same I/O components
 - Pin count adjustable for the necessary Bandwidth
 - Cost reduced due to the the cumulative volume
 - Extended component life

HyperTransport™ Device Pin Count

- Additional HyperTransport™ Device signals
 - Power OK (PWROK)
 - Reset HyperTransport Device (RESET_L)
- 55-pin HyperTransport device bus provides 12X the bandwidth of PCI-32/33 with fewer pins
- Signal to ground ratio is designed to be 4:1
- Optional link power down signals for mobile systems
 - HyperTransport Device Stop_L
 - DevReq_L
- Power per pin-pair is nil when in HyperTransport Device Stop mode



PWROK, RESET_L required for proper reset & init
 Vref/DevReq needed between devices is required for proper common mode range

Bus Width (Each Way)	2	4	8	16	32
Data Pins (total)	8	16	32	64	128
Clock Pins (total)	4	4	4	8	16
Control Pins (total)	4	4	4	4	4
Subtotal (high speed)	16	24	40	76	148
VLD1	2	2	3	6	10
GND	4	6	10	19	37
PWROK	1	1	1	1	1
RESET_L	1	1	1	1	1
Total Pins	24	34	55	103	197
Total Max BW GB/s	0.8	1.6	3.2	6.4	12.8

DC Power per Pin-Pair: 4-9 mW, 6 mW_{max}
 Signal to Vref/Gnd Ratio: 4:1

InfiniBand

- Kanálově orientovaná přepínaná struktura se sériovou komunikací.
- 1Gb/s – 30Gb/s.
- Podobnost se sítí – ona to síť je!
- Základní prvky – HCA, TCA, switch/router.