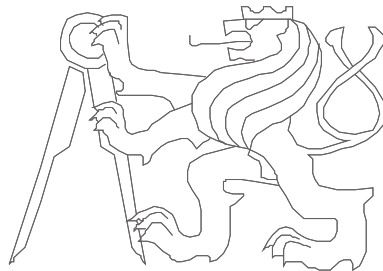


Architektury počítačů

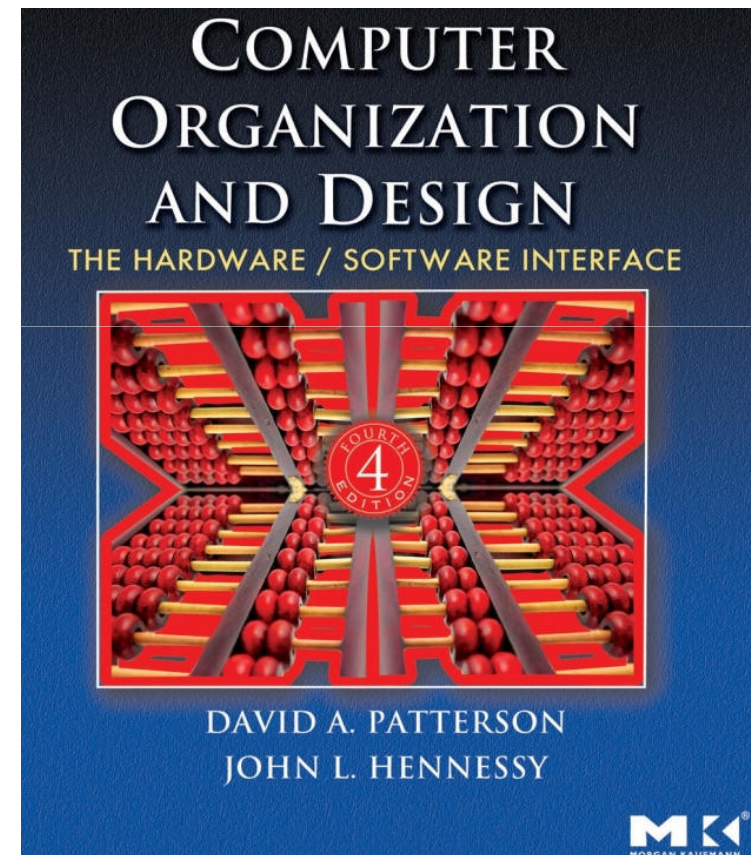
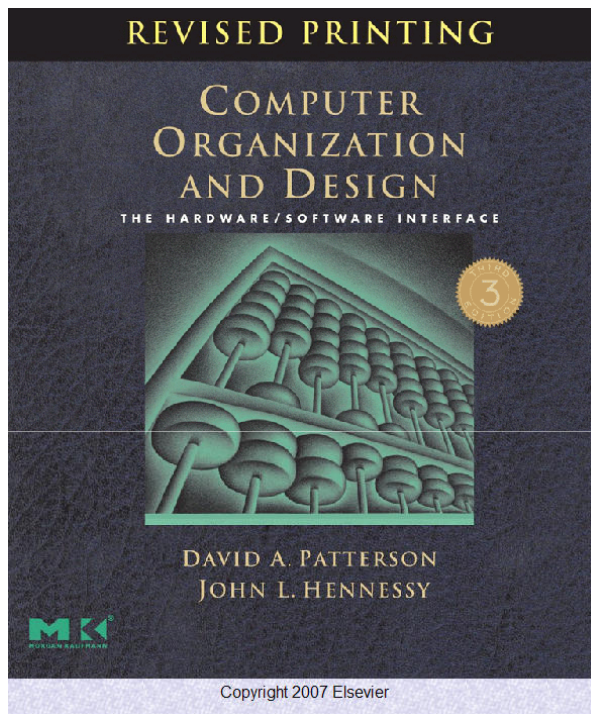
Paměť

Hlavní inspirace a zdroj: Patterson



České vysoké učení technické, Fakulta elektrotechnická

Literatura k předmětu



Motivace pro přednášku z pohledu programátora?

Otázka 1.: Vykonávají programy to samé?

Otázka 2.: Který program je rychlejší (pokud některý)?

A:

```
int matrix[M][N];
int i,j,sum=0;
...
for(i=0;i<M;i++)
  for(j=0;j<N;j++)
    sum+=matrix[i][j];
```

B:

```
int matrix[M][N];
int i,j,sum=0;
...
for(j=0;j<N;j++)
  for(i=0;i<M;i++)
    sum+=matrix[i][j];
```

Lze doporučit výhodnější způsob procházení matice?

Osnova přednášky

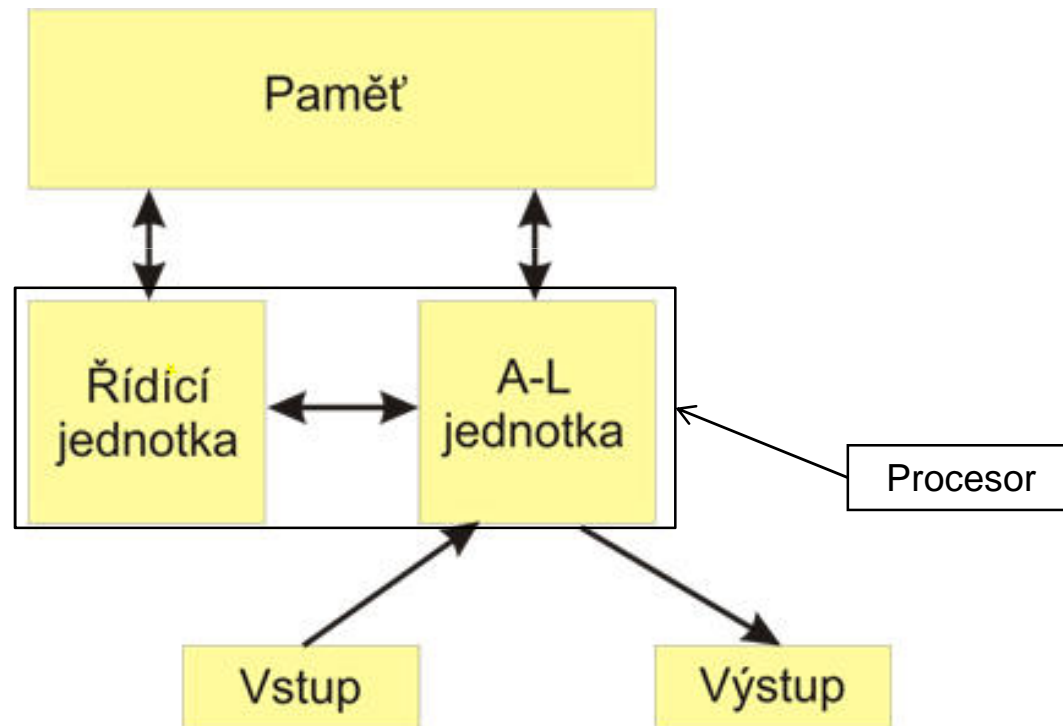
- Paměťová terminologie
- Hierarchie pamětí
- SP (skrytá paměť), resp. cache, keš
 - Více realistické SP
 - Víceúrovňové SP
- Virtuální paměť
- Problémy hierarchických pamětí
- Realizace pamětí - paměťové čipy
- Jiné principy vedlejších pamětí

John von Neumann, maďarský fyzik

Architektura počítače podle JvN



28. 12. 1903 - 8. 2. 1957

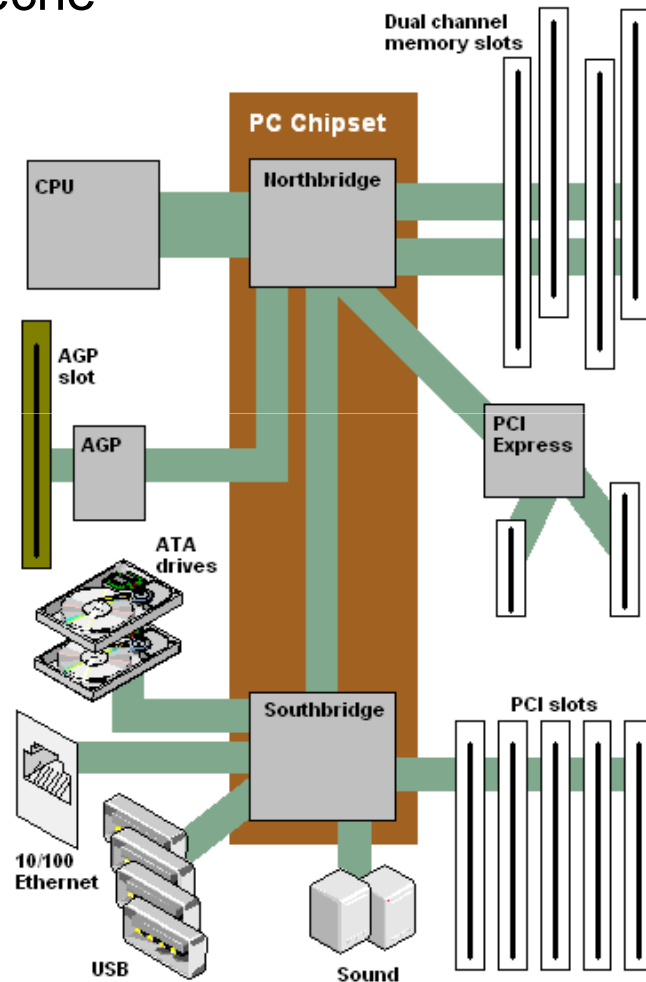


Architektura počítače

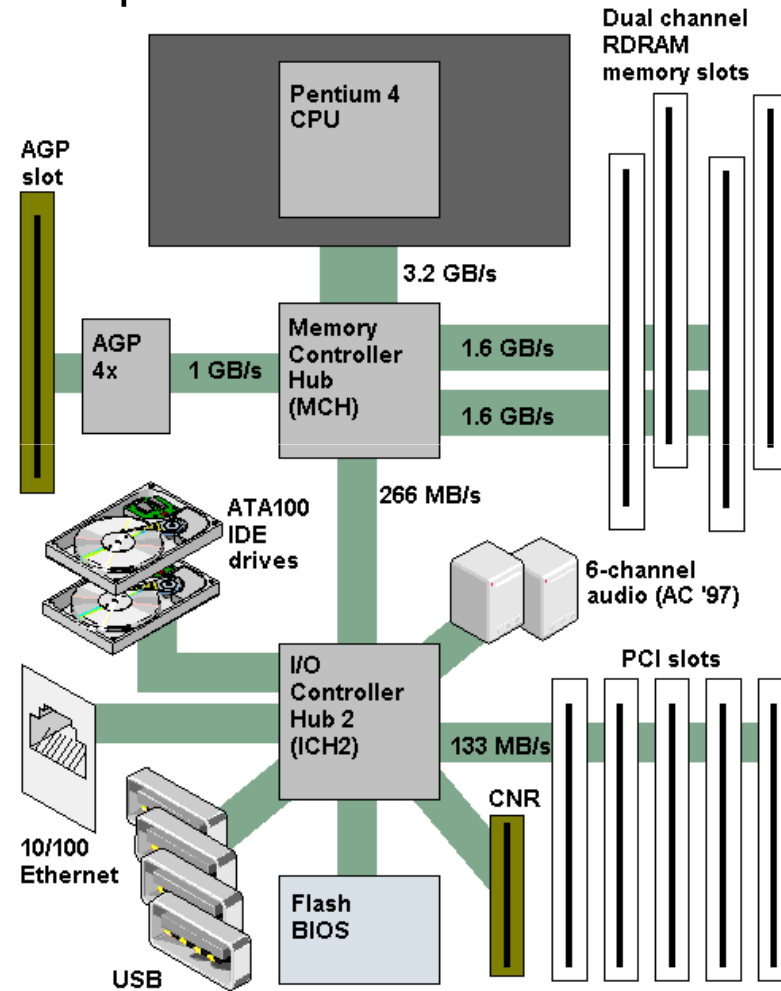
From Computer Desktop Encyclopedia
© 2005 The Computer Language Co., Inc.

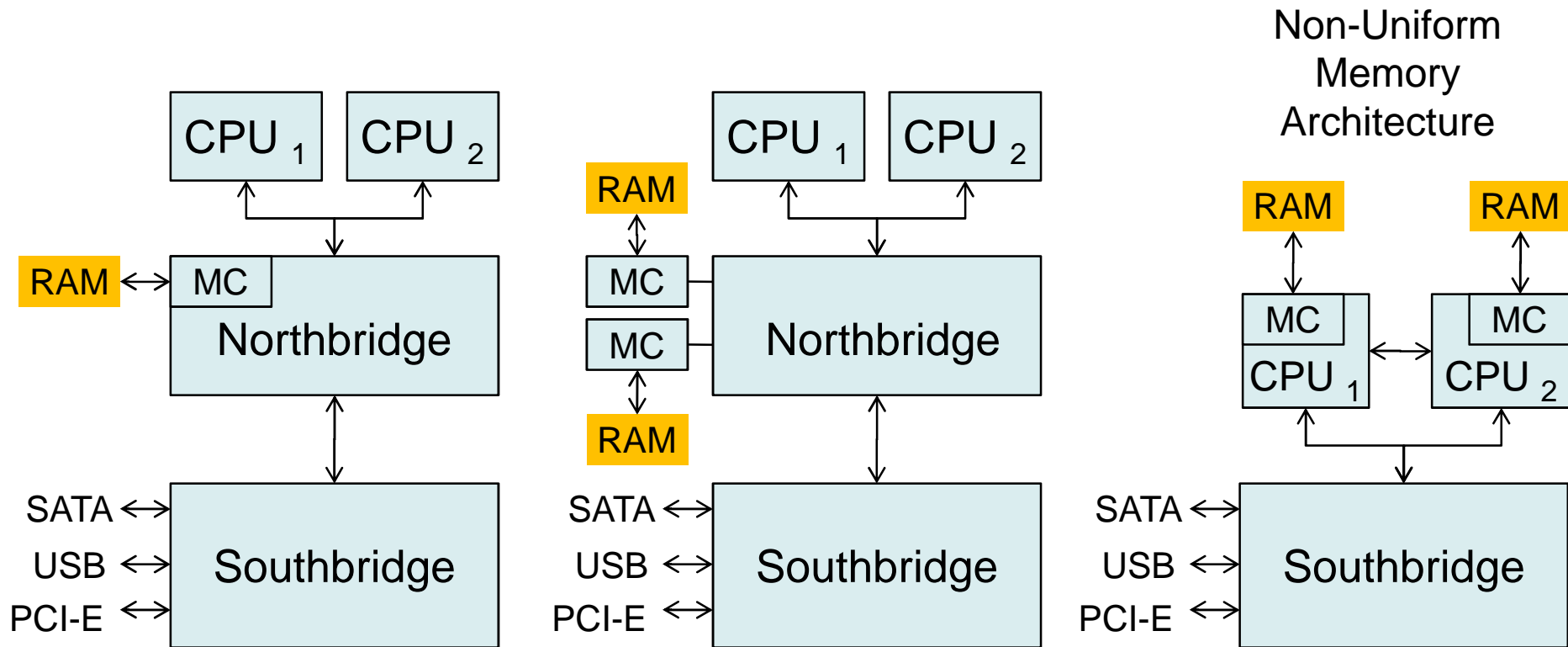
From Computer Desktop Encyclopedia
© 2001 The Computer Language Co., Inc.

obecně



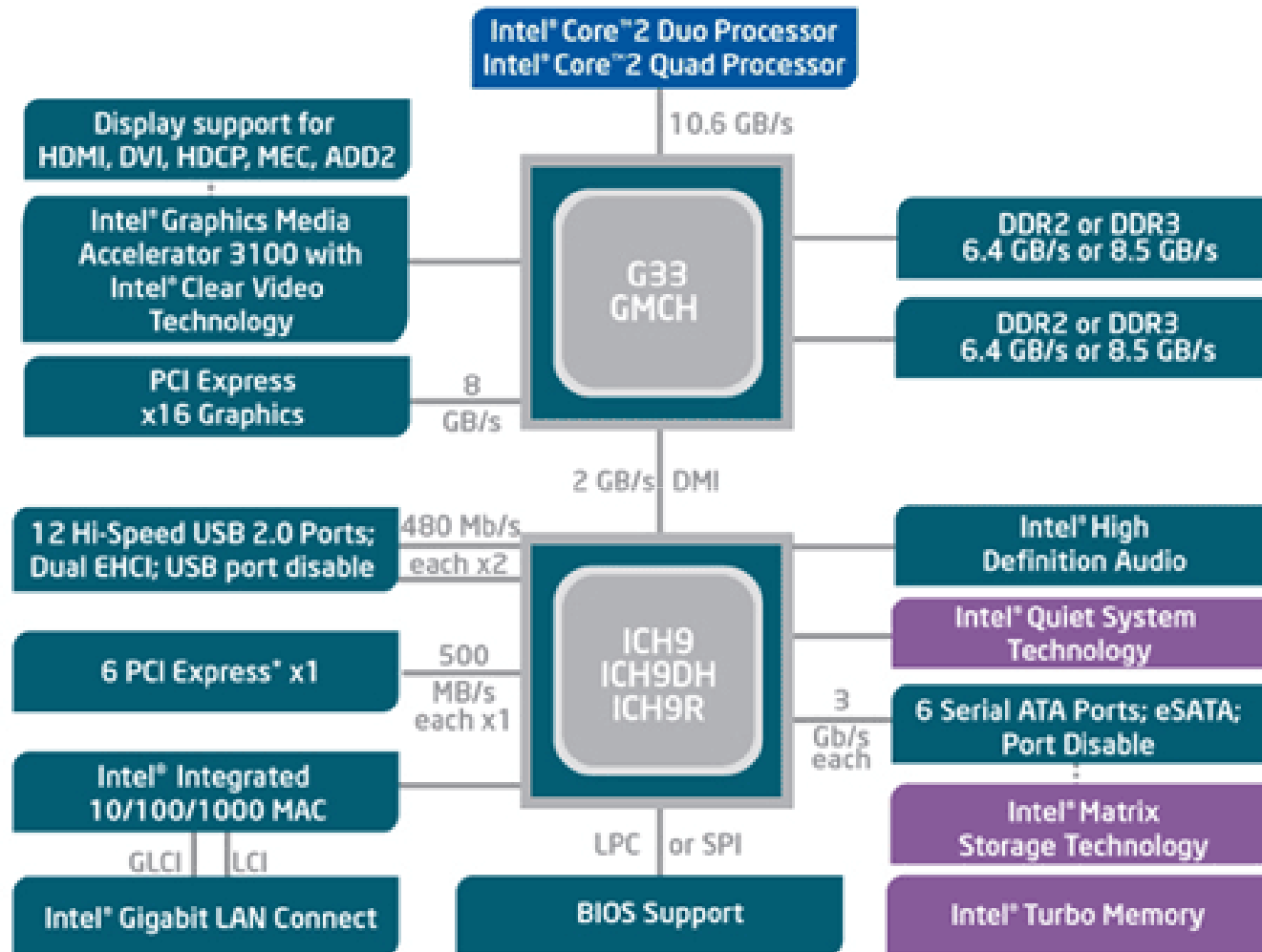
příklad





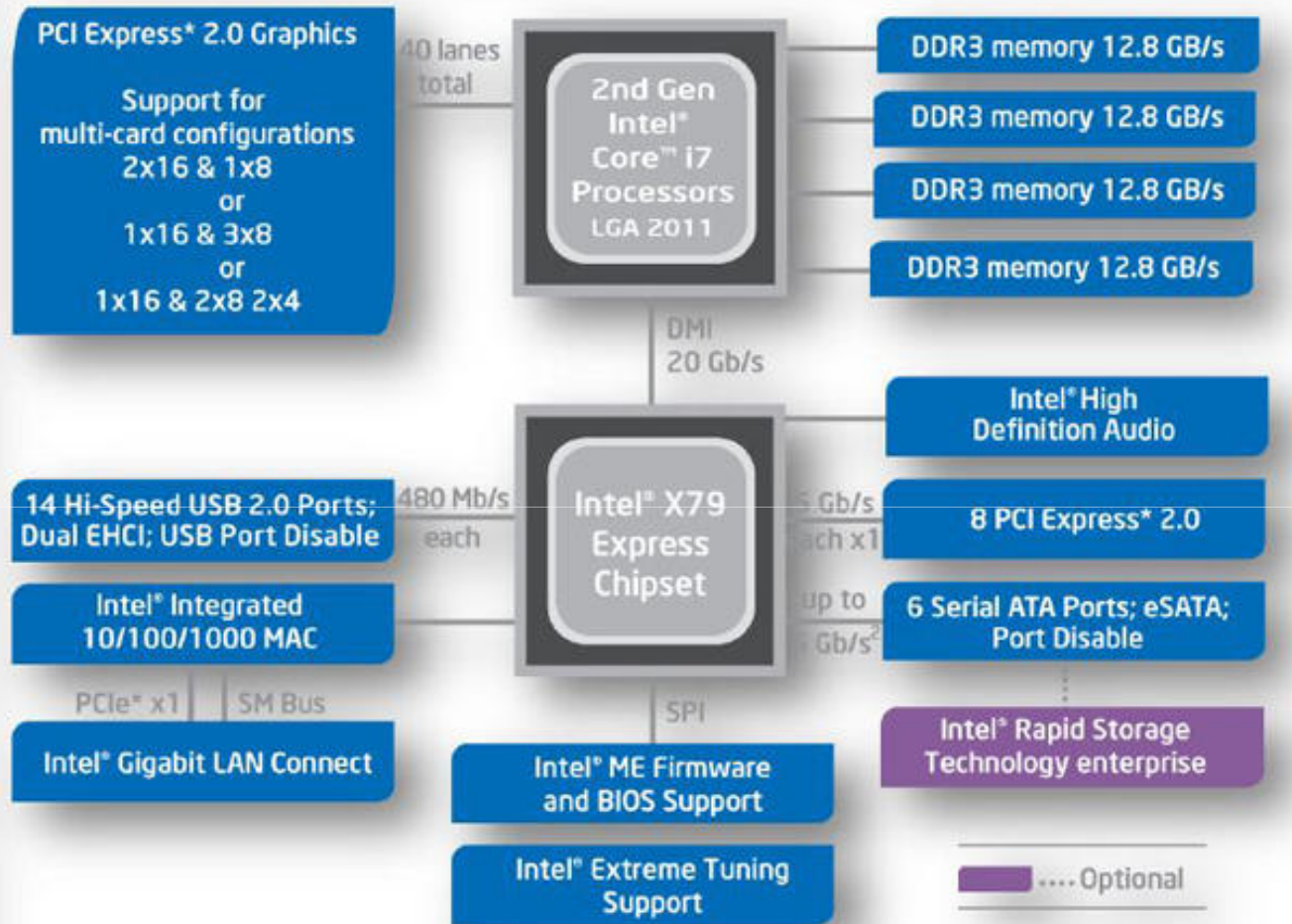
MC - Memory controller – obsahuje obvody pro zajištění operace čtení a zápisu z/do paměti. Také se stará o udržení obsahu paměti („refreshing“ alespoň každých 64 ms).

Konkrétněji...



Nyní je Northbridge jako Graphics and Memory Controller Hub (GMCH)

Konkrétněji...

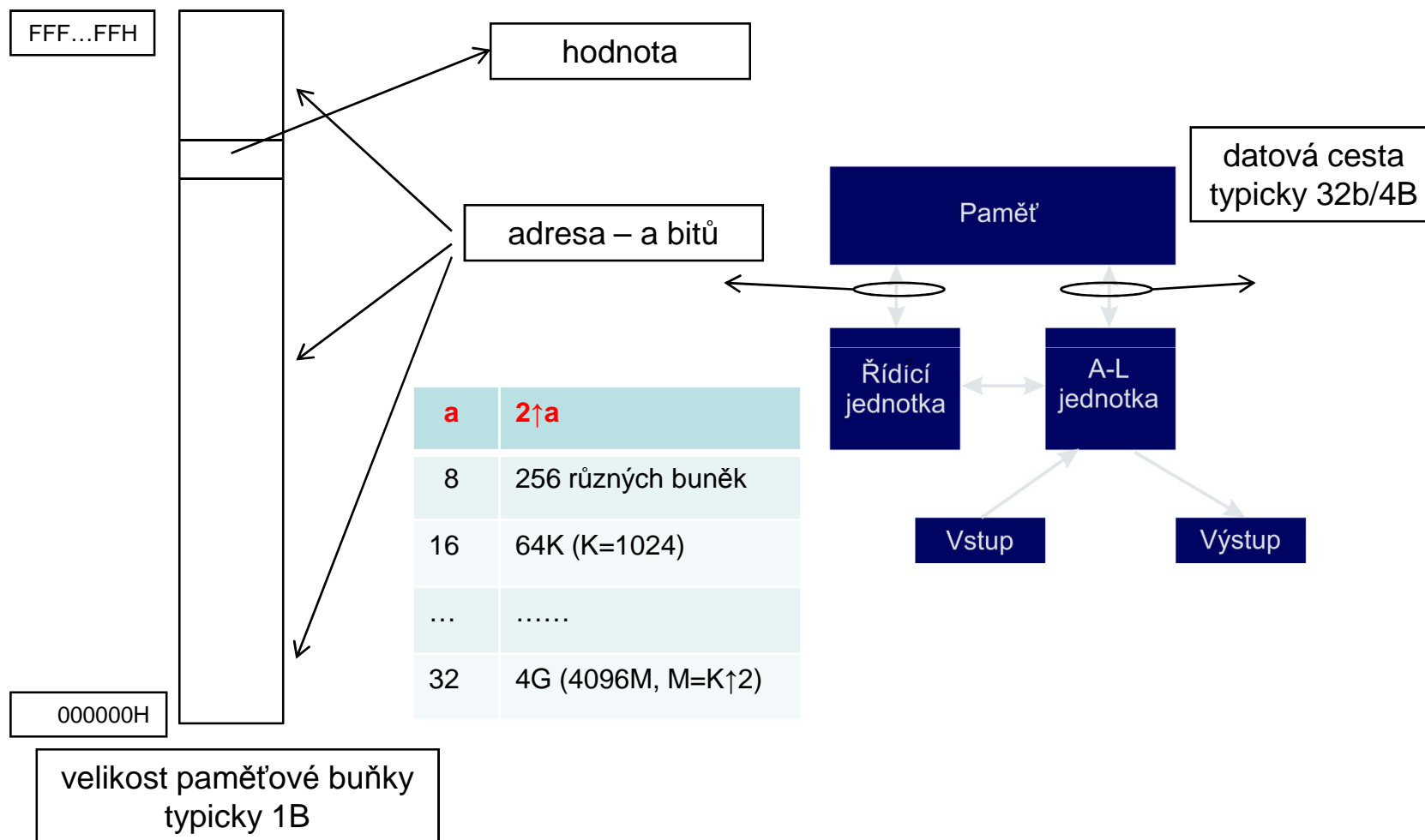


¹Theoretical maximum bandwidth
²All SATA ports capable of 3 Gb/s. 2 ports capable of 6 Gb/s.

Intel® X79 Express Chipset Block Diagram

Detaily v přednáškách č.5 a 6

Co je to adresní prostor? Adresa/hodnota



Terminologie kolem pamětí

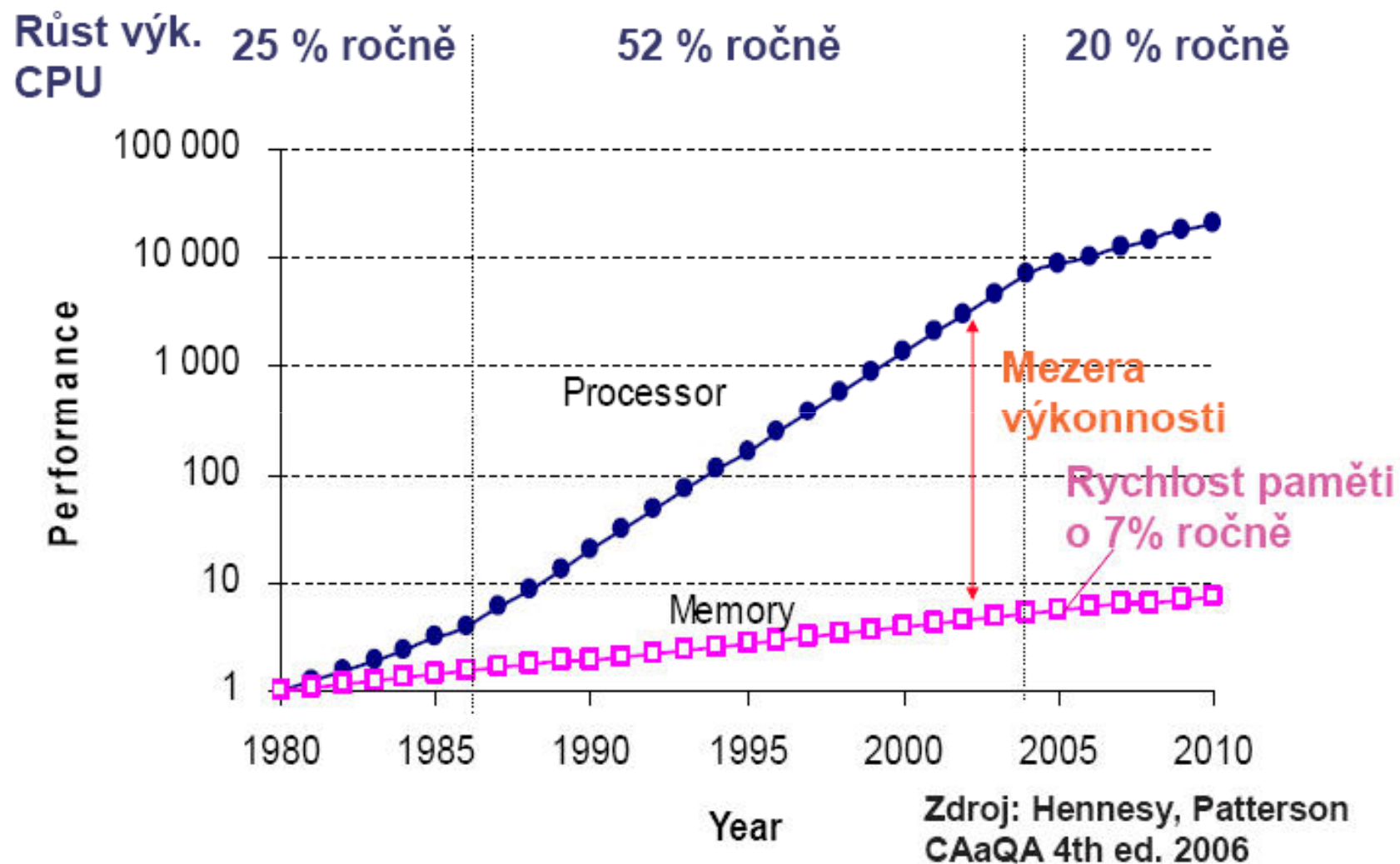
- Adresa, pojem snad není třeba vysvětlovat.
- Hodnota, vlastní informace. Paměťová buňka však může obsahovat i další informaci (třeba o platnosti hodnoty, apod.).
- **Parametry pamětí:**
 - Vybavovací doba paměti, kritický parametr. Délka časového intervalu mezi objevením se požadavku a okamžikem, kdy jsou data k dispozici.
 - Doba přístupu, zastaralý parametr; vybavovací doba + obnovení obsahu po destruktivním čtení. Význam měl u starých pamětí.
 - Propustnost, výkonový parametr. Schopnost zpracovat uvedené množství za jednotku času.
 - Latence = zpoždění, podobně jako vybavovací doba.

Terminologie kolem pamětí

- Typy pamětí RWM (RAM), ROM, FLASH,
- Provedení pamětí SRAM (statická), DRAM (dynamická).

- Občerstvování pamětí (refresh). Nezbytná pracovní fáze dynamické paměti. Negativně ovlivňuje (prodlužuje) průměrnou vybavovací dobu.

Disproporce ve výkonu proc x pam, Moorův zákon



Bubble sort – již znáte z cvičení

```
int pole[5]={5,3,4,1,2};
int main()
{
    int N = 5,i,j,tmp;
    for(i=0; i<N; i++)
        for(j=0; j<N-1-i; j++)
            if(pole[j+1]<pole[j])
            {
                tmp = pole[j+1];
                pole[j+1] = pole[j];
                pole[j] = tmp;
            }
    return 0;
}
```

Jakou
využitelnou
vlastnost mají
naše programy?

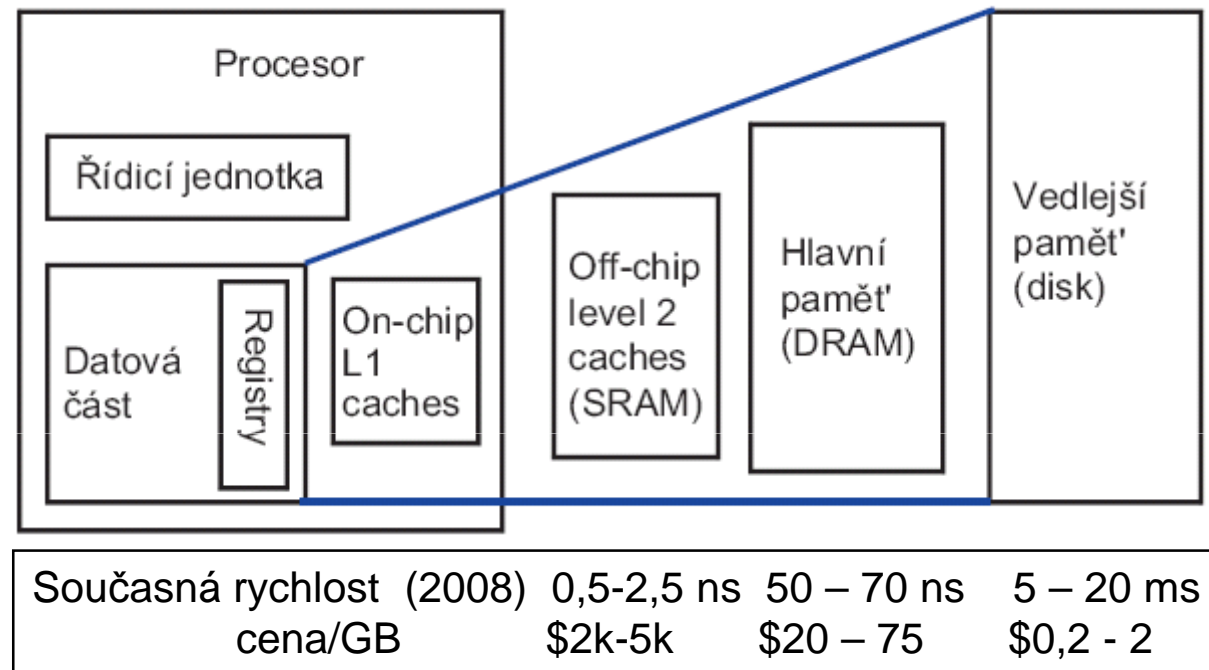
Paměťová hierarchie – základní principy

- Programy/procesy přistupují v daném okamžiku jen k malé části svého adresového prostoru
- Časová lokalita
 - Položky, ke kterým se přistupovalo nedávno, budou zapotřebí brzy znovu.
 - Příklad: programová smyčka, proměnné instrukcí.
- Prostorová lokalita
 - Položky poblíž právě používaným budou brzy zapotřebí také.
 - Příklad: sekvenční přístup ke kódu (paměť programu), datová pole (paměť dat).

Co z uvedeného plyne?

- Je výhodné uspořádat paměťový prostor hierarchicky – paměťová hierarchie.
- Všechny potřebné informace uchovávejte v sekundární paměti.
- Položky nedávno používané a blízké zkopírujte do (menší) paměti implementované DRAM.
 - Operační paměť.
- Položky ještě častěji používané (i ty jim blízké) zkopírujte do menší a rychlejší SRAM.
 - Skrytá paměť.

Paměťová hierarchie



- To se jedna a tatáž informace může objevit na více místech hierarchické paměti? Ano.

Jak a kde pak ale hledanou informaci najdeme?

- Podle adresy a případně dalších informací (např. o platnosti).
- Hledat začneme v paměti nejvyšší hierarchické úrovni (nejblíže procesoru).
- Požadavky:
 - Paměťová konzistence.
- Prostředky:
 - Virtualizace adresy,
 - Mechanizmy uvolňování místa a migrace informace mezi paměťovými úrovněmi.
 - Hit, miss.

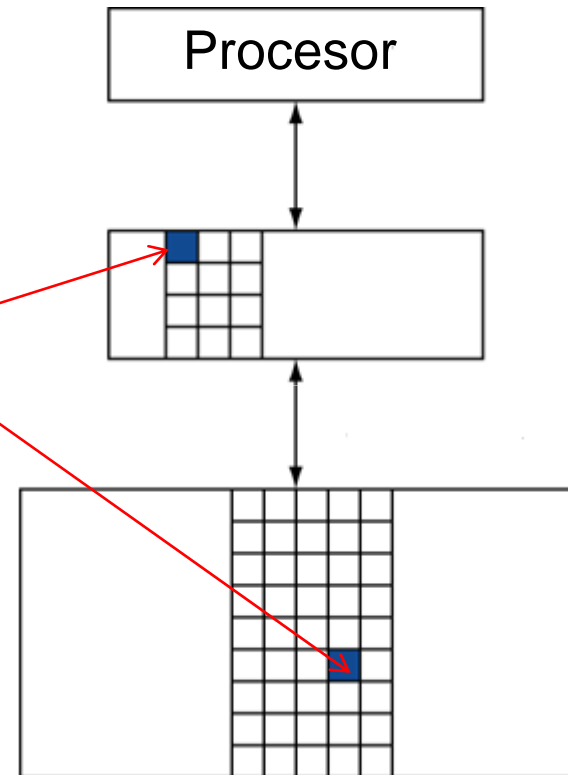
Řešení disproporce rychlosti? Skrytá paměť, SP.

Cache, česky keš

- Nebo-li **skrytá paměť**, SP,
- je označení pro vyrovnávací paměť používanou ve výpočetní technice.
- Zařazujeme ji mezi dva subsystémy s různou rychlostí. Vyrovnává se jí rychlost přístupu k informacím.
- Účelem skryté paměti je urychlit přístup k často používaným datům na „pomalých“ médiích jejich překopírováním na média rychlá.

Terminologie kolem skryté paměti

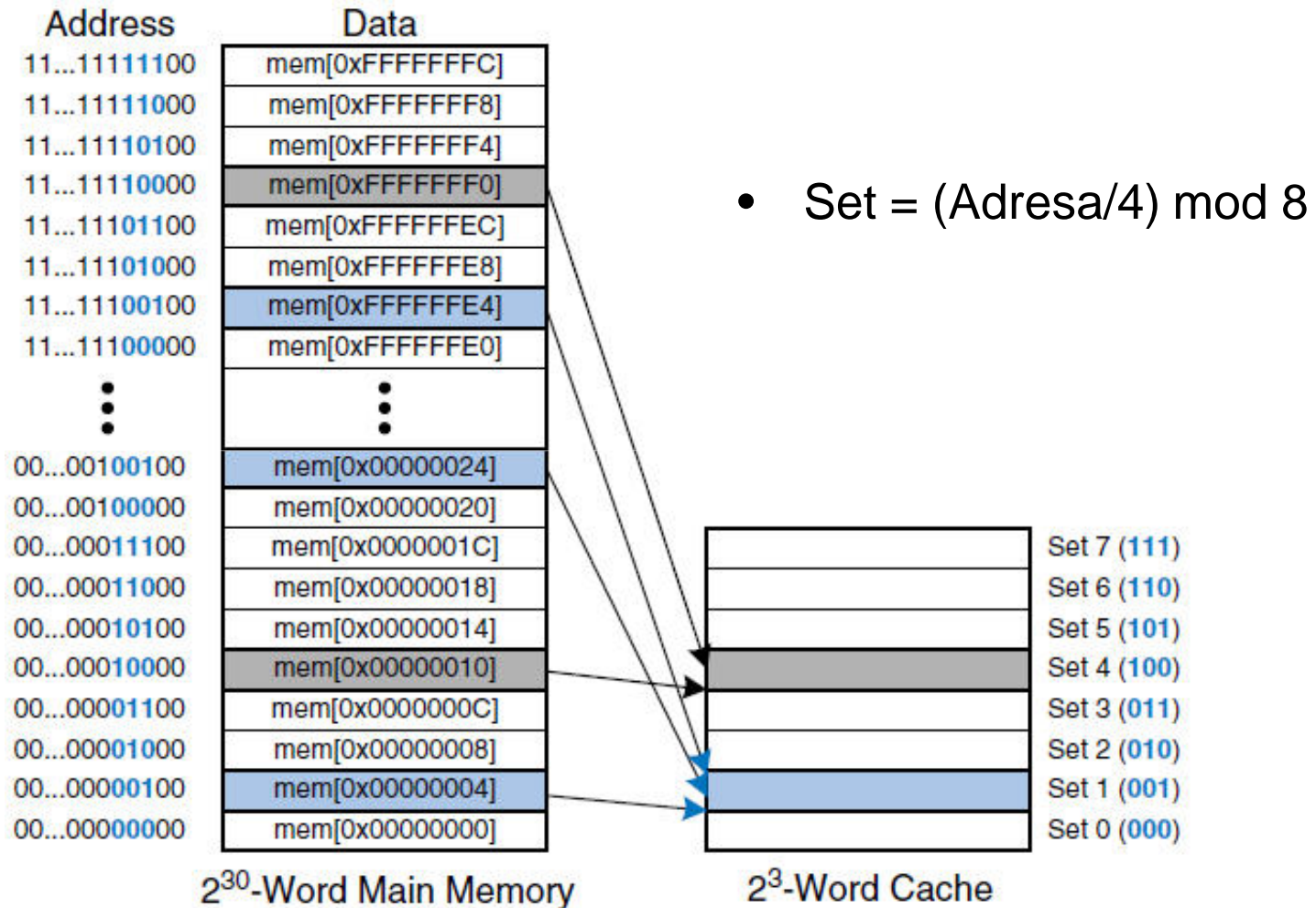
- **Cache hit** pojmenování situace, kdy požadovaná hodnota ve skryté paměti (cache) **je**.
- **Cache miss**, opak. **Není** tam.
- **Cache line** nebo **Cache block** – základní kopírovatelná jednotka mezi hierarchickými úrovněmi.
- V praxi se velikost Cache Line pohybuje od 8B do 1KB.



Příklad

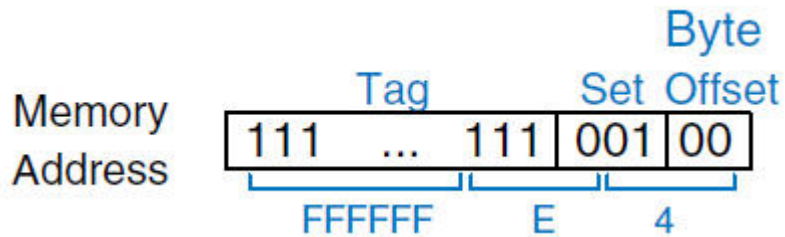
- Mějme cache o velikosti 8-mi bloků. Kam se do ní umístí data z adresy 0xF0000014?
 - Plně asociativní.
 - Přímě mapované, nebo
 - S omezeným stupněm asociativity $N=2$ (2-cestná, 2-way cache).

Přímo mapovaná SP



Přímá mapovaná SP

direct mapped cache: one block in each set



Capacity – C

Number of sets – S

Block size – b

Number of blocks – B

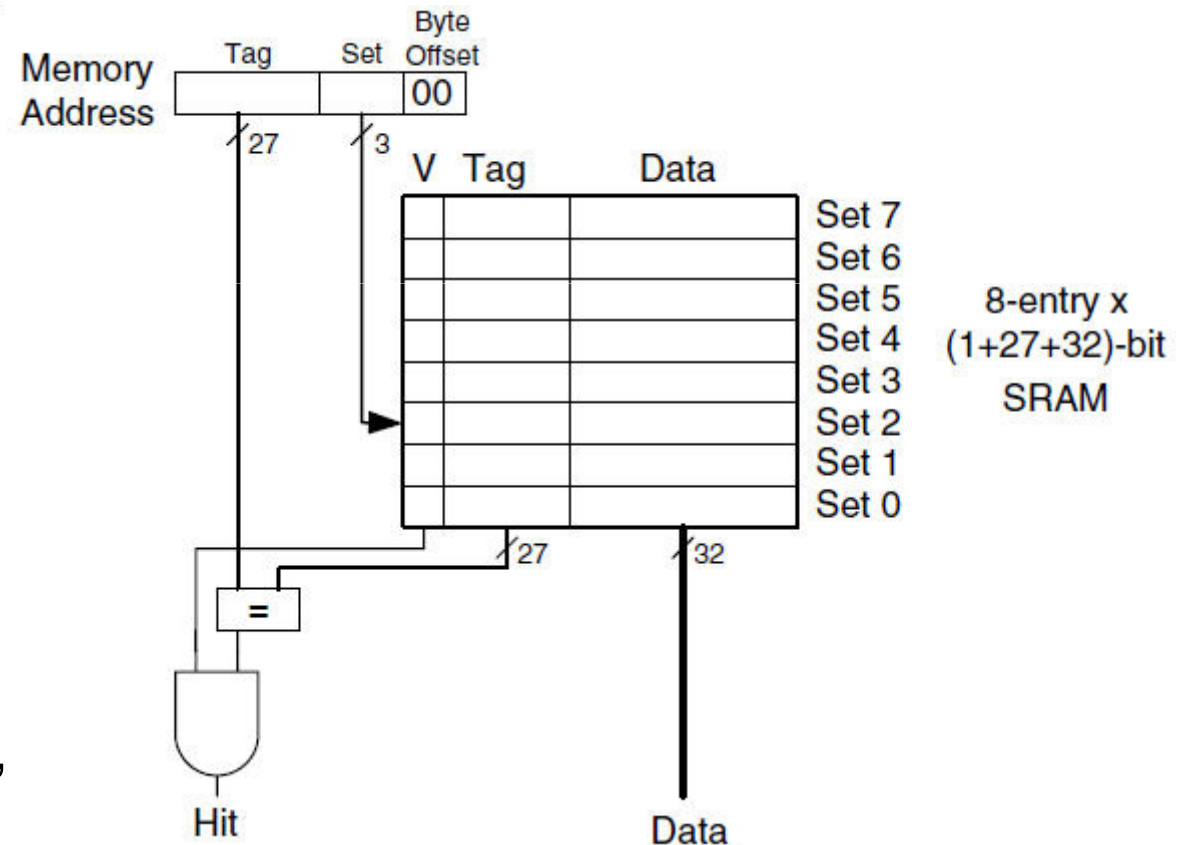
Degree of associativity – N

C = 8 (8 words),

S = B = 8,

b = 1 (one word in the block),

N = 1



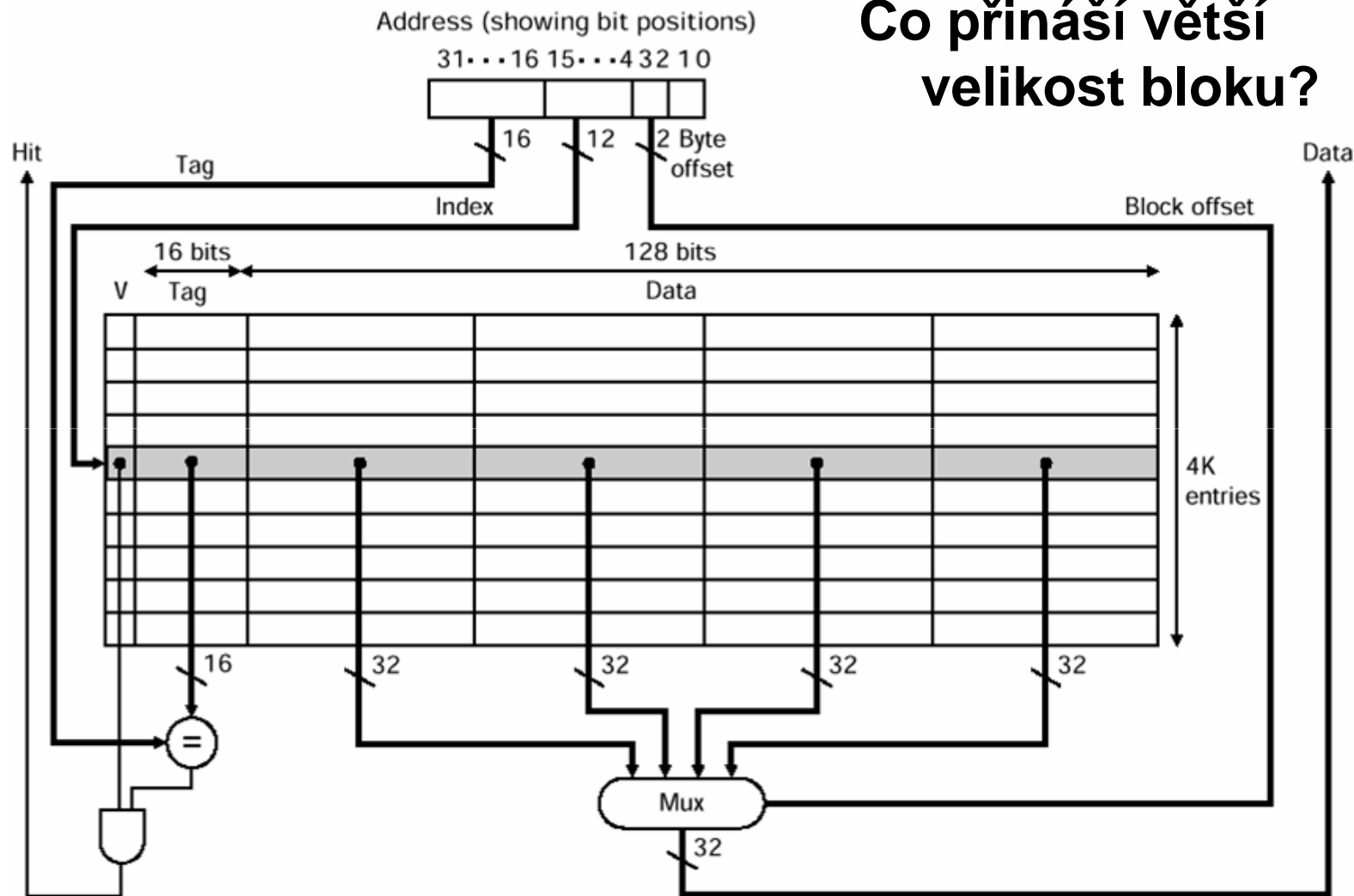
Realističtější formát řádky SP

- **Tag** je index odpovídajícího bloku v operační paměti (v podstatě se jedná o hodnotu ukazatele/adresy dělenou délkou bloku).
- **Data** pole obsahující vlastní hodnoty na příslušné/ných adrese/ách.
- **Validity bit** – bit platnosti. Indikuje, zda je obsah pole Data vůbec platný.
- **Dirty bit** – rozšiřující pole v obsahu paměti. Indikuje, že v SP (cache) je **jiná hodnota**, než v paměti hlavní.

V	Další bity, např. D	Tag	Data
---	---------------------	-----	------

Přímo mapovaná skrytá paměť – velikost bloku 4 slova

Co přináší větší velikost bloku?

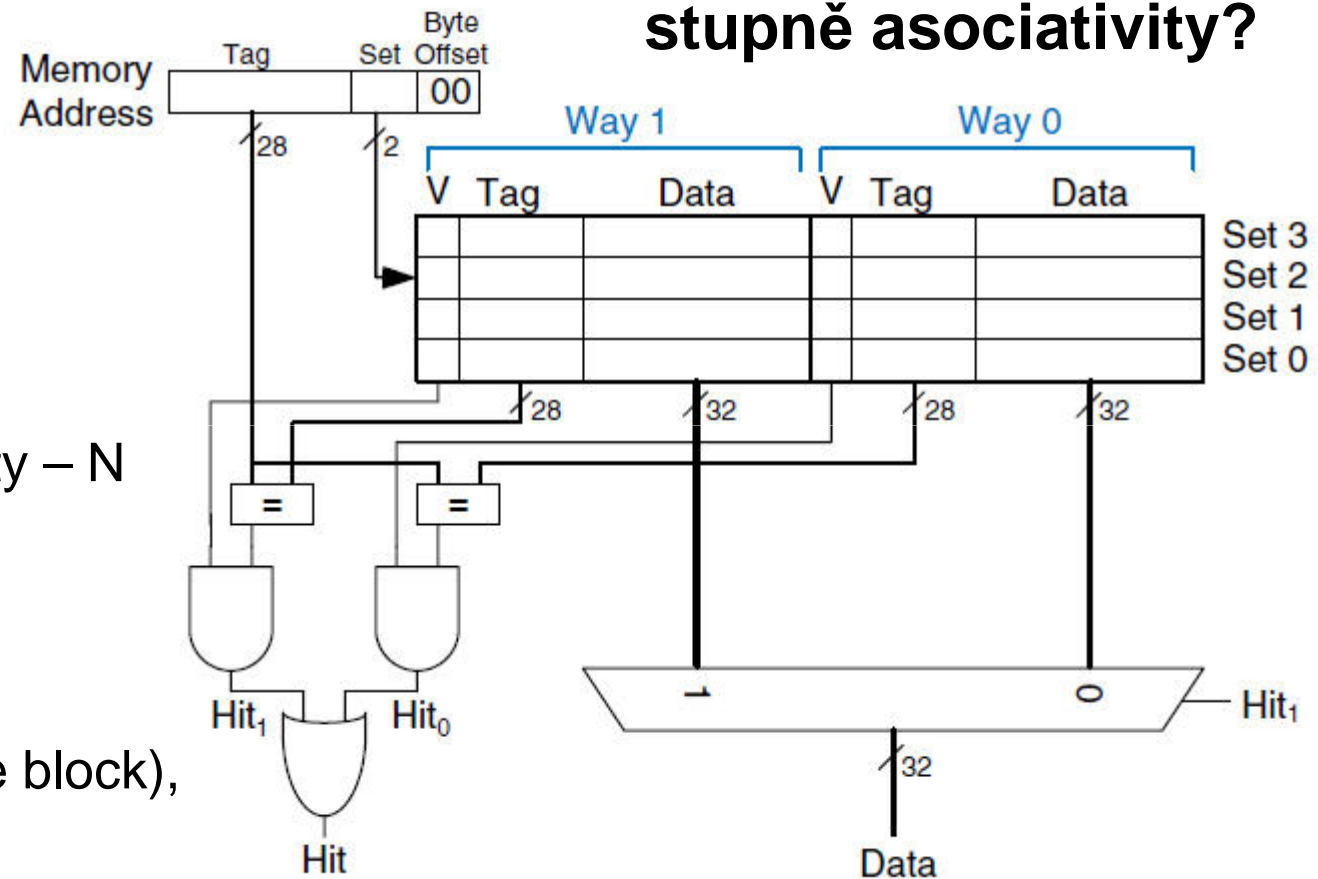


SP s omezeným stupněm asociativity N=2

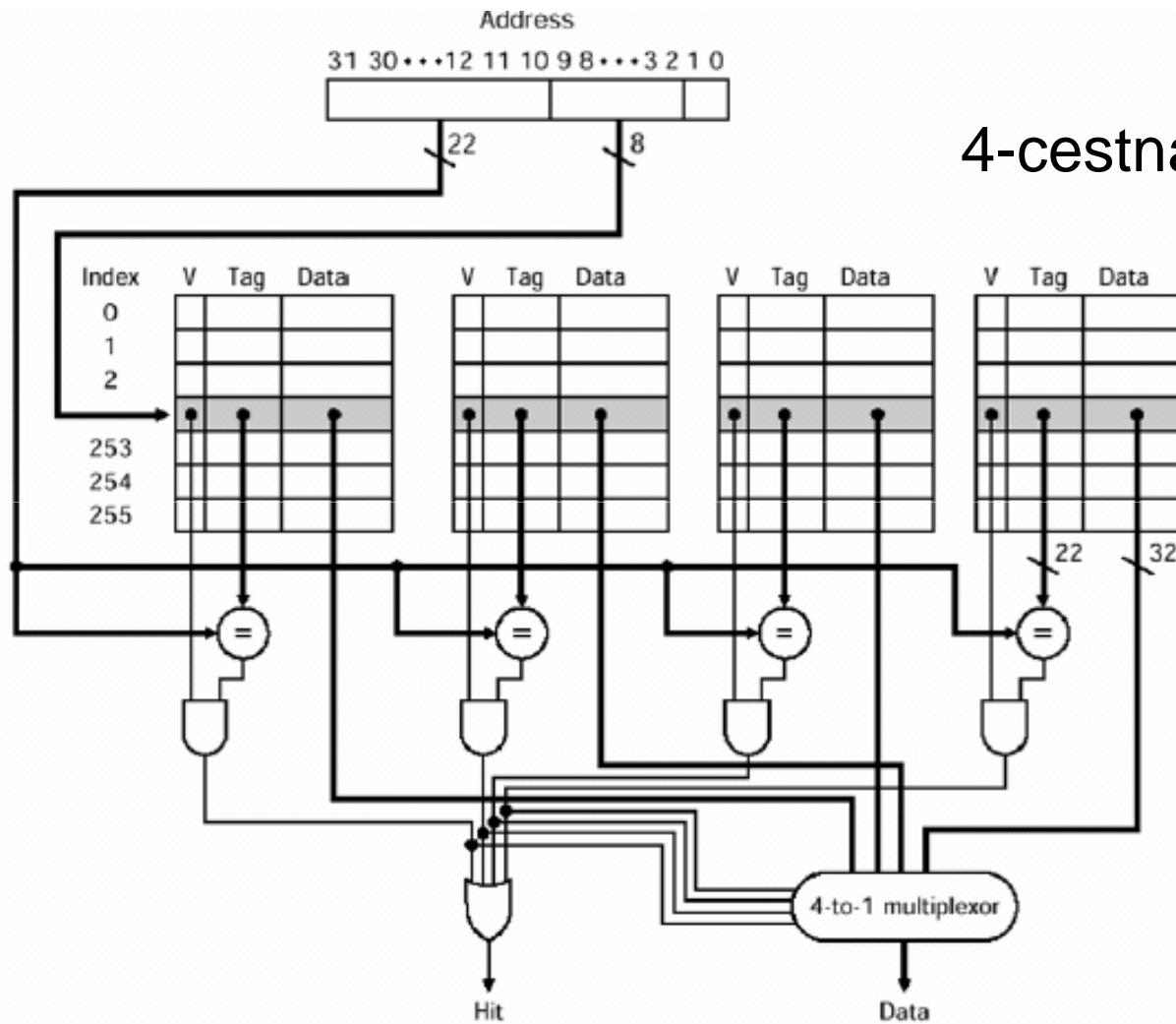
Co přináší zvětšení stupně asociativity?

Capacity – C
 Number of sets – S
 Block size – b
 Number of blocks – B
 Degree of associativity – N

C = 8 (8 words),
 S = 4,
 b = 1 (one word in the block),
 B = 8
 N = 2

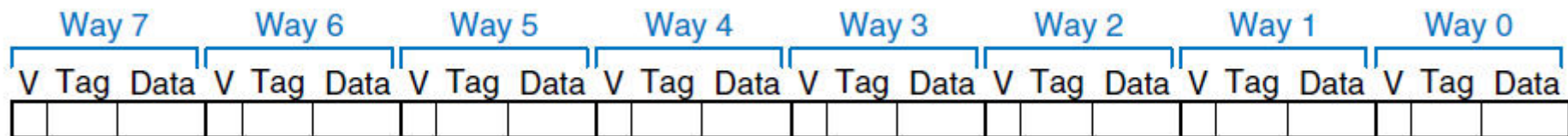


SP s omezeným stupněm asociativity N=4



Plně asociativní cache

- Plně asociativní cache obsahuje jenom jeden set, stupeň asociativity je roven počtu bloků ($N=B$). Adresa paměti se může mapovat kamkoliv.
- ...je jiné pojmenování pro B-cestně asociativní cache s jedním setem
- ... má pro danou kapacitu má nejméně konfliktů, ale potřebuje nejvíce HW prostředků (komparátory)
- ...je vhodná pro relativně malé cache



A fully associative cache has only $S=1$ set.

Diskuze k plně asociativní cache

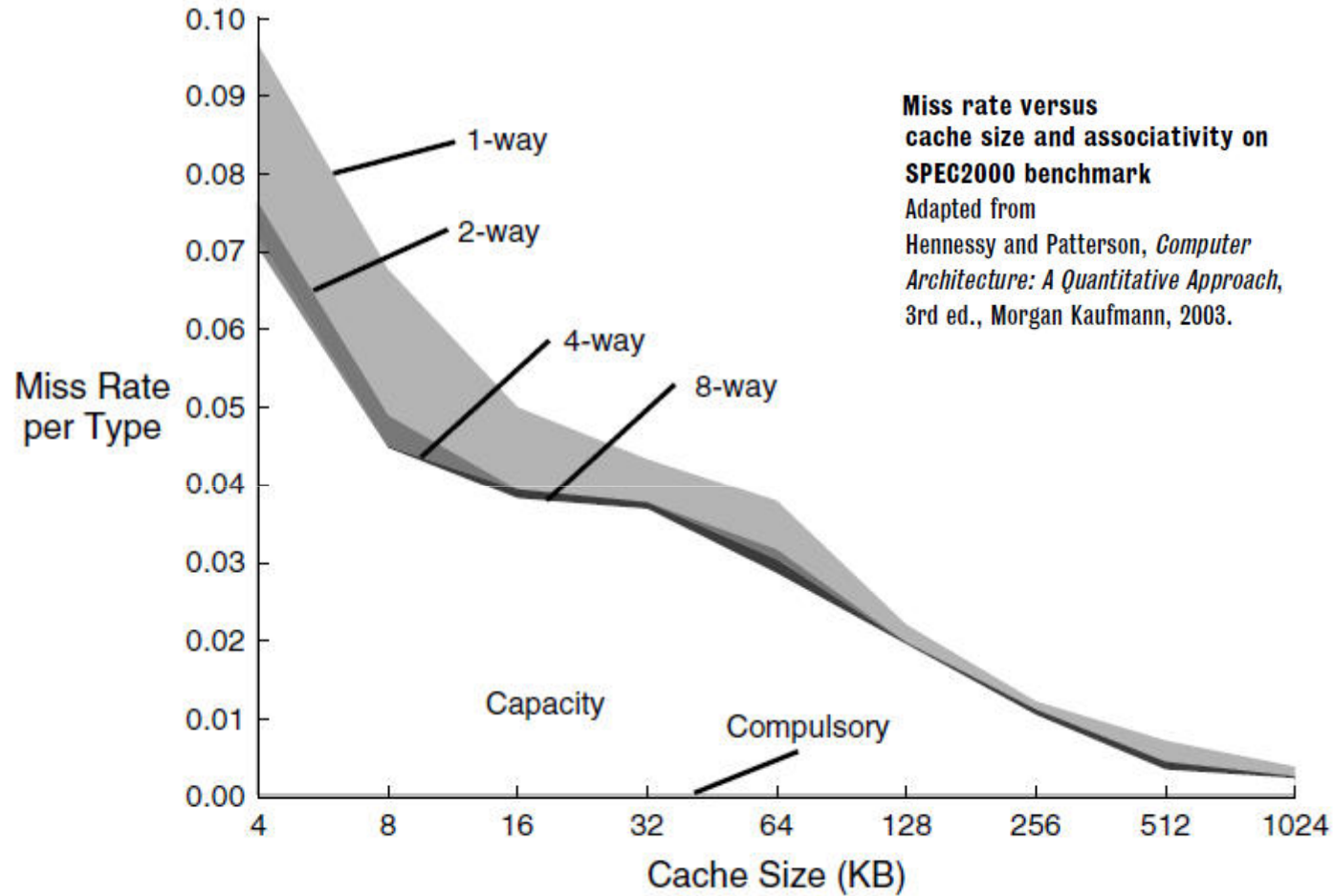
- Šířka pole Tag odpovídá šířce adresy,
 - Každý řádek SP obsahuje tolik jednobitových komparátorů, kolik je šířka adresy,
 - Počet řádků SP určuje její kapacitu,
 - SP musí mít strategii uvolňování obsahu (migrace dat mezi hierarchickými úrovněmi) v případě vyčerpání její kapacity.
-
- Takováto SP je ale velmi drahá.
 - Proto existují a používají se SP
 - Přímo mapované,
 - S omezeným stupněm asociativity.

Terminologie kolem skryté paměti II.

- **Hit Rate** - podíl počtu paměťových přístupů, které byly úspěšné (nalezla své údaje) při přístupu do té-které úrovně paměťové hierarchie.
- **Miss Rate** – podobně pro neúspěšný přístup.
- **Miss Penalty** – čas potřebný pro načtení bloku (údajů) z paměti nižší hierarchické úrovně.
- **Average Memory Access Time (AMAT)**
$$\text{AMAT} = \text{HitTime} + \text{MissRate} \times \text{MissPenalty}$$

MissPenalty – může být vypočtena rekurentně

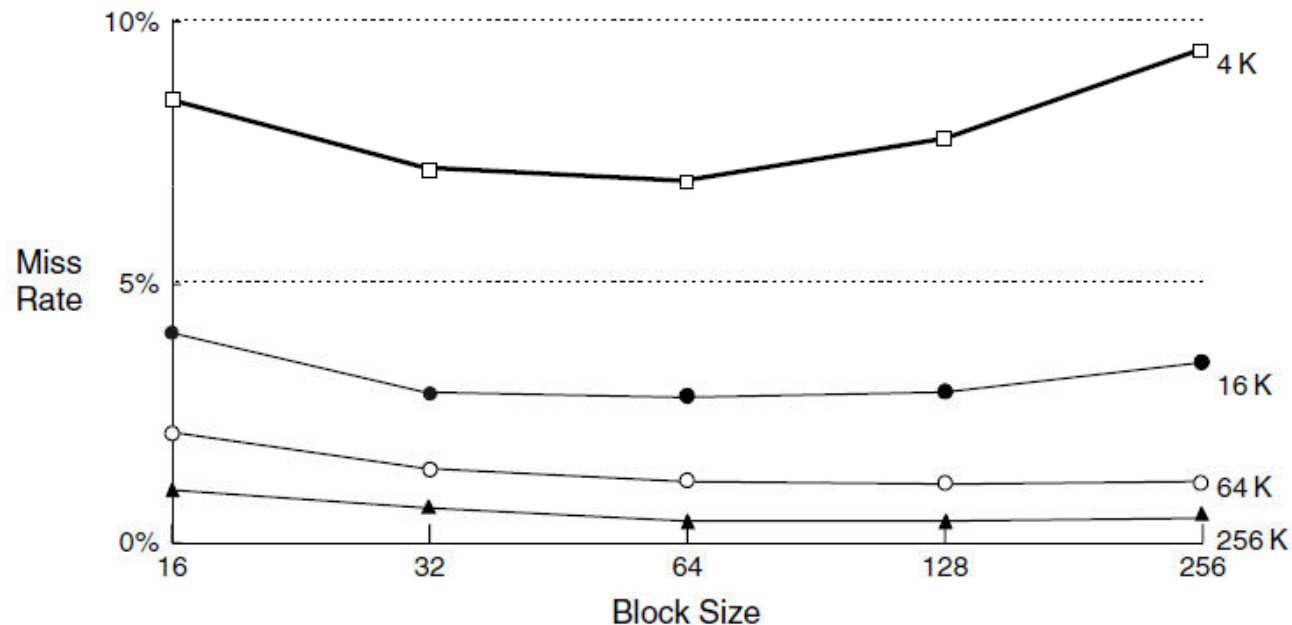
Porovnání



- Pamatujte: 1. miss rate není vlastností cache!
2. miss rate není vlastností programu!

Co přináší prostorová lokalita?

Miss rate můžeme redukovat zvýšením velikosti bloku – co znamená využití principu prostorové lokality. Na druhou stranu, zvětšování velikosti bloku při dané velikosti cache rovněž znamená snižování počtu setů – to se projeví nárůstem konfliktů (nárůstem miss rate)...



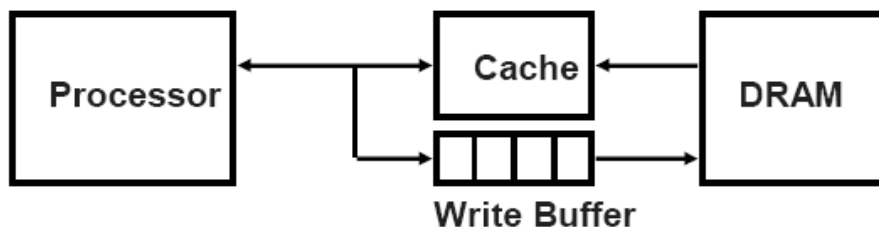
Miss rate versus block size and cache size on SPEC92 benchmark Adapted from Hennessy and Patterson, *Computer Architecture: A Quantitative Approach*, 3rd ed., Morgan Kaufmann, 2003.

Řešení situace **Cache Miss**, data v SP nejsou

- Data se nejprve musí z hlavní paměti přečíst. Jenže: co když je SP plná?
- Strategie uvolňování bloků/řádek SP
- **Náhodná** (Random) – vybere se libovolný blok. Snadné, ale hloupé.
- **LRU** (Least Recently Used) musíme znát informace o posledním použití tohoto bloku (jedná se o celé číslo).
- **LFU** (Least Frequently Used), ke každému bloku si pamatujeme informace o tom, jak často byl blok požadován.
- **ARC** (Adaptive Replacement Cache), ve které se vhodným způsobem kombinuje strategie LRU a LFU.
- **Write-back**. Zároveň musíme obsah uvolňovaných řádek SP do hlavní paměti zapsat (D bity označené řádky). Zajištěno automaticky.

Řešení situace **Zápis dat** procesorem do paměti

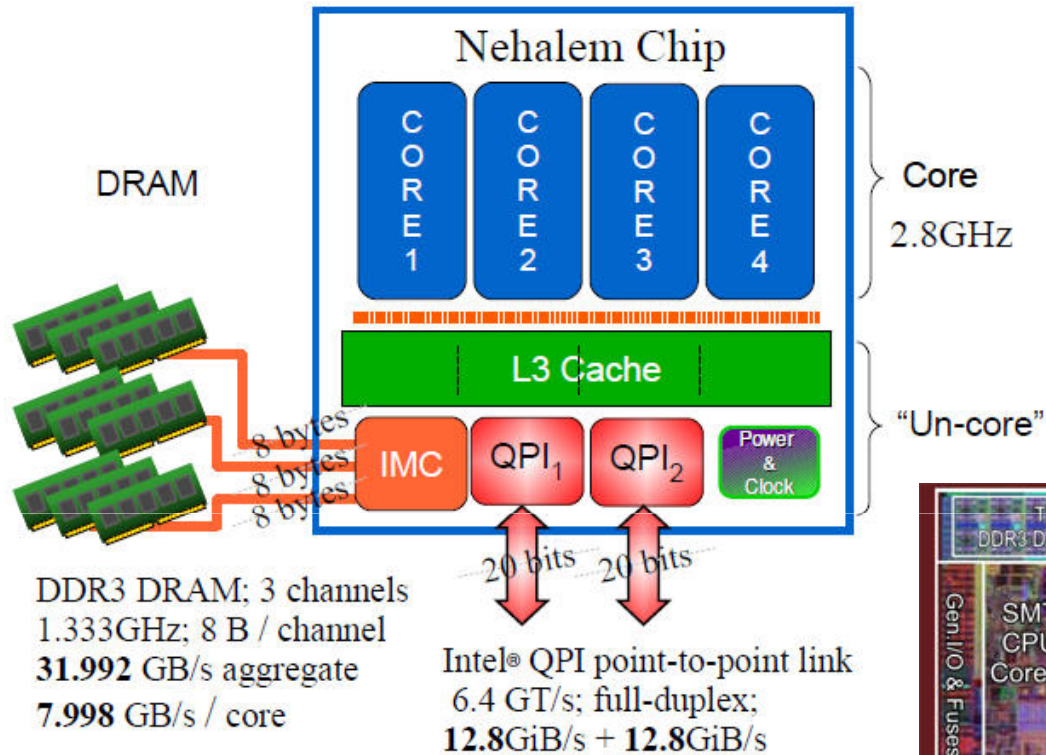
- Na cestě je i SP!
- **Konzistence dat** – samozřejmý požadavek na shodu obsahu stejných adres na různých médiích.
- **Write through** – současně se zápisem do SP se data zapíše do zápisové fronty a pak asynchronně do paměti.
- **Write back** – data se do SP zapíše s poznámkou Dirty (D bit Inf pole). Ke skutečnému zápisu dat do hlavní paměti dojde až v okamžiku případného rušení příslušného řádku SP, kdy hrozí jejich ztráta.
- **Dirty bit** – rozšiřující pole v obsahu paměti. Indikuje, že v SP (cache) je **jiná hodnota**, než v paměti hlavní.



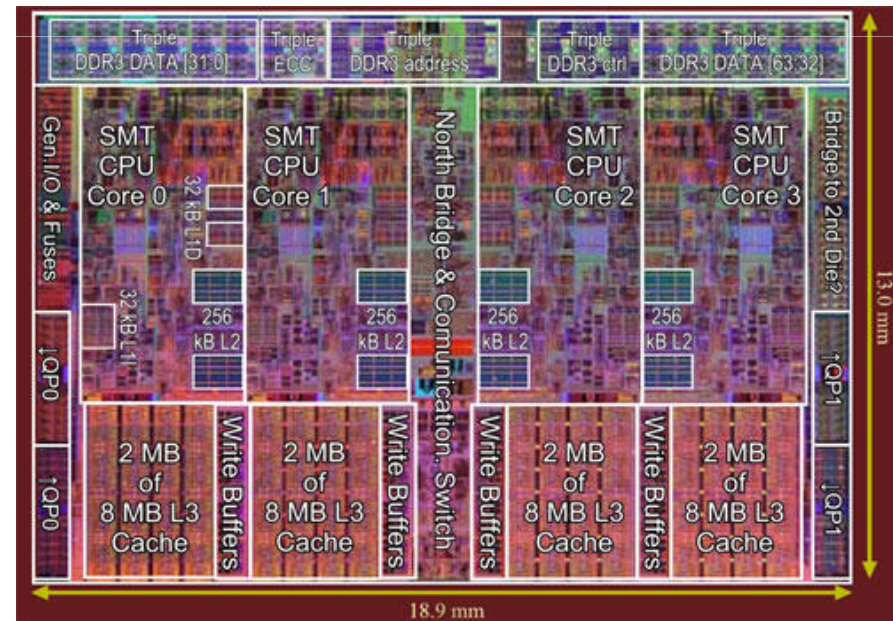
V	Další bity, např. D	Tag	Data
---	---------------------	-----	------

Příklad procesoru včetně SP

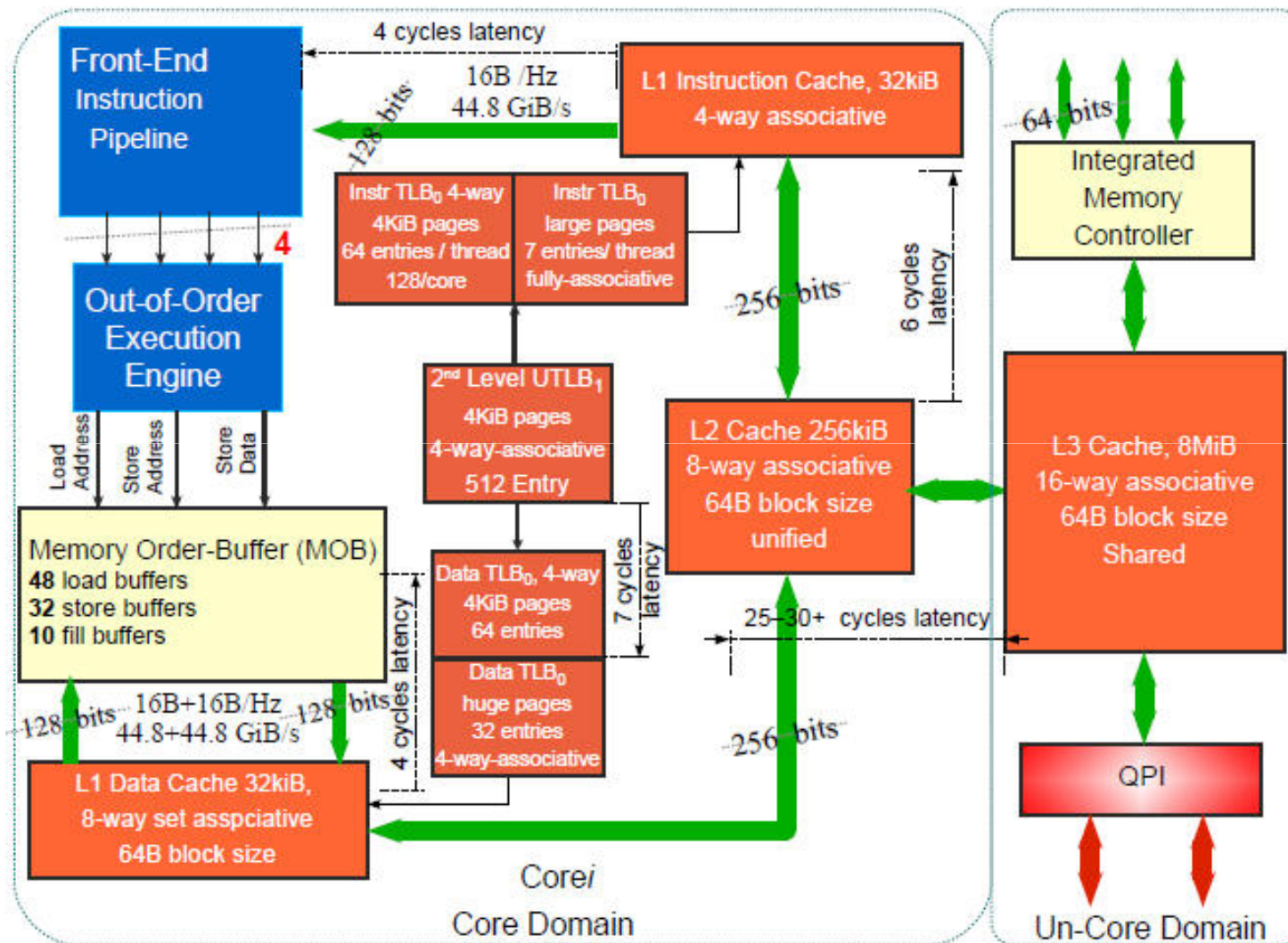
Harvardská architektura - Intel Nehalem



- IMC: integrated memory controller with 3 DDR3 memory channels,
- QPI: Quick-Path Interconnect ports

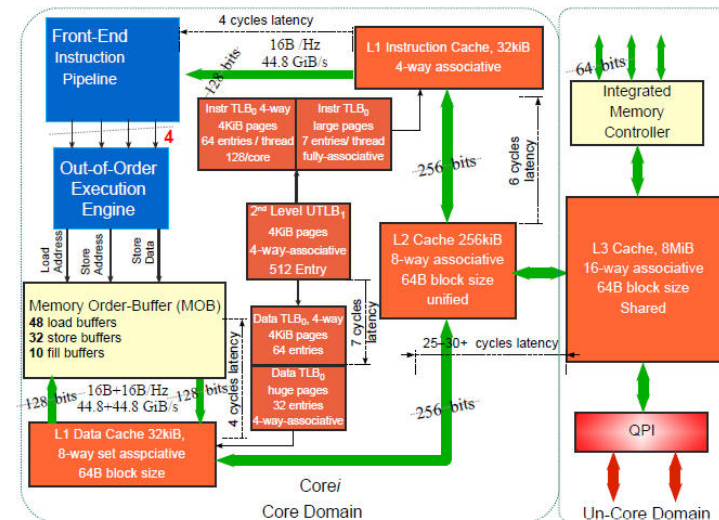


Organizace paměti - Intel Nehalem



Organizace paměti - Intel Nehalem – několik poznámek

- Velkost bloku: 64B
- procesor vždy čte řádek cache ze systémové paměti zarovnan na 64B (6 LSb adresy jsou nuly) a nepodporuje částečně plněné řádky
- L1 – Harvard. V SMT sdílená oběma vlákny, Instrukční – 4-way, Datová 8-way.
- L2 – unifikovaná, 8-way, neinkluzivní, WB
- L3 – unifikovaná, 16-way, inkluzivní (řádek obsažen buď v L1 nebo L2 se nachází v L3), WB
- Store Buffers – dočasně uchovávají data pro každý zápis. Netřeba čekat na zápis do cache či paměti. Zajišťují, že zápisy jsou ve správném pořadí a také když je potřeba:
 - výjimka, přerušení, instrukce serializace, lock,...
- Můžete si také všimnout oddělených TLB (Translation Lookaside Buffer)



Víceúrovňové SP

Trend - Víceúrovňové SP

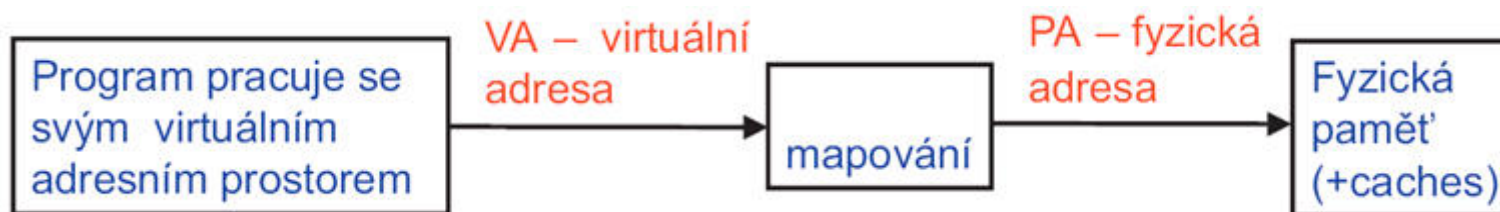
- Primární SP je bezprostředně připojena k procesoru
 - Rychlá, malá. Nejdůležitější: minimální Hit Time
- L2 SP ošetřuje výpadky primární SP
 - Větší, pomalejší, ale stále rychlejší než hlavní paměť.
Nejdůležitější: low Miss Rate
- Hlavní paměť ošetřuje výpadky L2
- Současné nejvýkonnější systémy mají i L3

	Typicky pro L1	Typicky pro L2
Počet bloků	250-2000	15 000-250 000
KB	16-64	2 000-3 000
Velikost bloku v B	16-64	64-128
Miss penalty (v hod)	10-25	100-1 000
Miss rates	2-5%	0,1-2%

Virtuální paměť

Virtualizace paměti

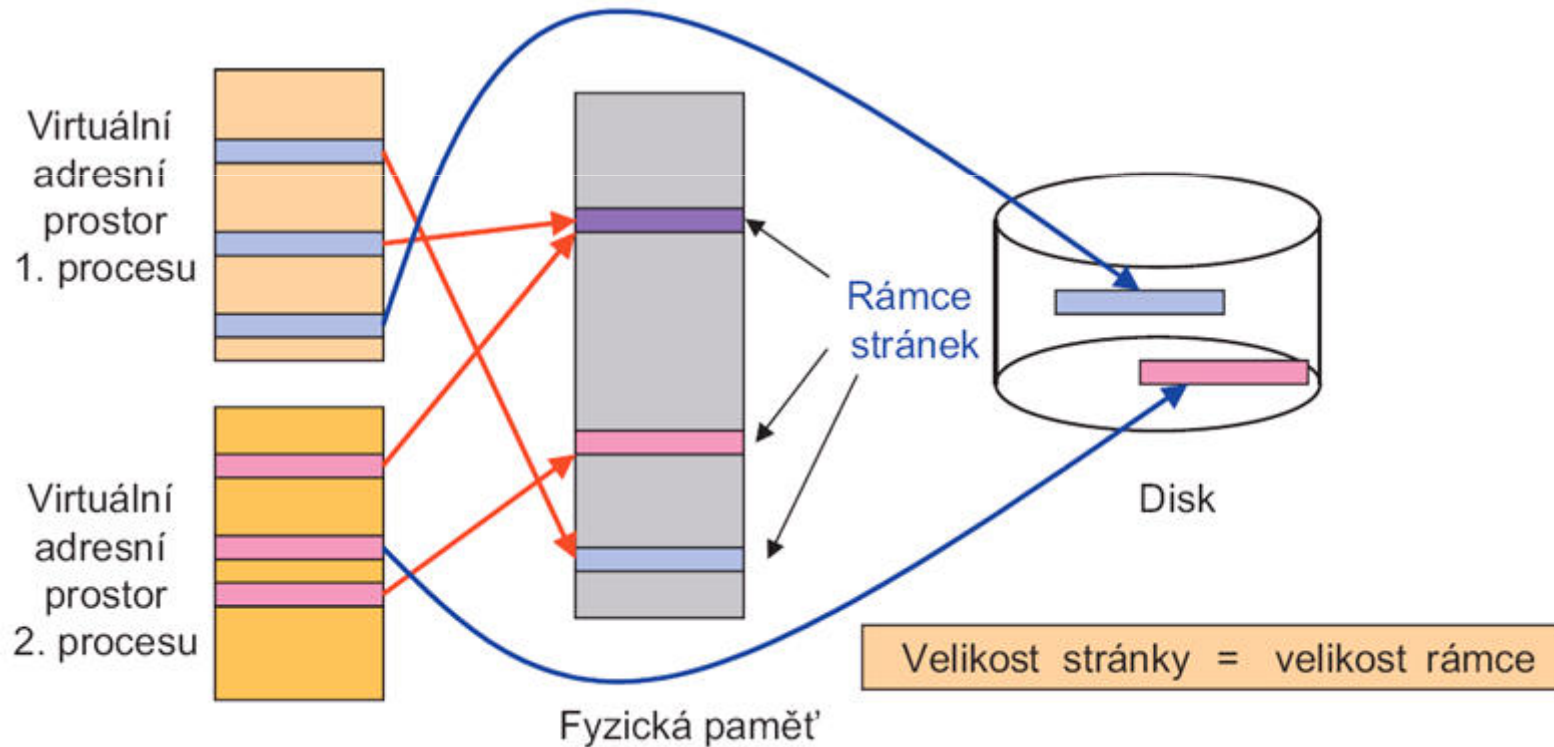
- **VP** je způsob správy operační paměti umožňující běžícímu procesu zpřístupnění paměťového prostoru, který je uspořádán jinak, nebo je dokonce větší, než je fyzicky připojená operační paměť.
- Převod mezi virtuální **VA** a fyzickou **PA** adresou může podporovat procesor (HW mapováním TLB, viz dále).
- V současně běžných operačních systémech je virtuální paměť implementována pomocí stránkování paměti spolu se stránkováním na disk, které rozšiřuje operační paměť o prostor na disku.



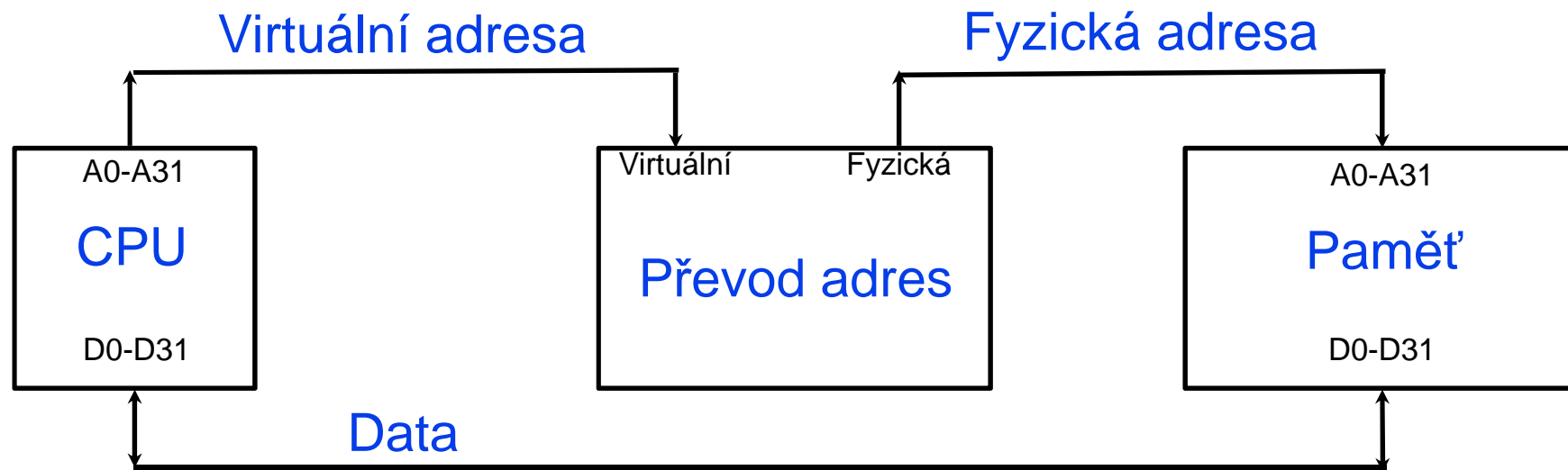
* R. Lórenc, X36APS, 2005

Virtuální paměť - stránkování

- Virtuální prostor tvoří stejně velké stránky (pages), které se přiřazují jednotlivým běžícím procesům.
- Fyzickou paměť tvoří stejně velké rámce (frames).
- Zde jen poznámka: moderní přístupy nevyžadují stejně velké stránky.



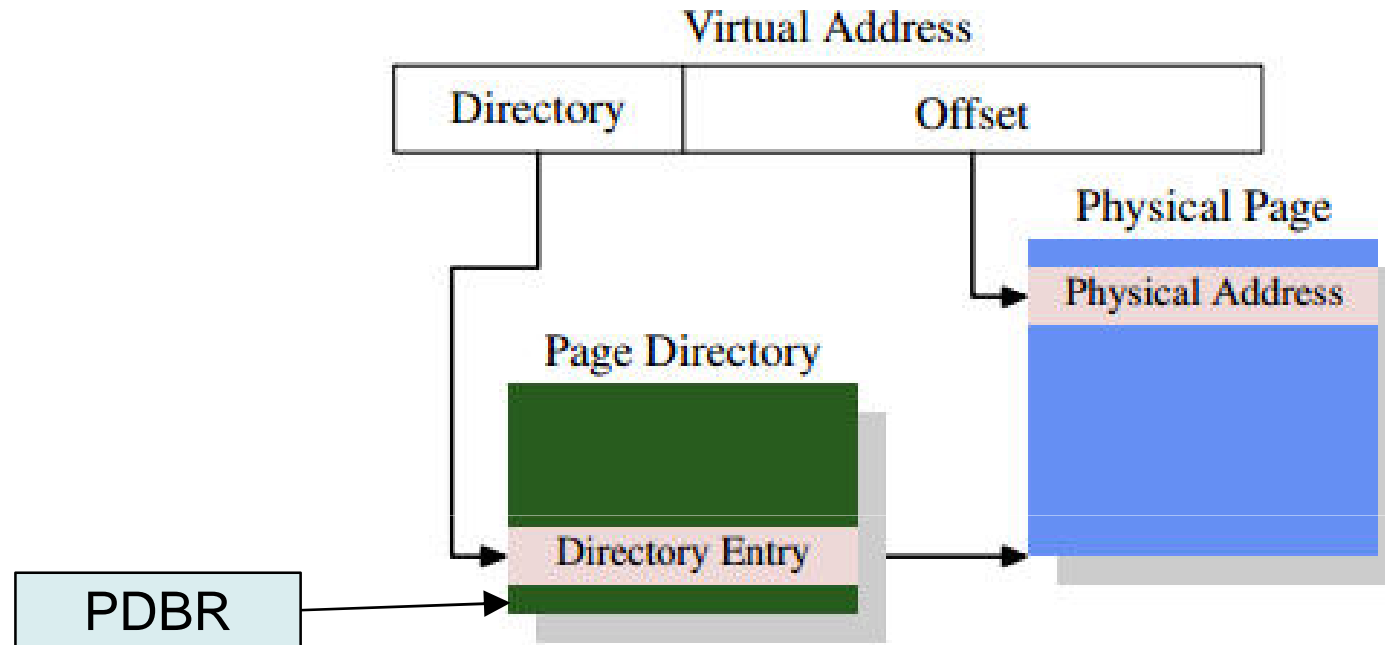
Virtuální a fyzické adresování



Realizace převodu adres?

- Tabulka stránek, Page Table.
- Jednotkou mapování jsou stránky,
- Stránka je také jednotkou přenosu mezi vedlejší a hlavní paměti.
- Mapovací funkce se nejčastěji implementuje Look-up Table (vyhledávací tabulkou).
- O překlad virtuálních adres na fyzické se stará **Memory Management Unit (MMU)**
- Příklad:

Realizace převodu adres?

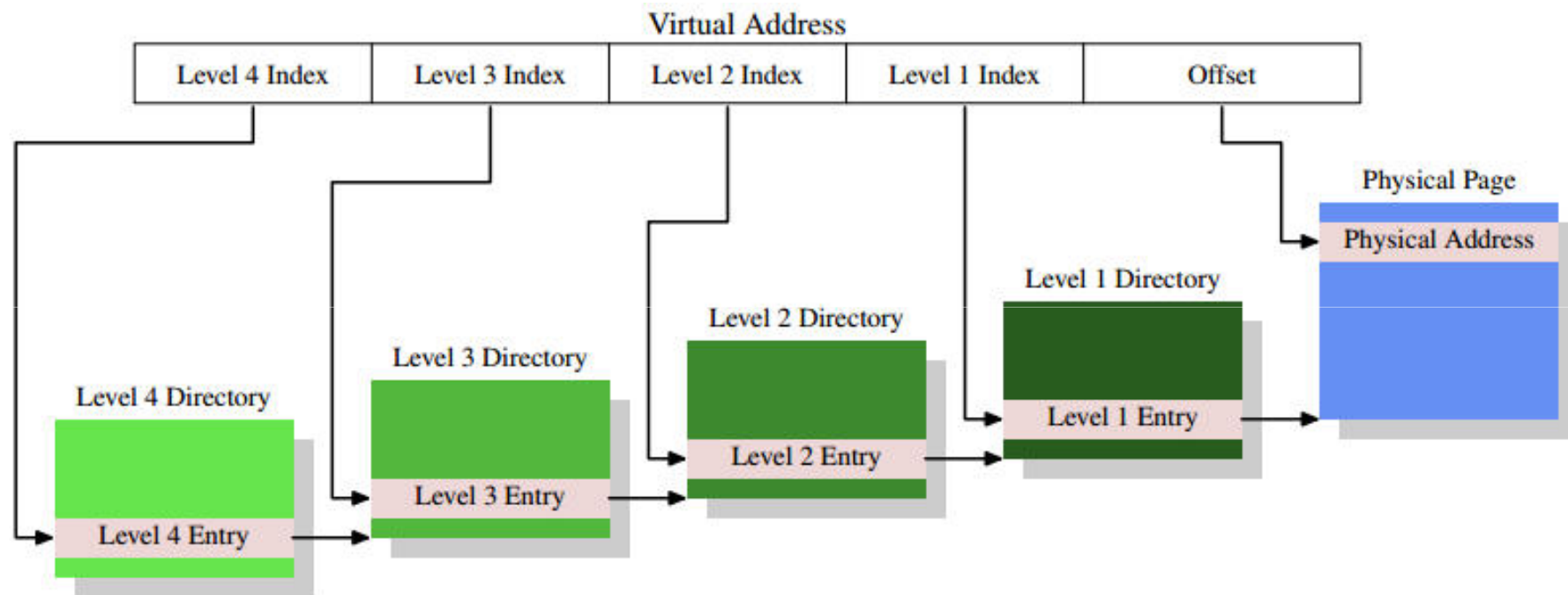


- Datová struktura pro Page Directory je uložena v hlavní paměti. Úkolem operačního systému je alokovat souvislou oblast paměti a počáteční adresu této oblasti uložit do speciálního registru CPU.
- PDBR - page directory base register – v x86 v registru CR3 – obsahuje fyzickou adresu
- PTBR - page table base register – to samé...

Uvažujme...

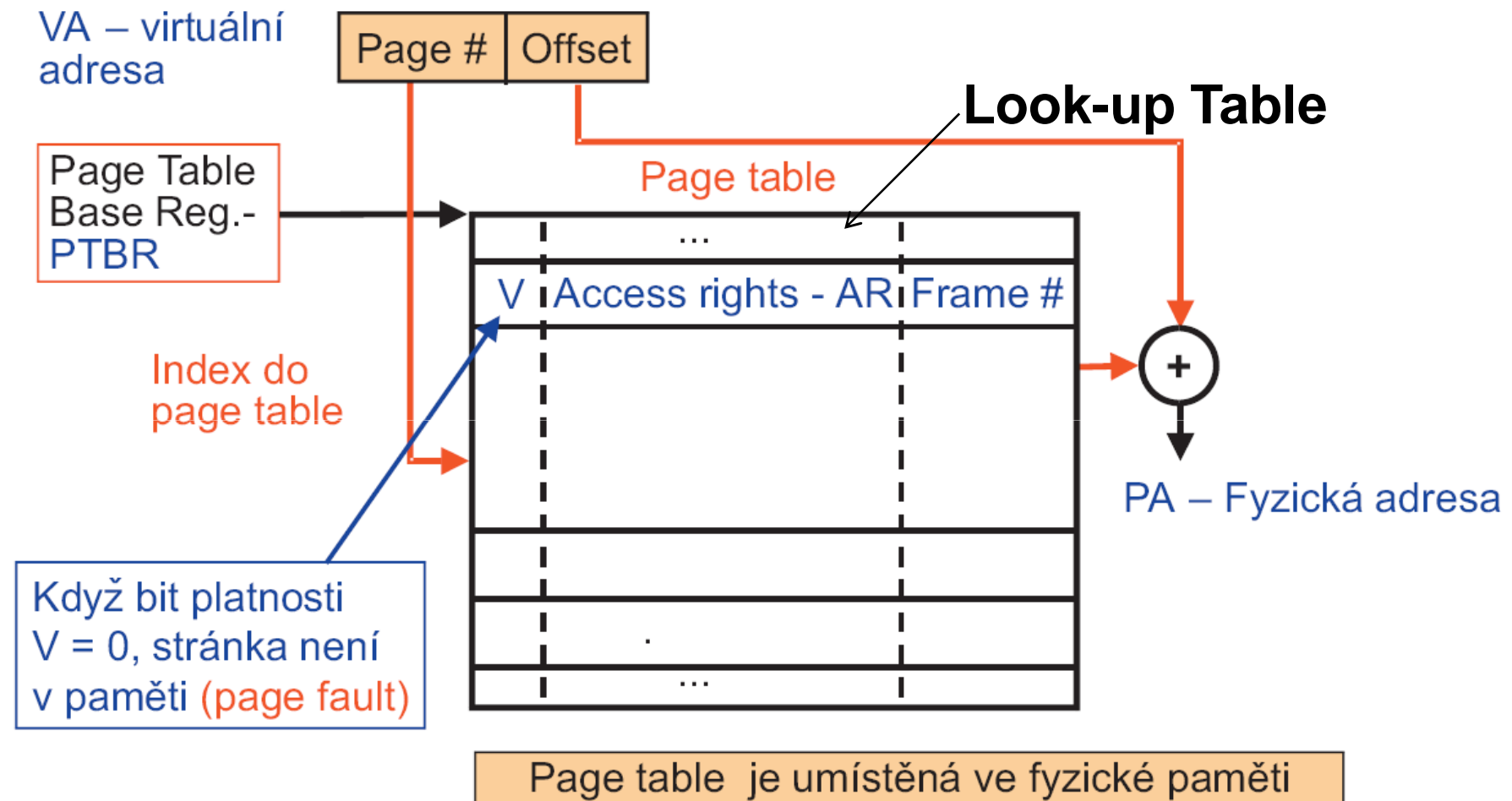
- Stránka je typicky 4 kB = 2^{12}
- Když budeme znát adresu stránky, postačuje nám tedy jenom 12 bitů na pohyb (adresaci) v ní. Zbývá 20 bitů (pro 32-bitovou adresu).
- Tudíž Page Directory by měl obsahovat 2^{20} položek. To je nepraktické a přináší řadu nevýhod.
- Řešením je více-úrovňové stránkování.

více-úrovňové stránkování



4-Level Address Translation

Tabulka stránek – jak vypadají položky? Význam položek...

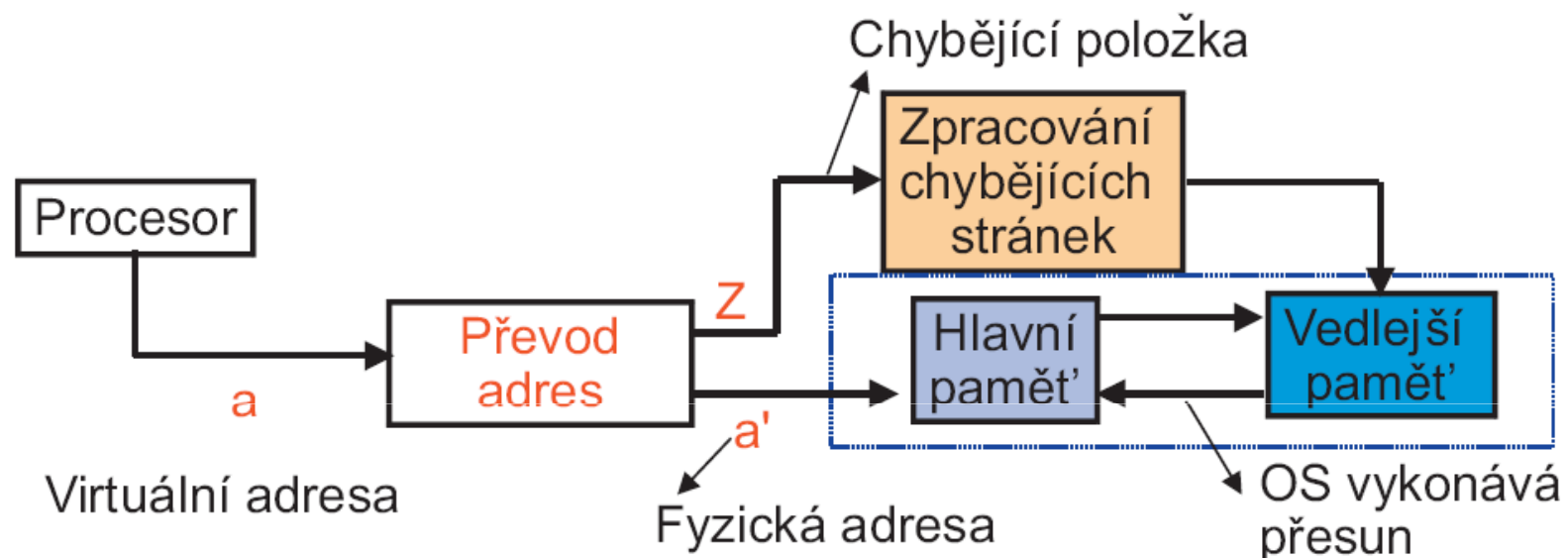


Poznámky

- Každý proces má svou Tabulku stránek,
- Tedy i svou hodnotu PTBR (bázového registru).
- To, mimochodem, zajišťuje paměťovou bezpečnost procesů.
- Formát položky Tabulky stránek
 - V – Validity Bit. V=0 Stránka není platná.
 - AR – Access Rights. Přístupová práva (Read Only, Read/Write, Executable, apod.),
 - Frame# - číslo rámce,
 - Popřípadě další, např. Modified/Dirty, apod. (budeme dále podle potřeby doplňovat).



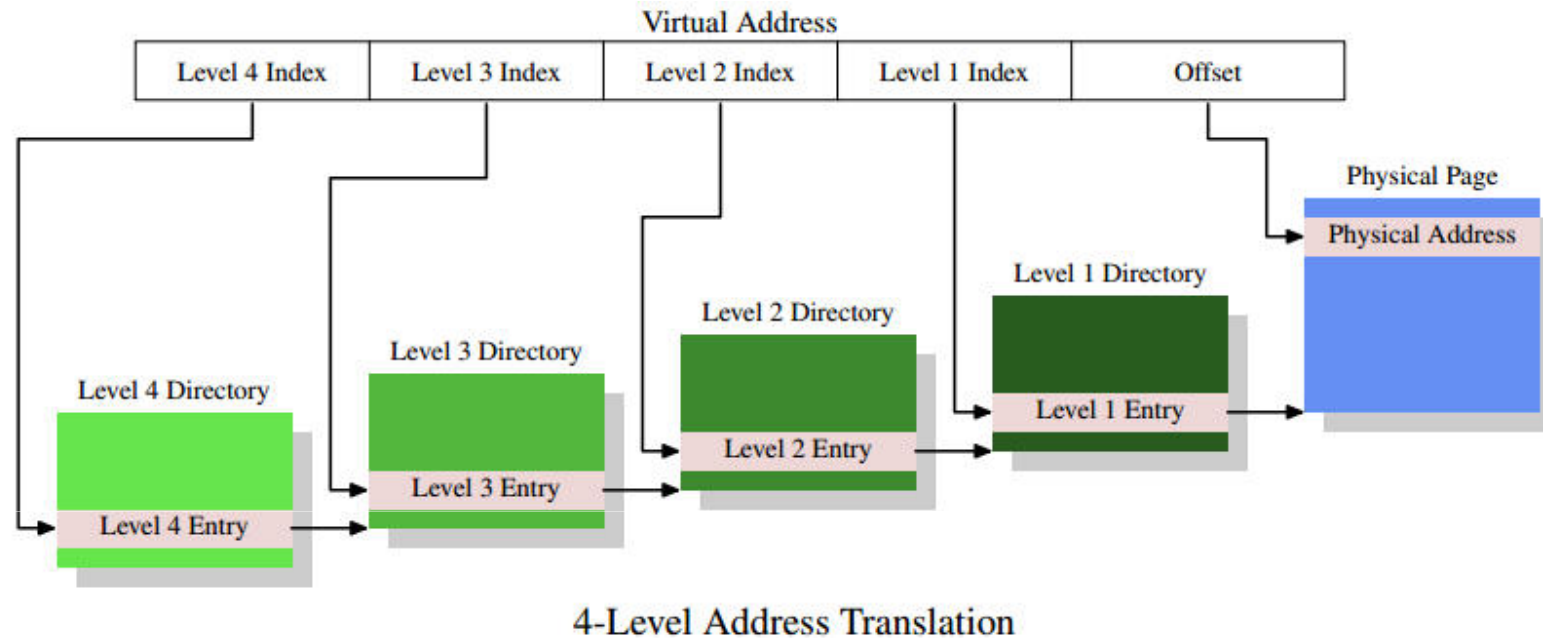
Virtuální paměť: spolupráce HW a SW



Co dělat, když je výpadek stránky – Page Fault?

- **Fyzická paměť je volná, ale**
 - Rámec je prázdný, data jsou ve vedlejší paměti (na disku).
 - Požadovaná stránka se „nějak“ (DMA, Direct Memory Access, přímým přístupem do paměti, ale to zde neřešíme) načítá do prázdného rámce. Přepne se na případně čekající proces, který může probíhat.
 - Po dokončení DMA přenosu se vyvolá přerušení, aktualizuje se Tabulka stránek procesu.
 - Přepne se zpět na původní proces.
- **Paměti je nedostatek**
 - Pomocí LRU najdeme rámec, který můžeme uvolnit.
 - Má-li nastaven Dirty bit, zapíšeme stránku do vedlejší paměti (na disk).
 - Aktualizuje se Tabulka stránek procesu.

Více-úrovňové stránkování – problém rychlosti



- Pokud bychom předpokládali, že všechny položky pro výpočet adresy máme již v cache, bude výpočet adresy trvat velmi dlouhou (v závislosti od počtu úrovní – nelze paralelizovat).
- Výhodnější je přímo cachovat vypočtené adresy.
- K tomu slouží Translation Look-Aside Buffer
- Dnes se používají více-úrovňové TLB

Pro vaší představu: typické hodnoty

	Typicky pro stránkované paměti	Typicky pro TLB
Velikost v blocích	16 000-250 000	40-1024
Velikost	500-1 000 MB	0,25-16 KB
Velikost bloku v B	4 000-64 000	4-32
Miss penalty (v hod)	10 000 000 – 100 000 000	10-1 000
Miss rates	0,00001-0,0001%	0,01-2

Problémy hierarchických pamětí

Některé problémy hierarchických pamětí?

- Koherence pamětí. Definice viz další slajd
- Jednoprocesorové (jednojádrové) stroje.
 - Řeší D-bit a migrační strategie Write-back.
- Multiprocesory se společnou i sdílenou pamětí – řešení je mnohem složitější. Používá se mj.
 - Společná sběrnice: Snooping (s odposlechem, slíděním), MESI protokol,
 - Broadcast (s rozesíláním),
 - Directories (adresáře).
- Je obsahem předmětu A4M36PAP.

Definice koherence

- Řekneme že multiprocessorový **paměťový systém je koherentní** jestliže výsledek jakéhokoli provádění programu je takový, že pro každé paměťové místo je možné sestavit myšlené sériové pořadí čtení a zápisů k tomuto paměťovému místu a platí
 - 1. Paměťové operace k danému paměťovému místu pro každý proces jsou provedeny v pořadí, ve kterém byly spuštěny tímto procesem.
 - 2. Hodnoty vracené každou operací čtení jsou hodnotami naposledy provedené operace zápis do daného paměťového místa vzhledem k sériovému pořadí.

Srovnání VPxSP, nenechte se zmást

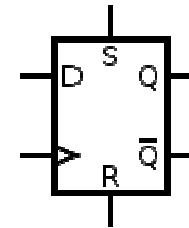
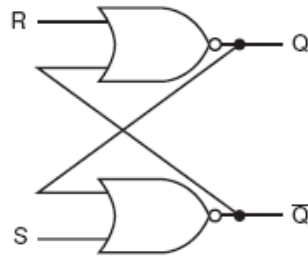
Virtuální paměť	Skrytá paměť
Stránka	Blok/řádek
Page Fault	Read/Write Miss
Velikost stránky: 512 B – 8 KB	Velikost bloku: 8 – 128 B
Asociativní	DM, N-cestná, asociativní
Výběr oběti: LRU	LRU/Náhodný
Write Back	Write Thru/Write Back

- Pozn.: TLB virtuální paměti může být plně asociativní, ale pro větší TLB typicky bývá jen 4-cestná.
- Rozumíte pojmům?
 - Co je oběť
- Závěr: každé adjektivum **V/SP** vyjadřuje něco jiného...

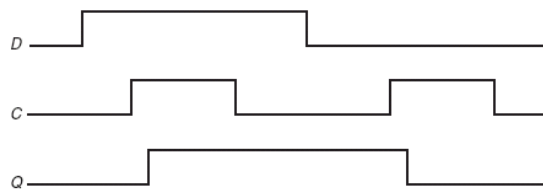
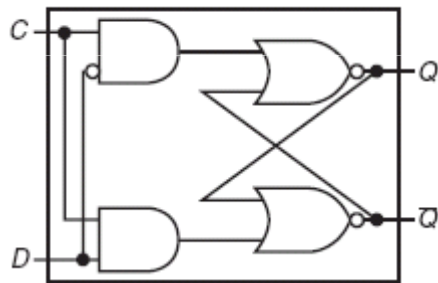
Realizace pamětí - paměťové čipy

Připomenutí začneme od lesa: klopné obvody

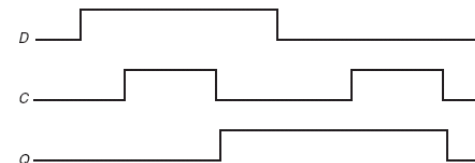
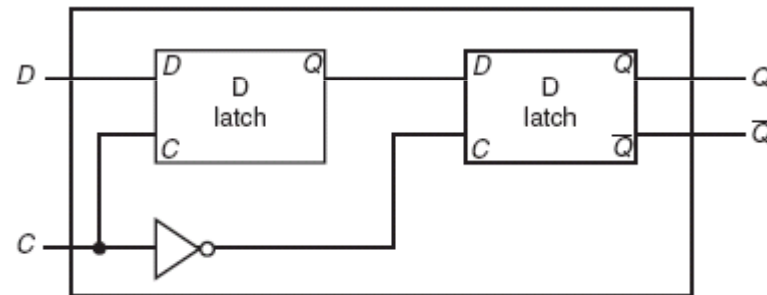
RS



D latch, úrovnňový klopňý obvod

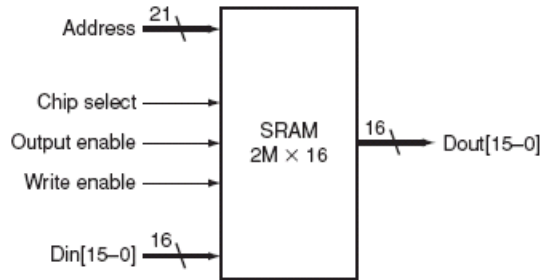


D flip-flop, hranový klopňý obvod

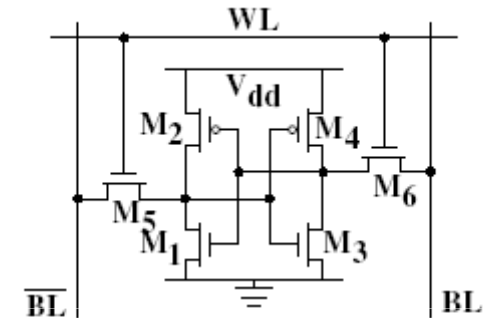


Typický čip a buňka SRAM

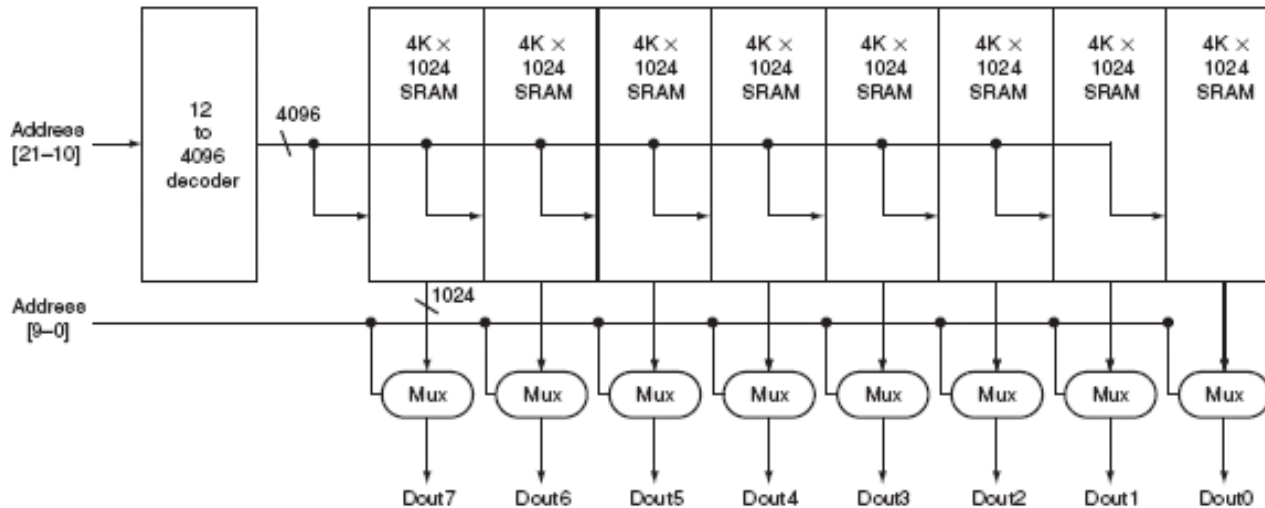
Typický SRAM čip



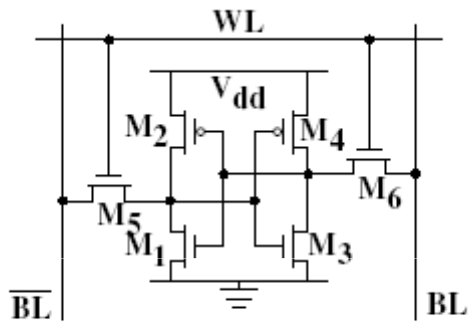
SRAM paměťová buňka
technologie CMOS



Větší paměť?

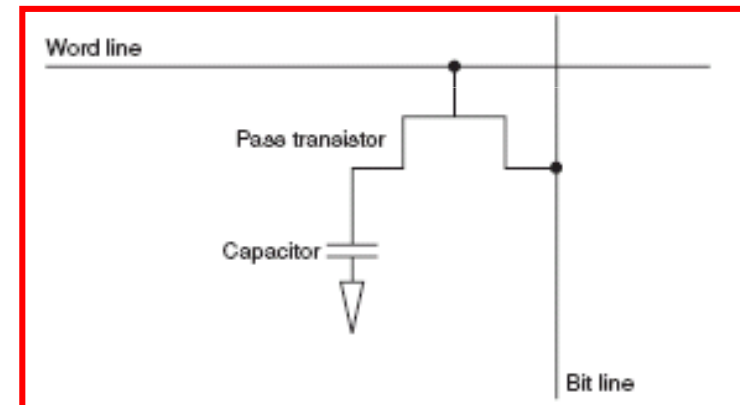


Detail paměťové buňky statické a dynamické paměti

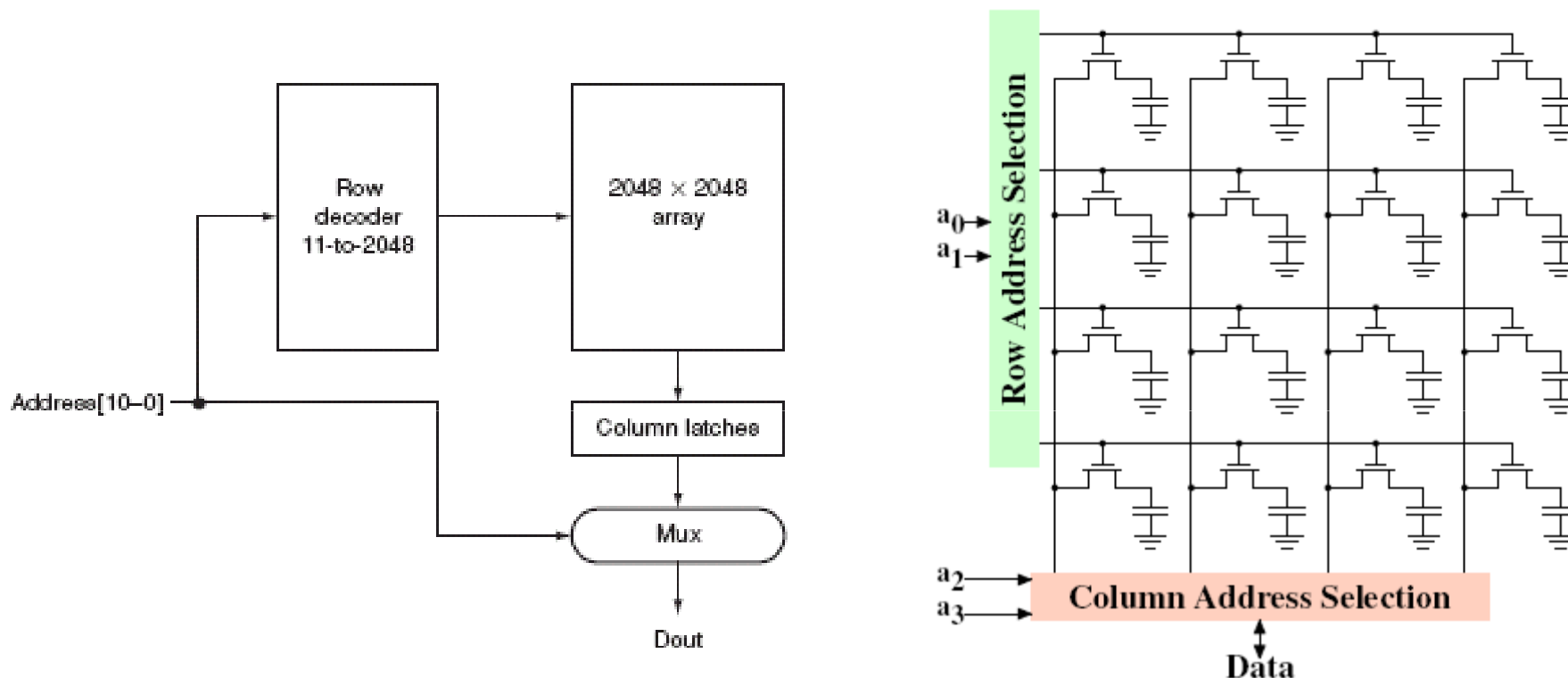


6-ti tranzistorová statická paměťová buňka

Jednotranzistorová dynamická paměťová buňka



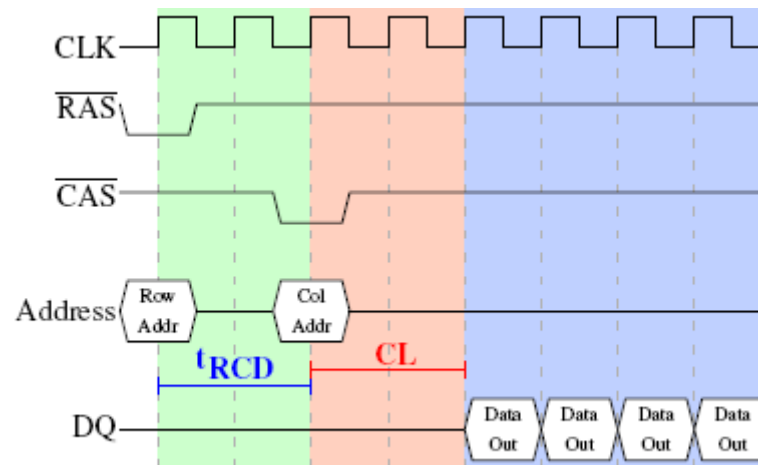
Vnitřní organizace čipu DRAM paměti



4M × 1 DRAM čip je uvnitř realizován
jako pole 2048 × 2048 1b paměťových buněk

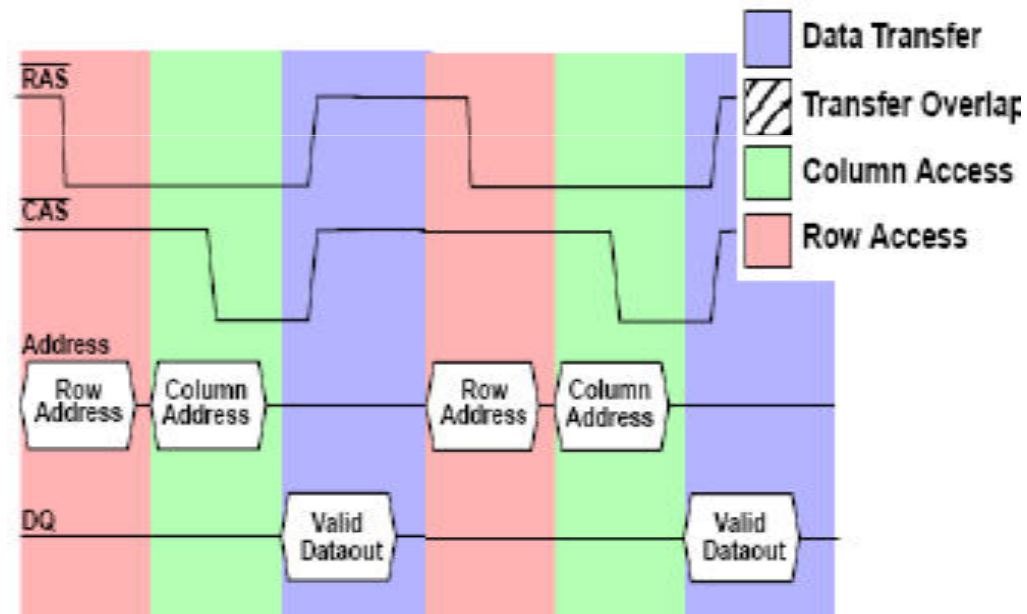
Vývoj DRAM paměťových čipů v čase

Rok	Kapacita	Cena[\$]/GB	Doba přístupu [ns]
1980	64 Kb	1 500 000	250
1983	256 Kb	500 000	185
1985	1 Mb	200 000	135
1989	4 Mb	50 000	110
1992	16 Mb	15 000	90
1996	64 Mb	10 000	60
1998	128 Mb	4 000	60
2000	256 Mb	1 000	55
2004	512 Mb	250	50
2007	1 Gb	50	40



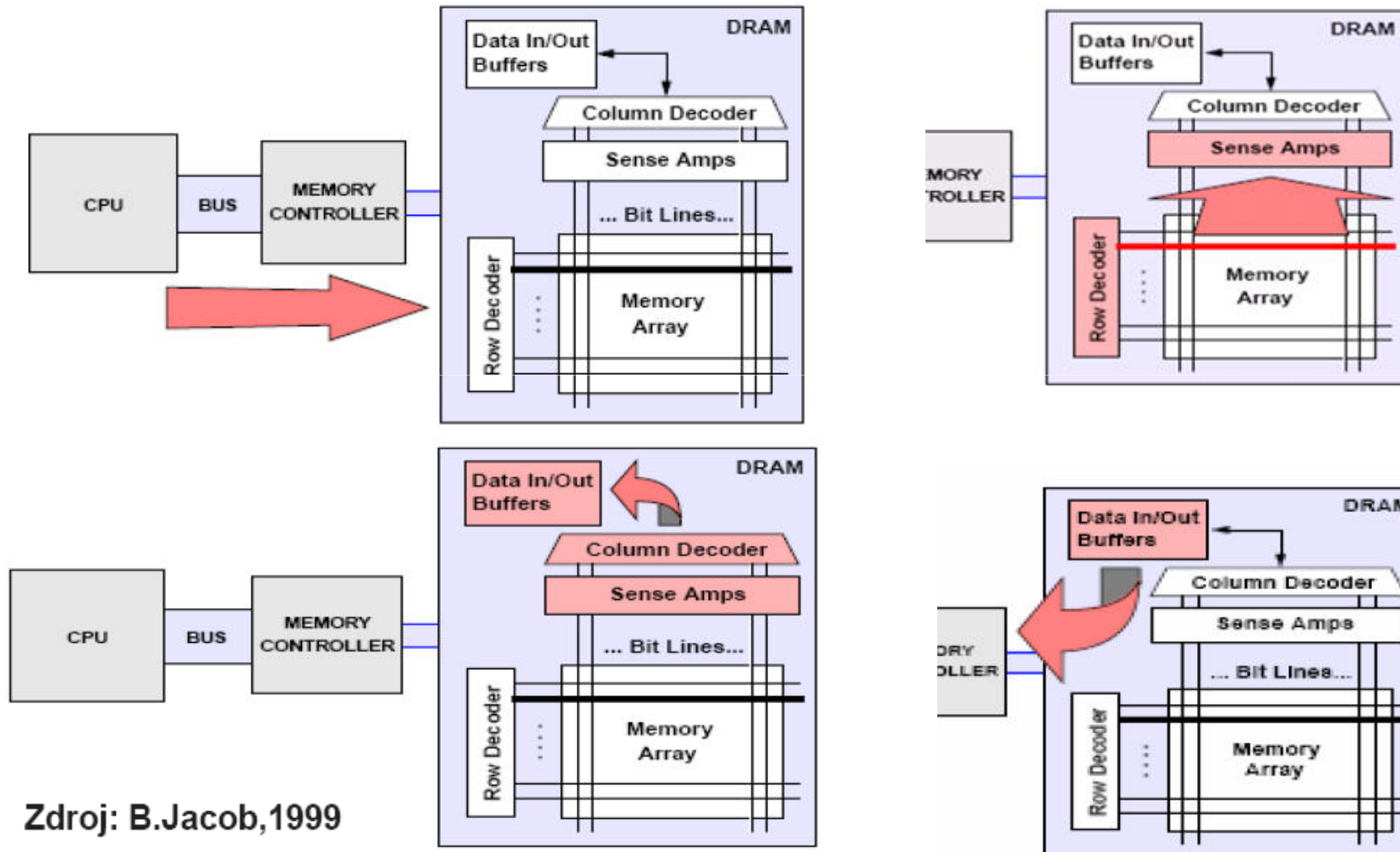
Klasická DRAM – asynchronní rozhraní

- Důvod rozdělení adresy na 2 části byl dán malým počtem pinů původních DRAM pouzder.
- Toto rozdělení se dodnes zachovává, ačkoli pouzdro už není problém. Uneslo by více vývodů...



RAS – Row Address Strobe,
CAS – Column Address Strobe

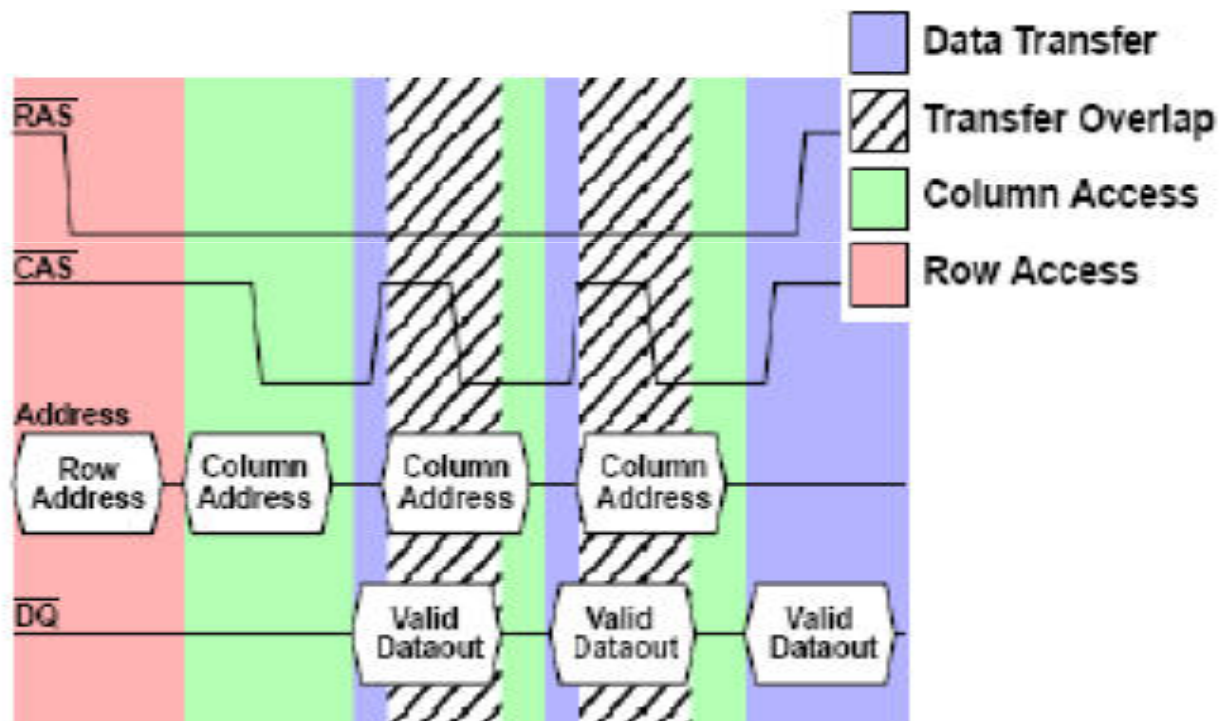
Fáze přístupu k datům v DRAM čipu



Zdroj: B.Jacob,1999

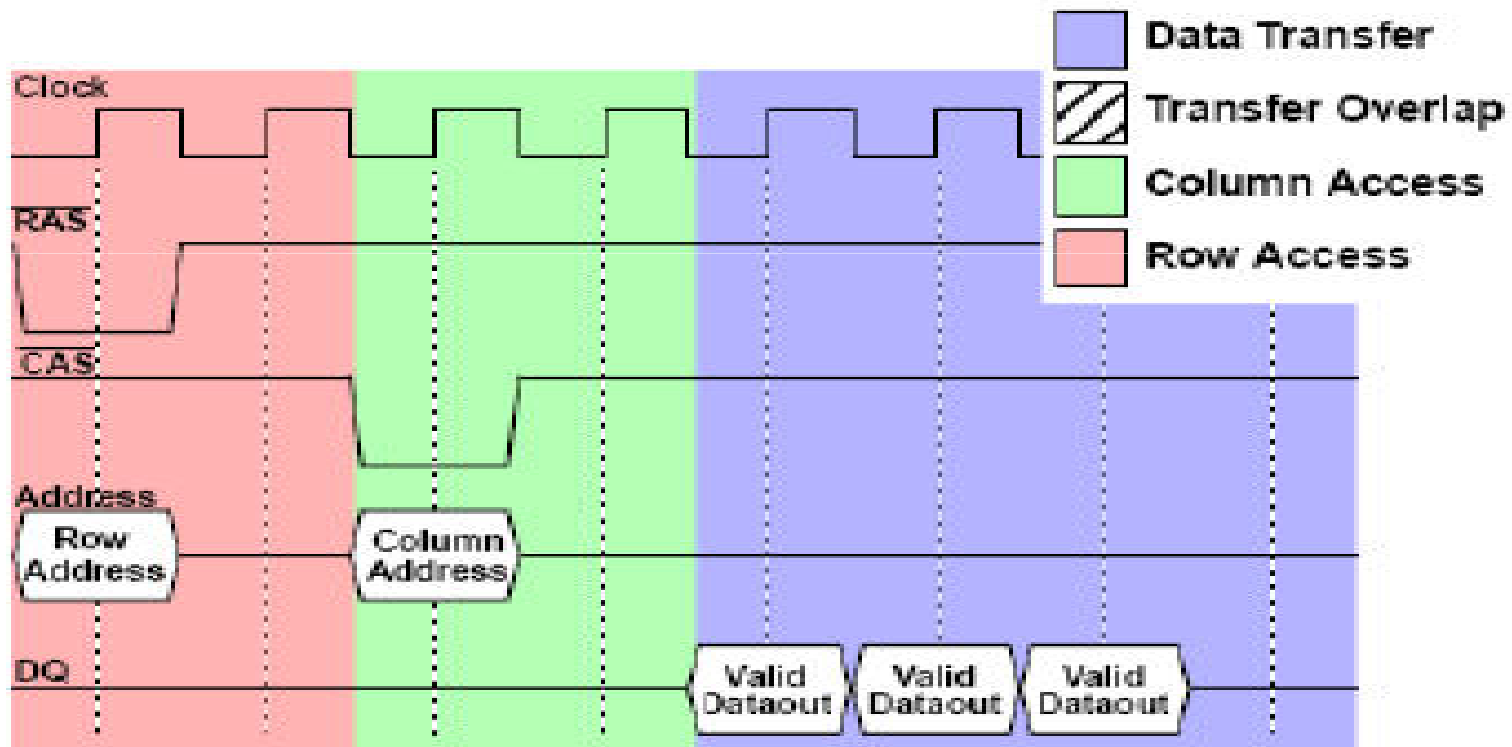
EDO DRAM – cca 1995

- EDO DRAM má registr na výstupu, což umožní překrýt následující CAS s čtením předchozích dat.



SDRAM – konec 90.let – synchronní DRAM

- SDRAM čip obsahuje čítač, který umožňuje nastavit délku souvislého (burst) čtení dat.



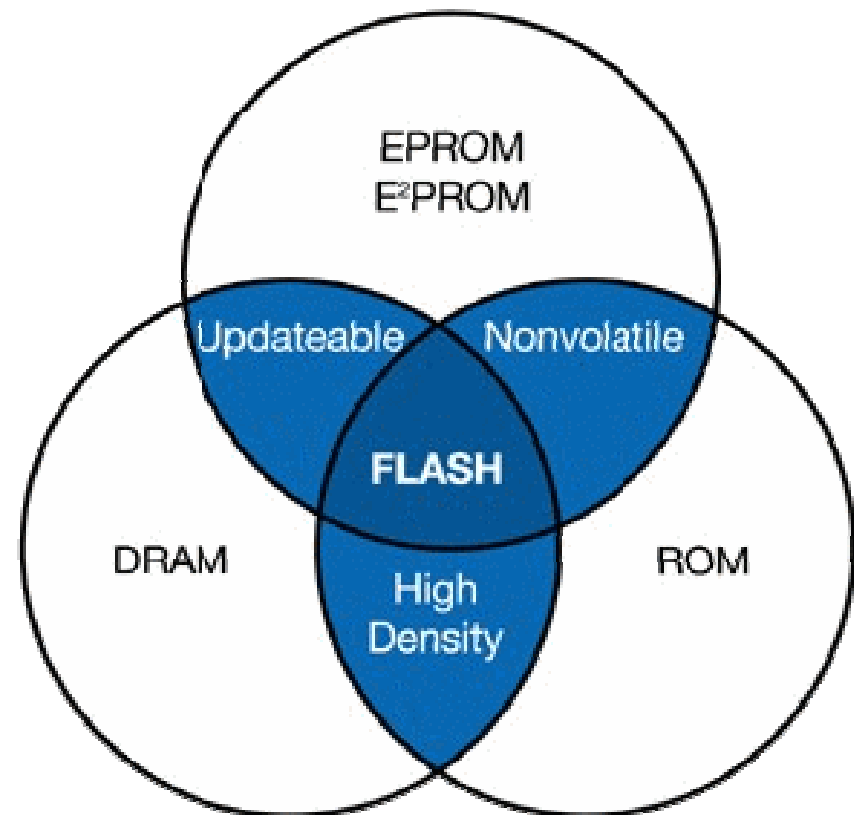
SDRAM – paměť současnosti

- **SDRAM** – frekvence až 100 MHz, 2.5V.
- **DDR SDRAM** – použití obou hran CLK při přenosu dat, 2.5V.
- **DDR2 SDRAM** – snížení spotřeby použitím napětí 1.8V, frekvence až 400 MHz.
- **DDR3 SDRAM** – snížení spotřeby použitím napětí 1.5V, frekvence až 800 MHz.
- **DDR4 SDRAM** ...
- Dále ještě existují paměti a moduly **RAMBUS**, které ovšem mají zcela odlišné rozhraní i způsob použití.
- **Všechny tyto inovace vylepšují propustnost čtení dat, nikoli latenci čtení první položky.**

Jiné principy vedlejších pamětí

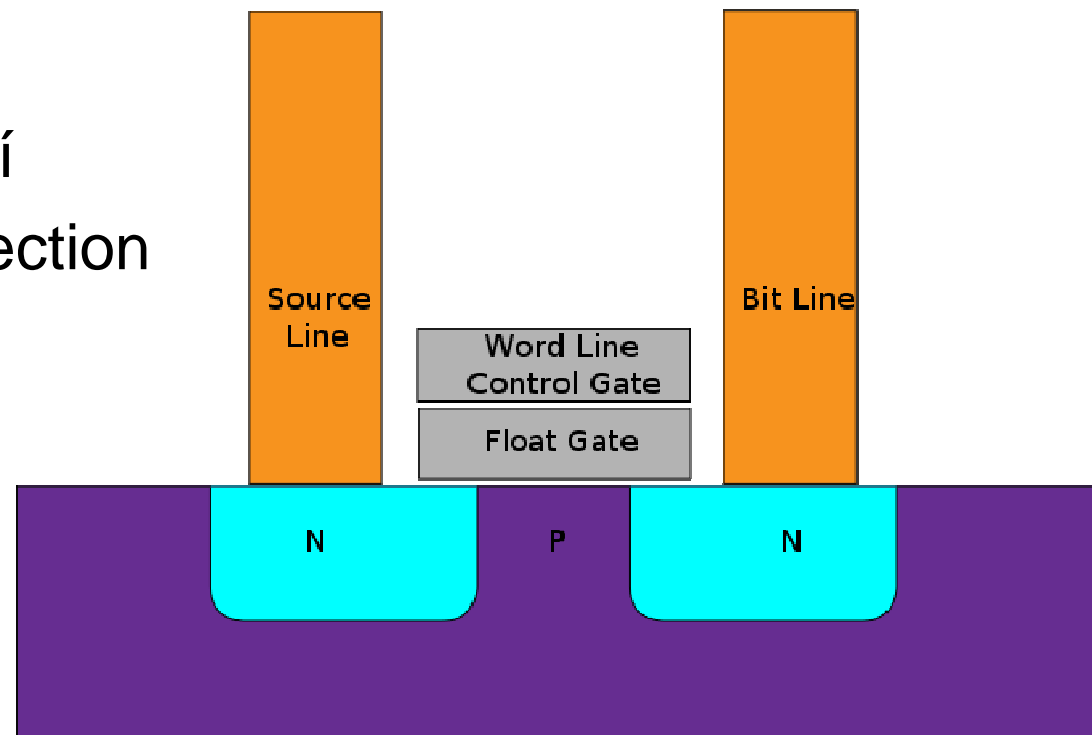
Flash

- Kombinace vlastností E²PROM, DRAM, ROM
- Data jsou ukládána v poli tranzistorů (v buňkách)
- Lze programovat každý blok samostatně
- Typu RAM (s náhodným přístupem)
- Nevolatilní počítačová paměť
- Přístupová doba (50 - 110 ns)
- Řádově stovky tisíc přemazání
- Uchová informaci několik let
- Využití: paměťové karty
USB flash disky
paměťové obvody
SSD disky



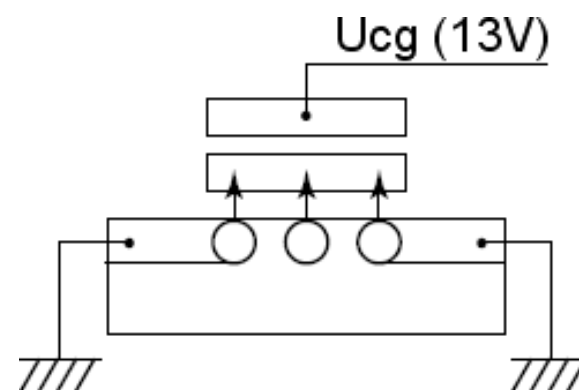
Flash paměťová buňka

- Modifikovaný transistor MOSFET rozšířený o elektricky izolované **plovoucí hradlo**
- Práce s buňkou:
 - Programování
 - F-N tunelování
 - Hot-carrier injection
 - Mazání
 - Čtení



Programování Fowler-Nordheimovo tunelování

- Na řídicí hradlo se přivede napětí U_{cg}
- Toto napětí vytvoří elektrické pole, které vytvoří potenciální bariéru
- Tato bariéra zjednoduší elektronům v substrátu cestu do plovoucího hradla
- Alternativou k programování pomocí Fowler-Nordheimova tunelování je Drain-side tunelování



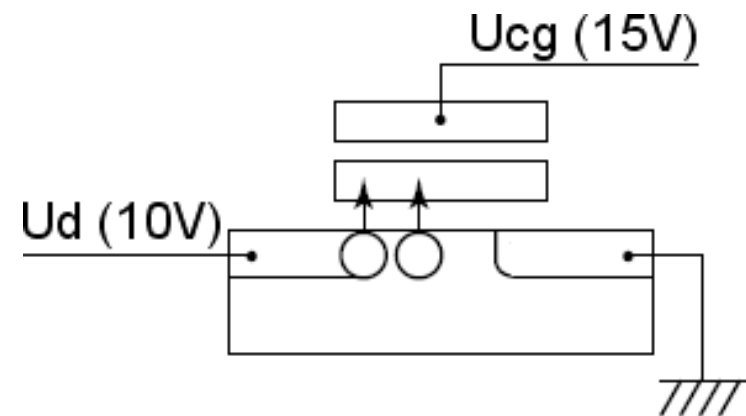
Programování Hot-carrier injection

- **Existují dvě metody Hot-carrier injection**

- a) hot-electron injection (pro typ N postavený na P-substrátu) – používá se kvůli vyšší rychlosti v praxi
- b) hot-hole injection (pro typ P postavený na N-substrátu)

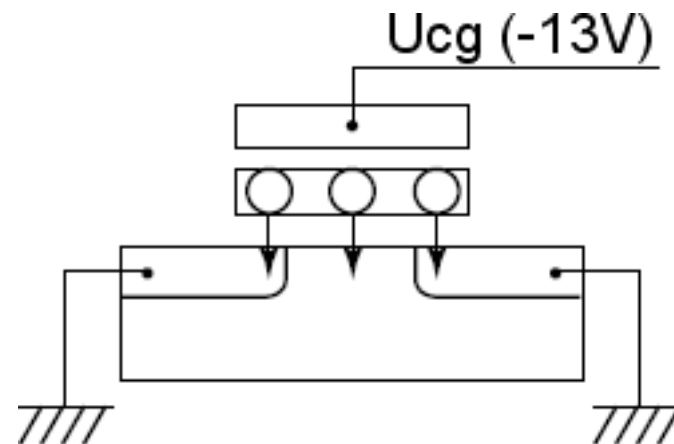
Hot-electron injection :

- 1) Napětí U_{cg} a U_d vytvoří v polovodiči elektrické pole
- 2) Toto pole urychluje elektrony z elektrody source k elektrodě drain
- 3) K elektrodě drain, ale nedoputují protože mají dostatek kinetické energie pro přechod přes vrstvu oxidu do plovoucího hradla směrem k vyššímu napětí



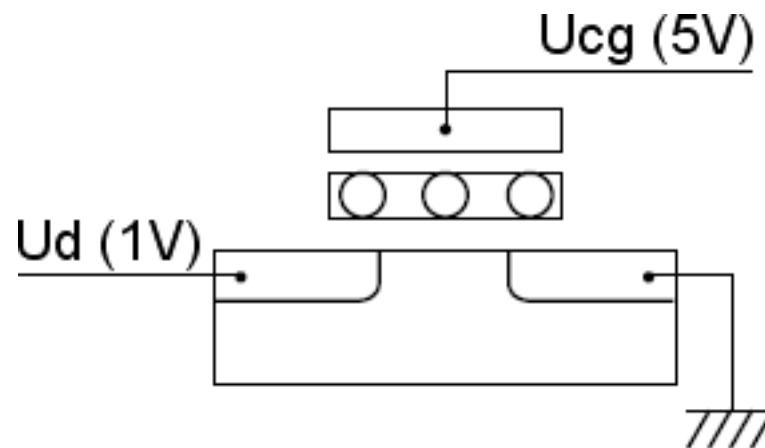
Mazání

- Mazání se provádí taktéž za použití Fowler-Nordheimova tunelování
- Elektrony jsou vypuzeny z plovoucího hradla opačnou hodnotou U_{cg} než byla použita při programování



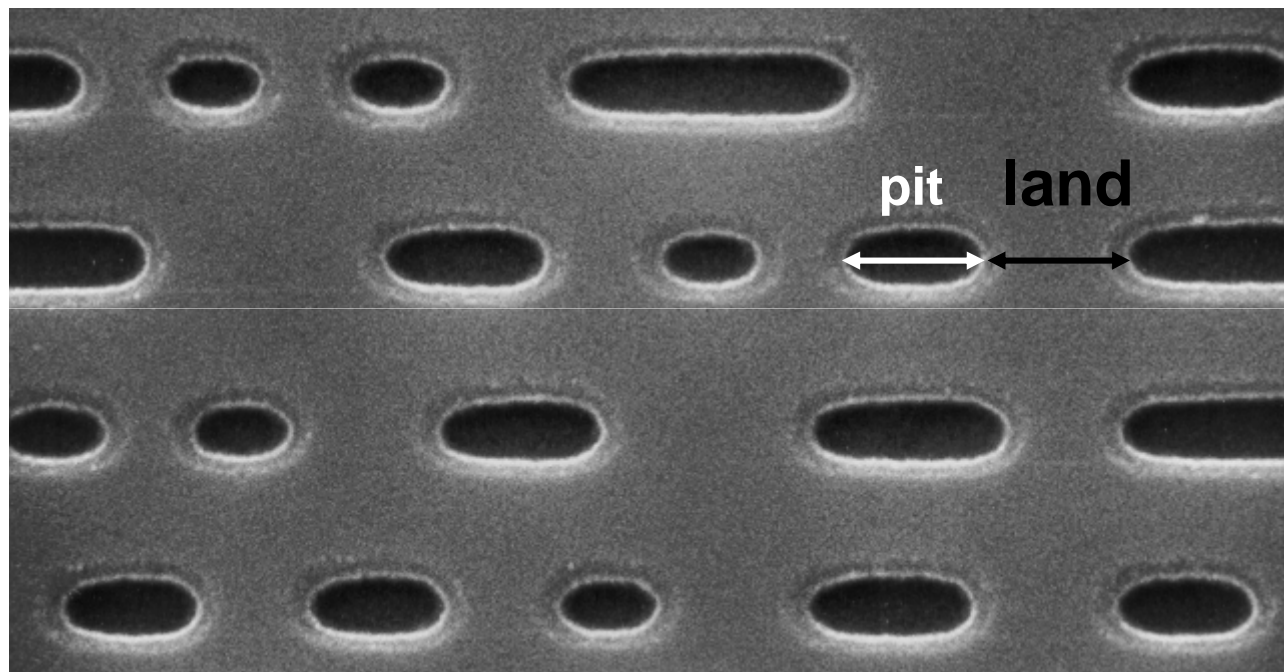
Čtení

- V závislosti na velikosti náboje v izolované elektrodě se mění elektrický proud procházející tranzistorem, který je zesílen čtecím zesilovačem a poté převeden na binární hodnotu.



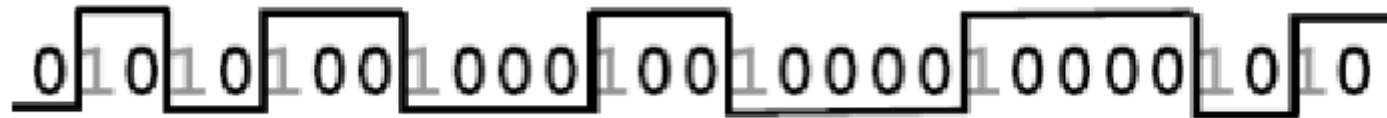
Optické paměti – detail záznamu

stopa
→



A jak se zaznamenávají „0“ a „1“?

NRZ
(d,k)



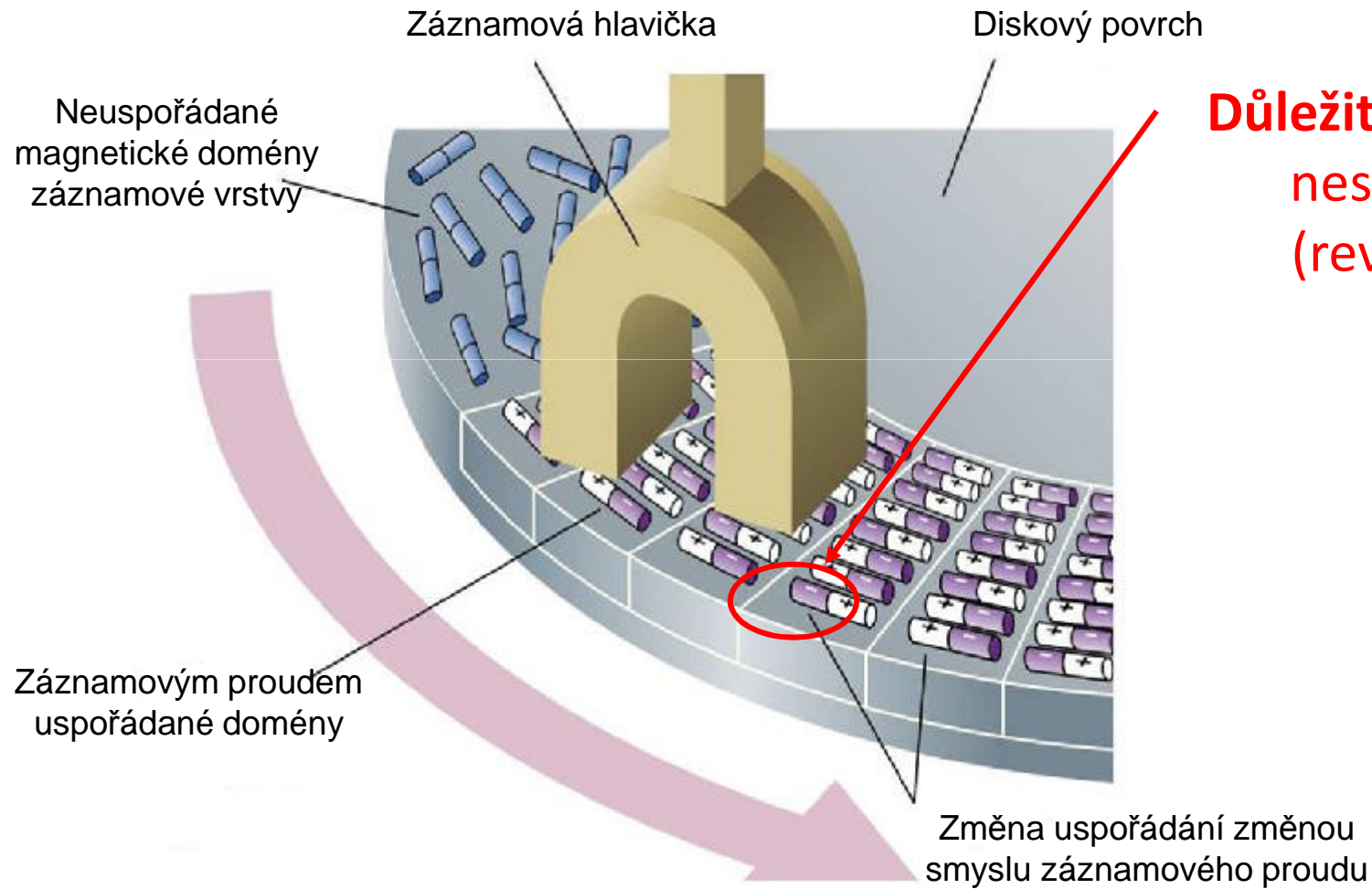
Zakódo-
vaná
data



Záznam
na médiu
(jedna
stopa)

Reverzacemi! V tomto případě optickými.

Fyzikální pozadí mg. záznamu



Důležité: informaci nese změna (reverzace)!

Otázky pro vás

- Je synonymem pro keš asociativní paměť?

What Every Programmer Should Know About Memory

Přečtěte si:

<http://www.akkadia.org/drepper/cpumemory.pdf>