


Architektury počítačů

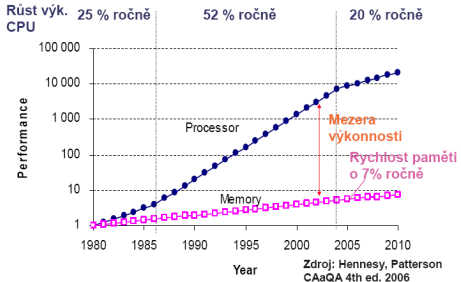
Paměť



České vysoké učení technické, Fakulta elektrotechnická

A0B36APO Architektura počítačů Ver.1.00 2010 1

Disproporce ve výkonu proc x pam, Moorův zákon



Zdroj: Hennesy, Patterson CAaQA 4th ed. 2006

A0B36APO Architektura počítačů 2

Paměťová hierarchie – základní principy

- Programy/procesy přistupují v daném okamžiku jen k malé části svého adresového prostoru
- Časová lokalita
 - Položky, ke kterým se přistupovalo nedávno, budou zapotřebí brzy znovu.
 - Příklad: programová smyčka, proměnné instrukcí.
- Prostorová lokalita
 - Položky poblíž nedávno používaným budou brzy zapotřebí také.
 - Příklad: sekvenční přístup ke kódu (paměť programu), datová pole (paměť dat).

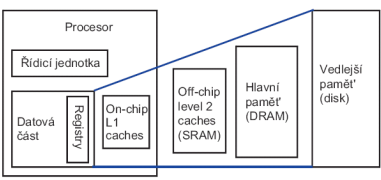
A0B36APO Architektura počítačů 3

Co z uvedeného plyne?

- Je výhodné uspořádat paměťový prostor hierarchicky – paměťová hierarchie.
- Všechny potřebné informace uchovávejte v sekundární paměti.
- Položky nedávno používané a blízké zkopírujte do (menší) paměti implementované DRAM.
 - Operační paměť.
- Položky ještě častěji používané (i ty jim blízké) zkopírujte do menší a rychlejší SRAM.
 - Skrytá paměť.

A0B36APO Architektura počítačů 4

Paměťová hierarchie



- Různá hlediska posuzování:
 - Rychlost,
 - Velikost,
 - Cena/kapacita,
 - Úroveň.

A0B36APO Architektura počítačů 5

Jak a kde pak ale hledanou informaci najdeme?

- Podle adresy a informace o platnosti.
- Hledat začneme v paměti nejvyšší hierarchické úrovni (nejblíže procesoru).
- Požadavky:
 - Paměťová konzistence.
- Prostředky:
 - Virtualizace adresy,
 - Mechanizmy uvolňování místa a migrace informace mezi paměťovými úrovněmi.
 - Hit, miss.

A0B36APO Architektura počítačů 6

Srovnání paměťových technologií

Static RAM (SRAM)
 = 0.5ns – 2.5ns, \$2000 – \$5000 per GB

Dynamic RAM (DRAM)
 = 50ns – 70ns, \$20 – \$75 per GB

Magnetic disk
 = 5ms – 20ms, \$0.20 – \$2 per GB

Konkrétní hodnoty odpovídají stavu v roce 2004, převzato z:

A0B36APO Architektura počítačů 7

Virtualizace paměti

- **VP** je způsob správy operační paměti umožňující běžícímu procesu zpřístupnění paměťového prostoru, který je uspořádán jinak, nebo je dokonce větší, než je fyzicky připojená operační paměť.
- Převod mezi virtuální **VA** a fyzickou **PA** adresou může podporovat procesor (HW mapováním TLB, viz dále).
- V současně běžných operačních systémech je virtuální paměť implementována pomocí stránkování paměti spolu se stránkováním na disk, které rozšiřuje operační paměť o prostor na disku.

A0B36APO Architektura počítačů 8

Virtuální paměť - stránkování

- Virtuální prostor tvoří stejně velké stránky (pages), které se přiřazují jednotlivým běžícím procesům.
- Fyzickou paměť tvoří stejně velké rámce (frames).
- Zde jen poznámka: moderní přístupy nevyžadují stejně velké stránky.

A0B36APO Architektura počítačů 9

Realizace převodu adres?

- Tabulka stránek, Page Table.
- Jednotkou mapování jsou stránky,
- Stránka je také jednotkou přenosu mezi vedlejší a hlavní paměti.
- Mapovací funkce se nejčastěji implementuje Look-up Table (vyhledávací tabulkou).
- Příklad:

A0B36APO Architektura počítačů 10

Tabulka stránek – význam položek

VA – virtuální adresa

Page # Offset

Page Table Base Reg. - PTBR

Index do page table

Když bit platnosti V = 0, stránka není v paměti (page fault)

Look-up Table

V	Access rights - AR	Frame #
...
...
...

PA – Fyzická adresa

Page table je umístěná ve fyzické paměti

Pozn.: terminologii Page# a Frame# později v předmětu zpřesníme.

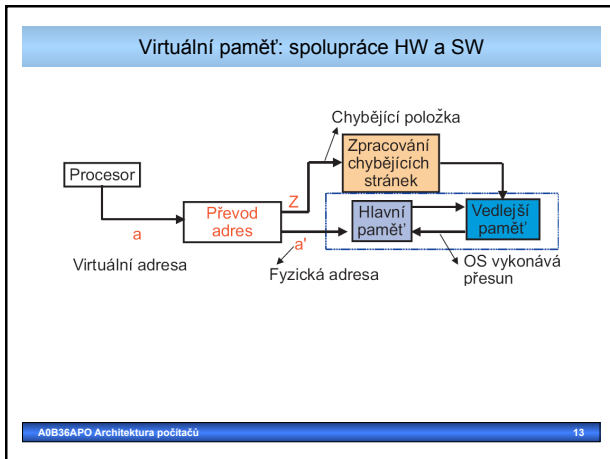
A0B36APO Architektura počítačů 11

Poznámky

- Každý proces má svou Tabulku stránek,
- Tedy i svou hodnotu PTBR (bázového registru).
- To, mimochodem, zajišťuje paměťovou bezpečnost procesů.
- Formát položky Tabulky stránek
 - V – Validity Bit. V=0 Stránka není platná.
 - AR – Access Rights. Přístupová práva (Read Only, Read/Write, Executable, apod.),
 - Frame# - číslo rámce,
 - Popřípadě další, např. Modified/Dirty, apod. (budeme dále podle potřeby doplňovat).

V	AR	Frame#
---	----	--------

A0B36APO Architektura počítačů 12



Cache

- Nebo-li **skrytá paměť**, SP,
- je označení pro vyrovnávací paměť používanou ve výpočetní technice. Zařazujeme ji mezi dva subsystemy s různou rychlostí. Vyrovnává se jí rychlost přístupu k informacím.
- Účelem skryté paměti je urychlit přístup k často používaným datům na „pomalých“ médiích jejich překopírováním na média rychlá.

A0B36APO Architektura počítačů 14

Terminologie okolo skryté paměti

- **Cache hit** požadovaná hodnota ve skryté paměti (cache) je.
- **Cache miss**, opak. **Není** tam.
- Cache line v praxi se pohybují od 8B do 1kB.
- Tag je index odpovídajícího bloku v operační paměti (v podstatě se jedná o hodnotu ukazatele/adresy dělenou délkou bloku).
- **Dirty bit** – indikuje, že ve skryté paměti (cache) je **jiná hodnota**, než v paměti hlavní.

A0B36APO Architektura počítačů 15

Terminologie okolo skryté paměti

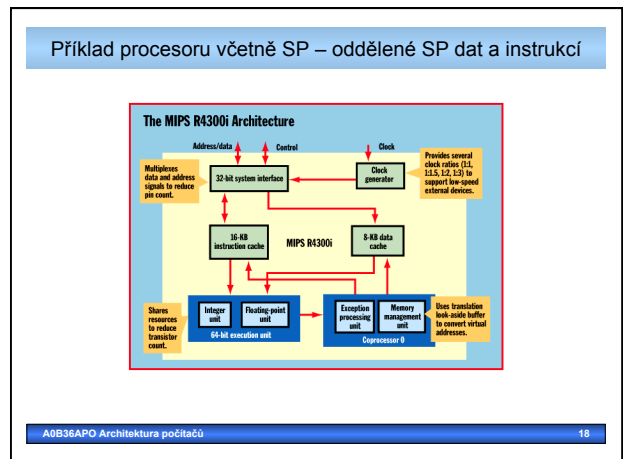
- Koherence dat – souhlas dat uložených v paměti i ve SP.
- **Write-back** – obsah hlavní paměti se aktualizuje až při uvolňování bloku ve SP.
- **Write-through** – při zápisu do SP se data propisují i do paměti hlavní.

A0B36APO Architektura počítačů 16

Terminologie okolo skryté paměti

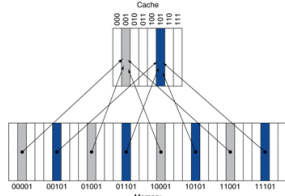
- **LRU** (Least Recently Used) informace o posledním použití tohoto bloku (jedná se o celé číslo)
- **LFU** (Least Frequently Used), u níž se ke každému bloku pamatuje informace o tom, jak často byl blok požadován
- Adaptive Replacement Cache (ARC), ve které se vhodným způsobem kombinuje strategie LRU a LFU.

A0B36APO Architektura počítačů 17



Poznámka

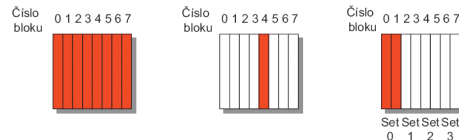
- Každou paměť v hierarchii výše můžeme považovat za skrytou paměť nižší hierarchické úrovně.
- Přímě mapovaná skrytá paměť



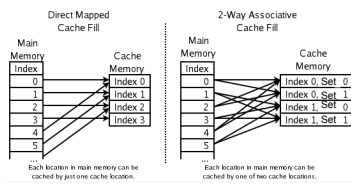
Příklad podle R.Lórenc, X36APS

- Mějme 8-mi blokovou skrytou paměť. Kam se do ní umístí blok 12 v případě
 - Plně asociativní.
 - Přímě mapované, nebo
 - S omezeným stupněm asociativity N=2 (2-cestná, 2-way cache).

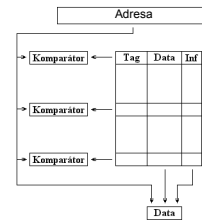
Plně asociativní: blok 12 umístěn kdekoliv
 Přímě mapované: blok 12 umístěn jen do bloku 4 (12 mod 8)
 Omezený stupeň: blok 12 umístěn do setu 0 (12 mod 4)



Totéž, jako na minulém slajdu, jen jinak pojednáno:

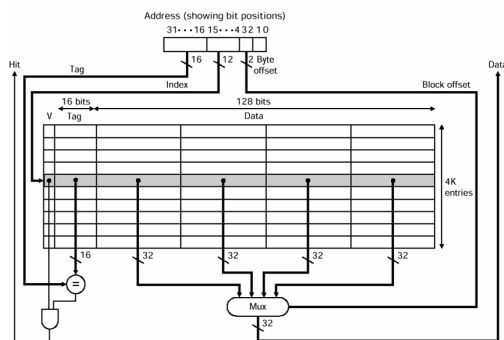


Studie: plně asociativní paměť

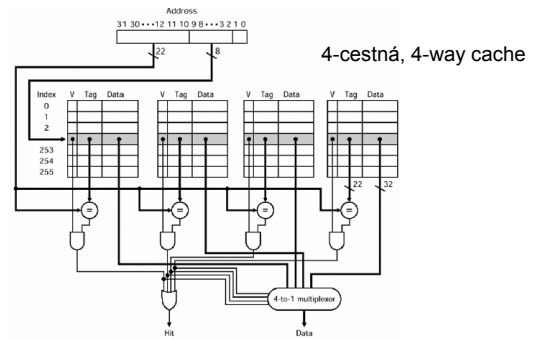


Diskuze: výhody, nevýhody, realizační problémy.

Přímě mapovaná skrytá paměť podrobněji



SP s omezeným stupněm asociativity N=4 podrobněji



Zpět k Virtuální paměti

Co dělat, když je výpadek stránky – Page Fault?

- Fyzická paměť je volná, ale
 - Rámec je prázdný, data jsou ve vedlejší paměti (na disku).
 - Požadovaná stránka se „nějak“ (DMA, Direct Memory Access, přímým přístupem do paměti, ale to zde neřešíme) načítá do prázdného rámce. Přepne se na případně čekající proces, který může probíhat.
 - Po dokončení DMA přenosu se vyvolá přerušení, aktualizuje se Tabulka stránek procesu.
 - Přepne se zpět na původní proces.
- Paměti je nedostatek
 - Pomocí LRU najdeme rámec, který můžeme uvolnit.
 - Má-li nastaven Dirty bit, zapíšeme stránku do vedlejší paměti (na disk).
 - Aktualizuje se Tabulka stránek procesu.

Srovnání, nenechte se zmást

Virtuální paměť	Skrytá paměť
Stránka	Blok/řádek
Page Fault	Read/Write Miss
Velikost stránky: 512 B – 8 KB	Velikost bloku: 8 – 128 B
Asociativní	DM, N-cestná, asociativní
Výběr obětí: LRU	LRU/Náhodný
Write Back	Write Thru/Write Back

- Pozn.: TLB virtuální paměti může být plně asociativní, ale pro větší TLB typicky bývá jen 4-cestná.
- Rozumíte pojůmům?
 - Co je oběť
- Závěr: každé adjektivum V/SP vyjadřuje něco jiného...

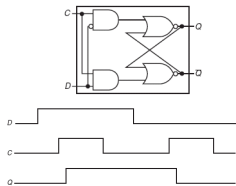
Realizace pamětí - paměťové čipy

Klopné obvody

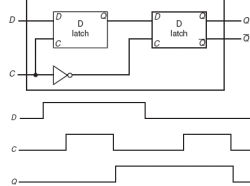
Klopné obvody: RS



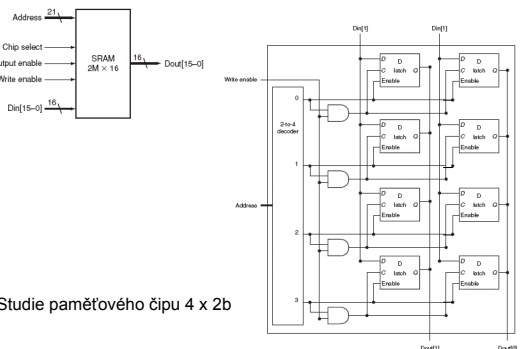
D latch, úrovnňový klopný obvod



D flip-flop, hranový klopný obvod

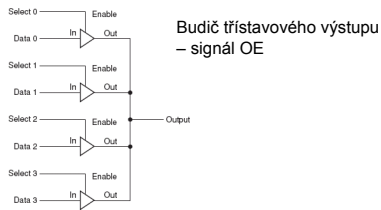


Typický čip SRAM

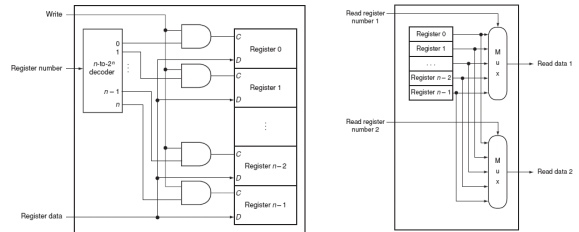


Studie paměťového čipu 4 x 2b

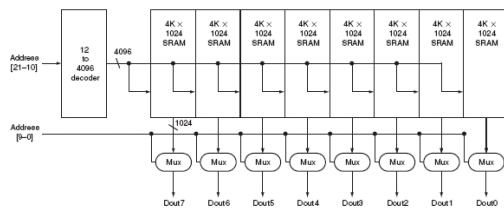
Výstupní obvody čipů připojovaných na sběrnici



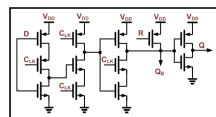
Zápis a čtení do/z registrů



Větší paměť?

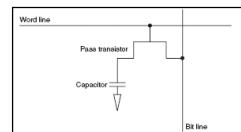


Detail paměťové buňky statické a dynamické paměti

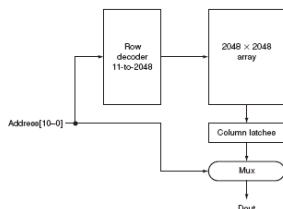


Statický CMOS Flip-flop (zápis náběžnou hranou) s Resetem

Dynamická paměťová buňka



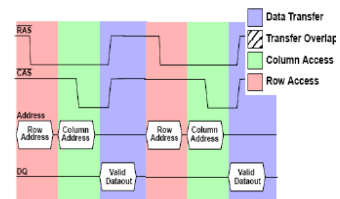
Vnitřní architektura čipu DRAM paměti



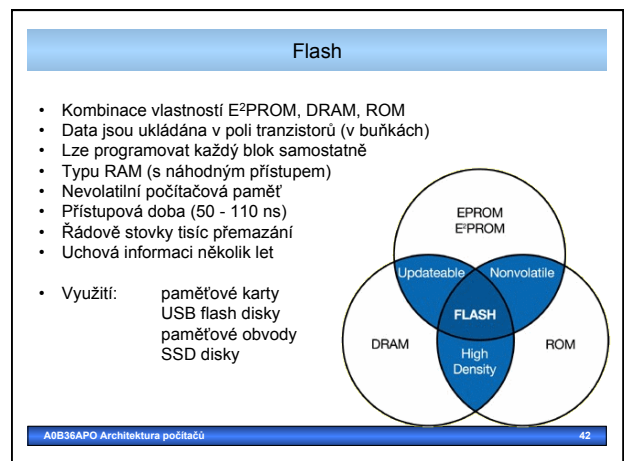
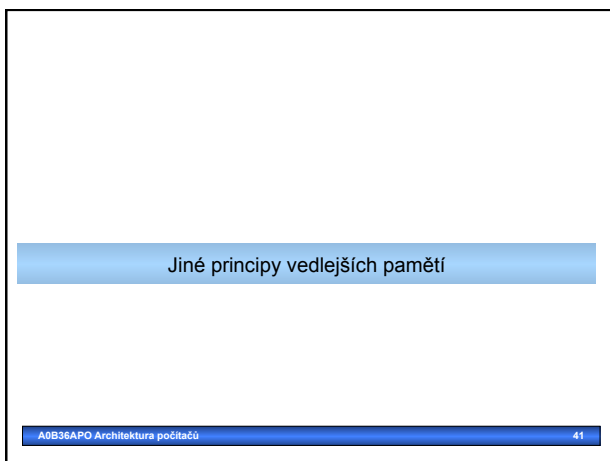
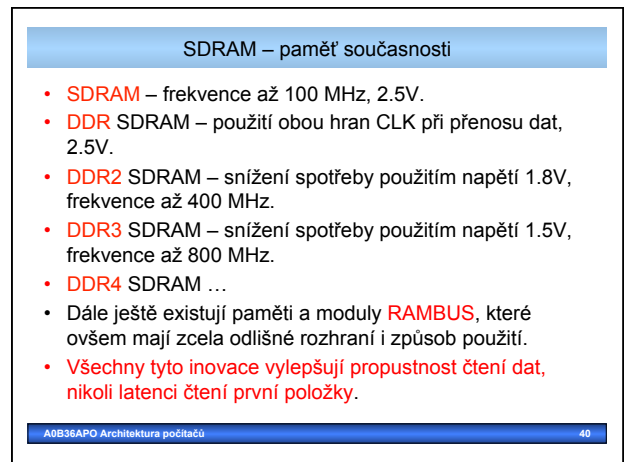
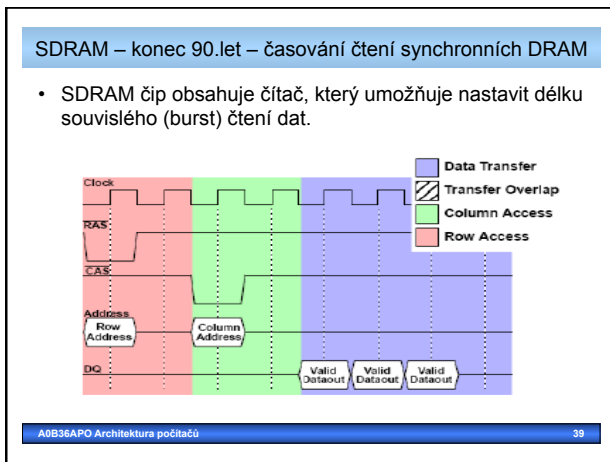
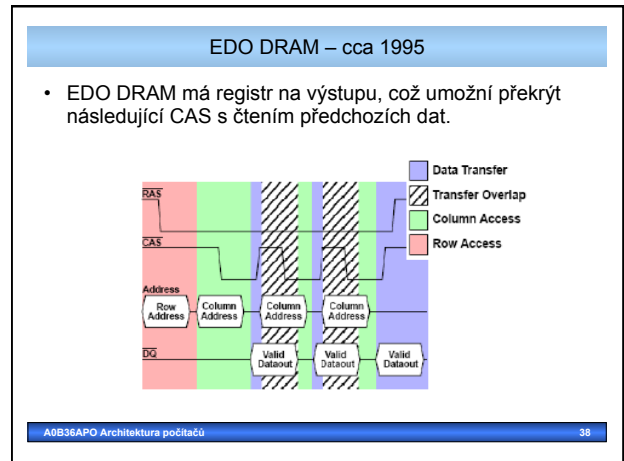
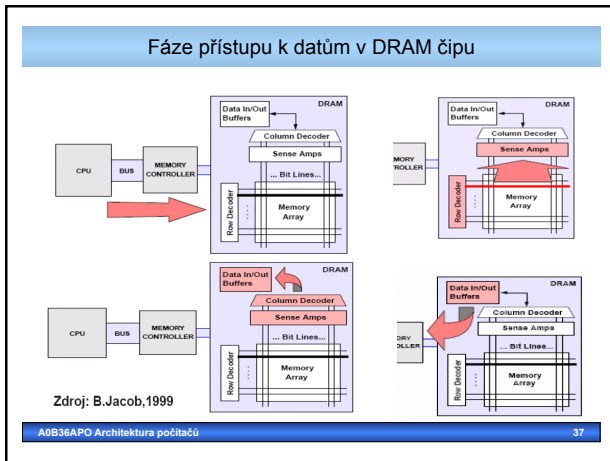
4M x 1 DRAM čip je uvnitř realizován jako pole 2048 x 2048 1b paměťových buněk

Klasická DRAM – asynchronní rozhraní

- Důvod rozdělení adresy na 2 části byl dán malým počtem pinů původních DRAM pouzder.
- Toto rozdělení se dodnes zachovává, ačkoli pouzdro už není problém. Uneslo by více vývodů...

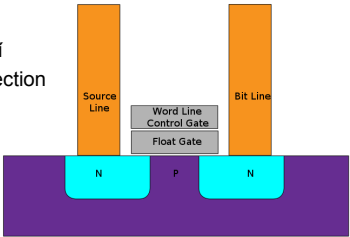


RAS – Row Address Strobe, CAS – Column Address Strobe



Flash paměťová buňka

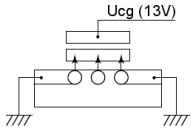
- Modifikovaný transistor MOSFET rozšířený o elektricky izolované **plovoucí hradlo**
- Práce s buňkou:
 - Programování
 - F-N tunelování
 - Hot-carrier injection
 - Mazání
 - Čtení



A0B36APO Architektura počítačů 43

Programování Fowler-Nordheimovo tunelování

- Na řídicí hradlo se přivede napětí U_{cg}
- Toto napětí vytvoří elektrické pole, které vytvoří potenciální bariéru
- Tato bariéra zjednoduší elektronům v substrátu cestu do plovoucího hradla
- Alternativou k programování pomocí Fowler-Nordheimova tunelování je Drain-side tunelování



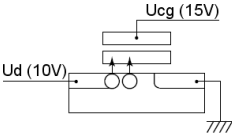
A0B36APO Architektura počítačů 44

Programování Hot-carrier injection

- Existují dvě metody Hot-carrier injection
 - a) hot-electron injection (pro typ N postavený na P-substrátu) – používá se kvůli vyšší rychlosti v praxi
 - b) hot-hole injection (pro typ P postavený na N-substrátu)

Hot-electron injection :

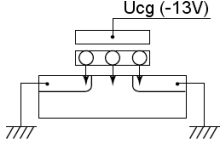
- 1) Napětí U_{cg} a U_d vytvoří v polovodiči elektrické pole
- 2) Toto pole urychluje elektrony z elektrody source k elektrodě drain
- 3) K elektrodě drain, ale nedoputují protože mají dostatek kinetické energie pro přechod přes vrstvu oxidu do plovoucího hradla směrem k vyššímu napětí



A0B36APO Architektura počítačů 45

Mazání

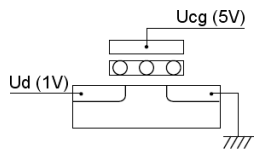
- Mazání se provádí taktéž za použití Fowler-Nordheimova tunelování
- Elektrony jsou vypuzeny z plovoucího hradla opačnou hodnotou U_{cg} než byla použita při programování



A0B36APO Architektura počítačů 46

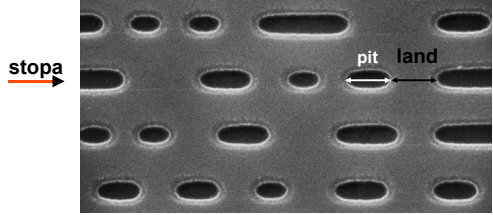
Čtení

- V závislosti na velikosti náboje v izolované elektrodě se mění elektrický proud procházející tranzistorem, který je zesílen čtecím zesilovačem a poté převeden na binární hodnotu.



A0B36APO Architektura počítačů 47

Optické paměti – detail záznamu



A0B36APO Architektura počítačů 48

A jak se zaznamenávají „0“ a „1“?

NRZ
(d,k)

Zakódovaná data

Záznam na médiu (jedna stopa)

Reverzacemi! V tomto případě optickými.

A0B3

Fyzikální pozadí mg. záznamu

Důležité: informaci nese změna (reverzace)!

A0B3