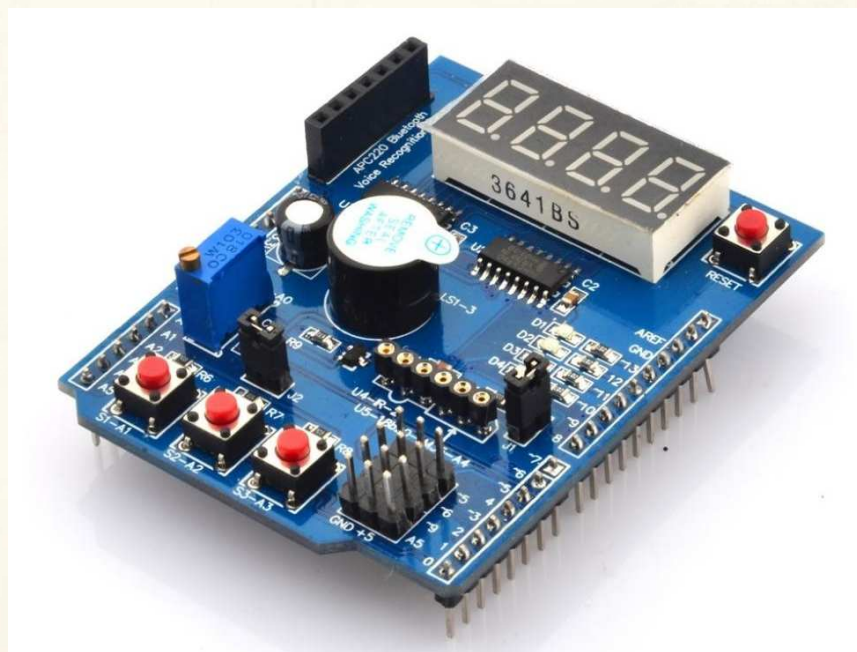


OBVODOVÁ REALIZACE LKO A LSO V PLD

Cvičení 1 až 3 – realizace úloh na PLD

Úlohy obsahují: Realizaci děliče kmitočtu, čítače, multiplexeru, adresového dekodéru, sériově ovládaného dynamického displeje.



Modul je vývodově kompatibilní s PLD DE10_Lite i s vývojovými deskami s procesory ARM – NUCLEO.

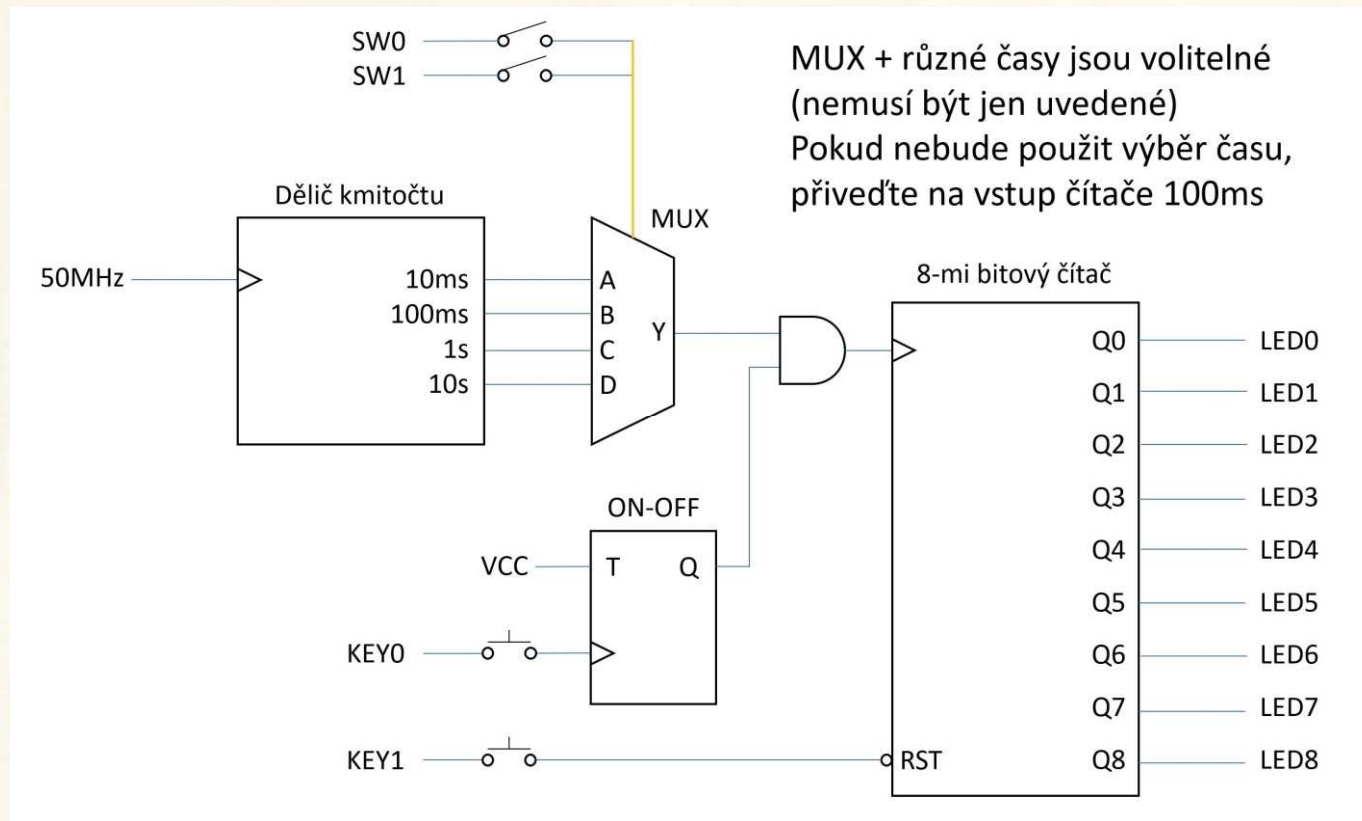
Výhoda: Možnost srovnání obvodového a procesorového řešení

Cvičení 1 až 3 – co budeme potřebovat k řešení úloh FPGA1-3

- **Návrh čítače** – binárního, dekadického
- **Využit funkci dekodéru** – 1 ze 4 a 1 z 8
- **Použit multiplexor** – výběr jedné hodnoty ze čtyřech
- **Návrh převodníku BCD-7 segmentů** – návrh LKO
- **Návrh řadiče** – obvodového, mikroprogramovatelného
- **Využit funkci posuvného registru**
 - tvorba sériové posloupnosti
- **Aplikace paměťové funkce** – registry, latch, paměť
- **Přenos po společných vodičích** – sběrnice

S využitím těchto funkcí se seznámíme v návrhovém **Quartus II**

PŘÍPRAVA STRUKTURÁLNÍHO NÁVRHU DÚ-1 V PROSTŘEDÍ QUARTUS II



- ❖ Vytvoření TOP – projektu, umístění vstupu pro 50MHz
- ❖ Vytvoření schématu pro dělič kmitočtu – realizace dělení (Asynchronní obvody např. 7490, 7493, synchronní např. 74162, 74163, programové např. inkrementace proměnné, automodifikace registru, VHDL, atd.)
- ❖ Vytvoření bloku děliče a jeho umístění do top návrhu

K úloze **FPGA1** potřebujeme návrh 8 bitového binárního čítače a vytvoření hodinového signálu 10Hz.

K úloze **FPGA3** budeme potřebovat čítač modulo 4.

Postup klasického návrhu čítače spočívá v následujících krocích:

- Návrh stavového diagramu – popisuje přechody mezi jednotlivými stavy.
- Odvození stavové tabulky
- Odvození rovnic přechodů ze stavové tabulky
- Před dalším krokem rozhodujeme o typu paměťových členů.
- Z rovnic přechodů odvozujeme funkce buzení PČ
 - ❖ Algebraicky pomocí operátoru PČ (D, JK)
 - ❖ Tabulkou přechodů PČ (JK, T)

REALIZACE SYNCHRONNÍHO BINÁRNÍHO ČÍTAČE

- ❖ Stavový diagram pro 8-bitový čítač bude mít 256 stavů a stavová tabulka bude obsahovat 8 vnitřních proměnných. Odvození rovnic přechodů bude představovat 8 Karnaughových map pro 8 proměnných. $\Rightarrow$ Možné, ale značně zdlouhavé.
- ❖ Možné cesty:
 - Řešení pomocí zápisu v jazyce VHDL
 - Vyhledání vyráběné součástky v obvodech TTL
 - Inspirace na internetu
 - Ověření schémat z internetu klasickým návrhem LSO. Protože uveřejněná schémata vykazují sériové budící funkce s určitou zákonitostí, zkusíme odvození realizovat na čtyřbitovém binárním čítači.
 - Automodifikace registru
 - Spojení registru s ALU

REALIZACE SYNCHRONNÍHO BINÁRNÍHO ČÍTAČE

Vytvoříme stavovou tabulku, která představuje 4 Karnaughovy mapy pro rovnice přechodů (změny vnitřních proměnných Q_4, Q_3, Q_2, Q_1 výstupů PČ).

$Q_4^i Q_3^i \backslash Q_2^i Q_1^i$		$Q_2^i Q_1^i$			
		00	10	11	01
$Q_4^i Q_3^i$	00	0001	0010	0100	0011
	01	0101	0110	1000	0111
	11	1101	1110	0000	1111
	10	1001	1010	1100	1011

$Q_4^{i+1} Q_3^{i+1} Q_2^{i+1} Q_1^{i+1}$

Odvodíme rovnice přechodů.

$$Q_1^{i+1} = \overline{Q_1}$$

$$Q_2^{i+1} = Q_1 \overline{Q_2} + \overline{Q_1} Q_2$$

$$Q_3^{i+1} = \overline{Q_2} Q_3 + \overline{Q_1} Q_3 + Q_1 Q_2 \overline{Q_3}$$

$$Q_4^{i+1} = \overline{Q_1} Q_4 + \overline{Q_2} Q_4 + Q_1 Q_2 Q_3 \overline{Q_4} + Q_1 Q_2 \overline{Q_3} Q_4$$

REALIZACE SYNCHRONNÍHO BINÁRNÍHO ČÍTAČE

Realizace s paměťovými členy D, který má operátor

$$Q_j^{i+1} = D_j$$

nám umožní rovnou psát funkce buzení vstupů (logické výrazy pro vstupy D_j). V těchto rovnicích není přímo vidět zákonitost, které bychom využili k rozšíření na 8 bitů.

$$D_1 = \overline{Q}_1$$

$$D_2 = Q_1\overline{Q}_2 + \overline{Q}_1Q_2$$

$$D_3 = \overline{Q}_2Q_3 + \overline{Q}_1Q_3 + Q_1Q_2\overline{Q}_3$$

$$D_4 = \overline{Q}_1Q_4 + \overline{Q}_2Q_4 + Q_1Q_2Q_3\overline{Q}_4 + Q_1Q_2\overline{Q}_3Q_4$$

Realizace rovnic buzení vstupů může být paralelní, která nám umožní dosáhnout vyššího hodinového signálu. Odvození zbývajících rovnic není jednoduché. Pokusme se rovnice trochu upravit.

$$D_1 = \overline{Q}_1$$

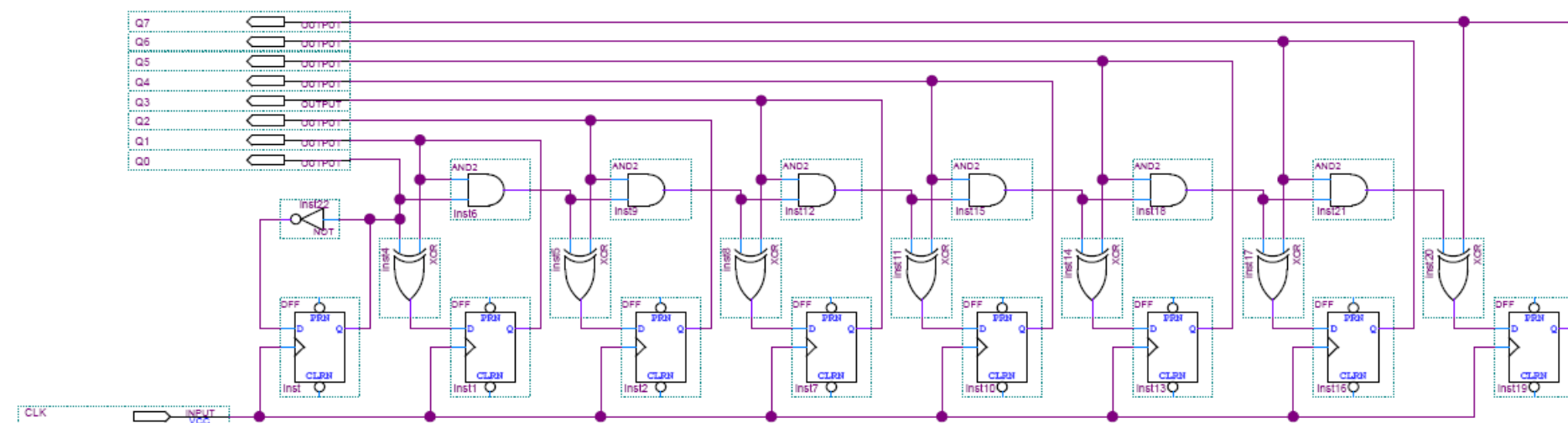
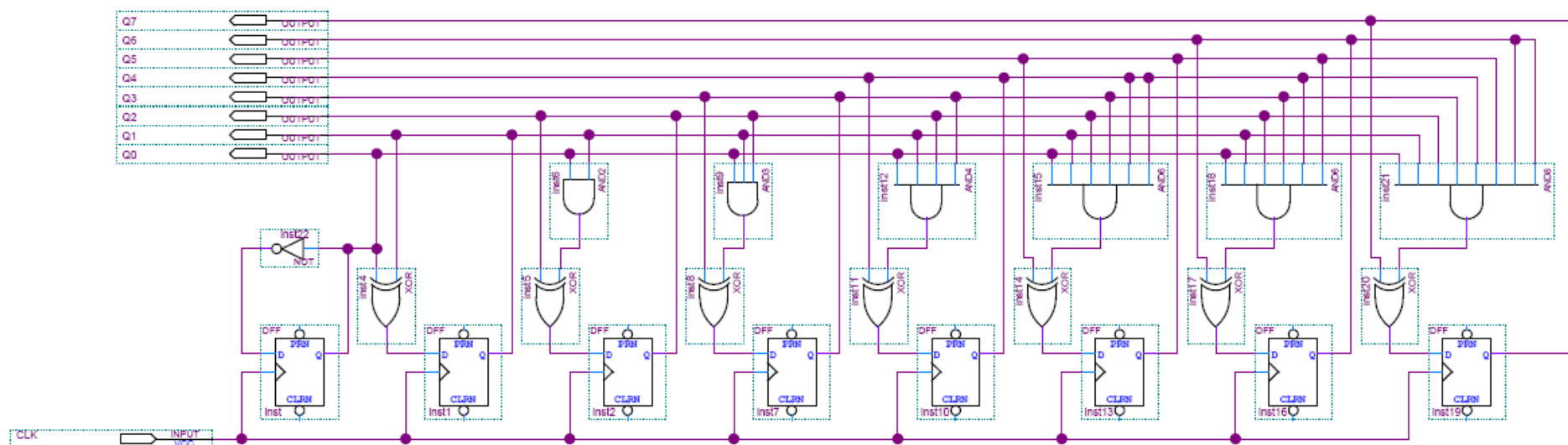
$$D_2 = Q_1 \oplus Q_2$$

$$D_3 = \overline{Q}_2Q_3 + \overline{Q}_1Q_3 + Q_1Q_2\overline{Q}_3 = (\overline{Q}_2 + \overline{Q}_1) \cdot Q_3 + Q_1Q_2\overline{Q}_3 = Q_1Q_2 \oplus Q_3$$

$$D_4 = \overline{Q}_1Q_4 + \overline{Q}_2Q_4 + Q_1Q_2Q_3\overline{Q}_4 + Q_1Q_2\overline{Q}_3Q_4 = \overline{Q_1Q_2Q_3} \cdot Q_4 + Q_1Q_2Q_3\overline{Q}_4 = Q_1Q_2Q_3 \oplus Q_4$$

REALIZACE SYNCHRONNÍHO BINÁRNÍHO ČÍTAČE

Z upravených rovnic vysvítá zákonitost, která nám umožní dokončit návrh jak pro paralelní tak sériové řešení.



REALIZACE SYNCHRONNÍHO BINÁRNÍHO ČÍTAČE

Realizace s paměťovými členy JK, jehož operátor je

$$Q_j^{i+1} = J_j \bar{Q}_j + \bar{K}_j Q_j$$

Úpravou rovnic přechodů a algebraickým porovnáním s operátorem můžeme psát.

$$Q_1^{i+1} = \bar{Q}_1$$

$$Q_2^{i+1} = Q_1 \bar{Q}_2 + \bar{Q}_1 Q_2$$

$$Q_3^{i+1} = \bar{Q}_2 Q_3 + \bar{Q}_1 Q_3 + Q_1 Q_2 \bar{Q}_3 = Q_1 Q_2 \cdot \bar{Q}_3 + (\bar{Q}_1 + \bar{Q}_2) \cdot Q_3$$

$$Q_4^{i+1} = \bar{Q}_1 Q_4 + \bar{Q}_2 Q_4 + Q_1 Q_2 Q_3 \bar{Q}_4 + Q_1 Q_2 \bar{Q}_3 Q_4 =$$

$$Q_1 Q_2 Q_3 \cdot \bar{Q}_4 + (\bar{Q}_1 + \bar{Q}_2 + Q_1 Q_2 \bar{Q}_3) \cdot Q_4 =$$

$$Q_1 Q_2 Q_3 \cdot \bar{Q}_4 + \overline{(Q_1 \cdot Q_2 \cdot (\bar{Q}_1 + \bar{Q}_2 + Q_3))} \cdot Q_4 =$$

$$Q_1 Q_2 Q_3 \cdot \bar{Q}_4 + \overline{(Q_1 \cdot Q_2 \cdot Q_3)} \cdot Q_4$$

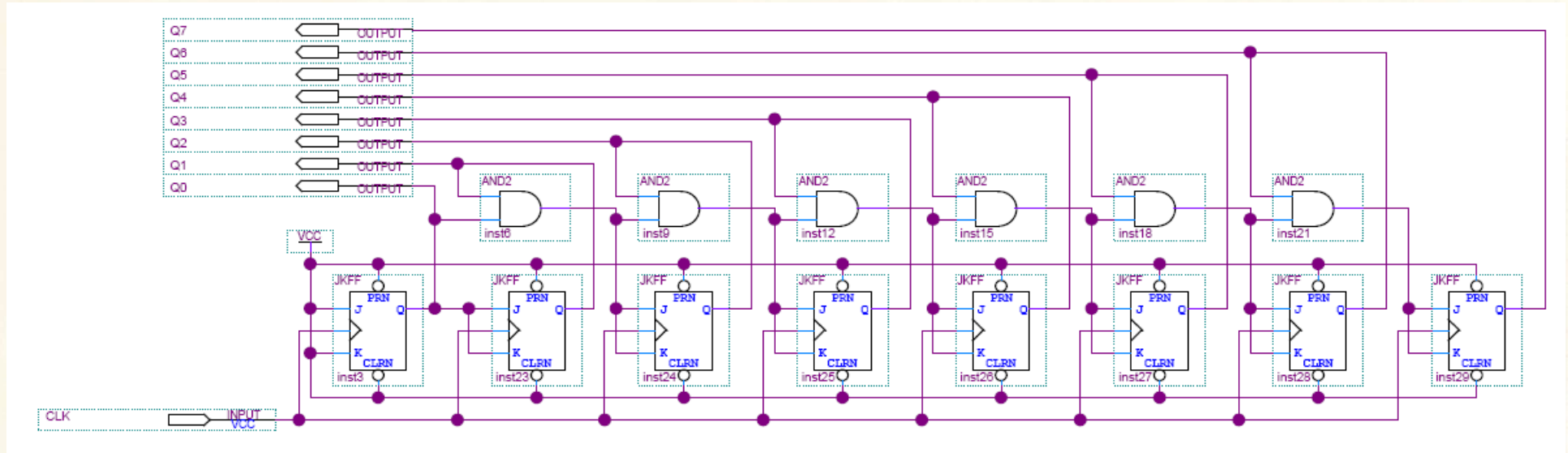
$$J_1 = K_1 = 1$$

$$J_2 = K_2 = Q_1$$

$$J_3 = K_3 = Q_1 \cdot Q_2$$

$$J_4 = K_4 = Q_1 \cdot Q_2 \cdot Q_3$$

REALIZACE SYNCHRONNÍHO BINÁRNÍHO ČÍTAČE



Pro realizaci čítače s paměťovými členy T, který má operátor PČ

$$Q_j^{i+1} = T_j \oplus Q_j$$

nelze obecně algebraicky odvodit funkce pro vstup T_j . V takovém případě musíme použít tzv. tabulku přechodů (existuje pro RS, JK a T), která určuje stav vstupů PČ (tj. R a S, J a K nebo T) pro změnu vnitřní proměnné (0→0, 0→1, 1→0, a 1→1). V případě PČ T je situace jednoduchá. Musíme udělat mapy pro vstup T_j a má-li se vnitřní proměnná měnit pak je $T_j=1$. Pokud se měnit nemá $T_j=0$.

REALIZACE SYNCHRONNÍHO BINÁRNÍHO ČÍTAČE

$Q_4^i Q_3^i$ \ $Q_1^i Q_2^i$		00	10	11	01
		00	01	10	11
00	01	0001	0010	0100	0011
01	10	0101	0110	1000	0111
11	11	1101	1110	0000	1111
10	00	1001	1010	1100	1011

$Q_4^{i+1} Q_3^{i+1} Q_2^{i+1} Q_1^{i+1}$

Z map snadno odvodíme pro PČ T

$$T_1 = 1$$

$$T_2 = Q_1$$

$$T_3 = Q_1 \cdot Q_2$$

$$T_4 = Q_1 \cdot Q_2 \cdot Q_3$$

1	1	1	1
1	1	1	1
1	1	1	1
1	1	1	1

T_1

0	1	1	0
0	1	1	0
0	1	1	0
0	1	1	0

T_2

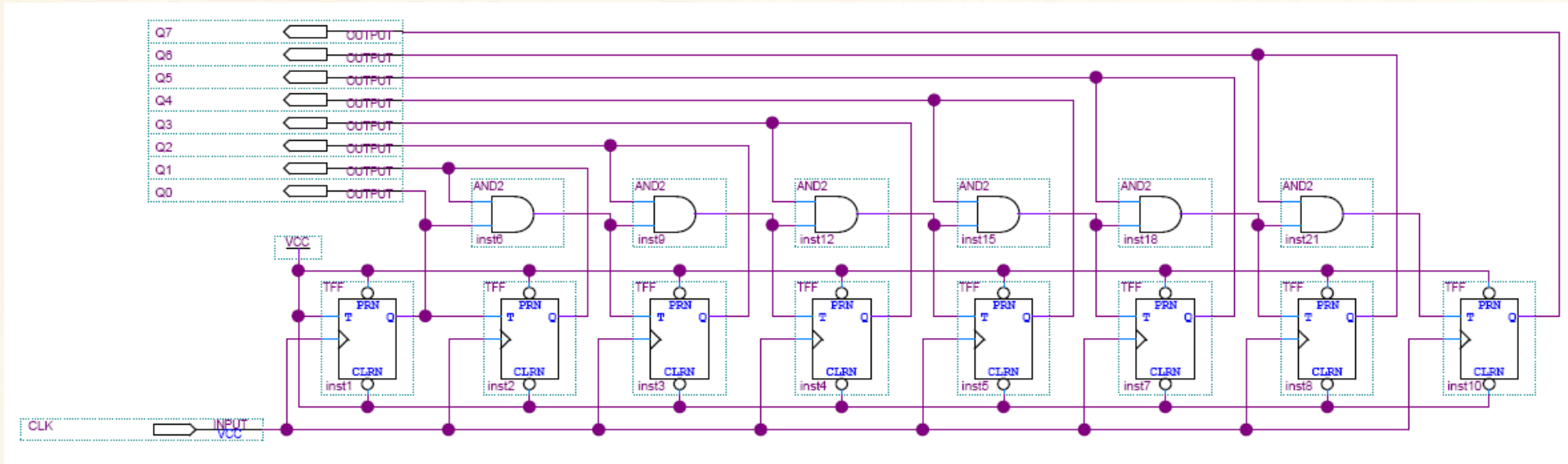
0	0	1	0
0	0	1	0
0	0	1	0
0	0	1	0

T_3

0	0	0	0
0	0	1	0
0	0	1	0
0	0	0	0

T_4

REALIZACE SYNCHRONNÍHO BINÁRNÍHO ČÍTAČE



Z jednotlivých řešení je zřejmé, jak můžeme minimálně vyráběný PČ T v integrované podobě realizovat s PČ D nebo JK. Řada programovatelných obvodů, ale paměťový člen T realizovat umí.

Stanovení maximálního hodinového kmitočtu.

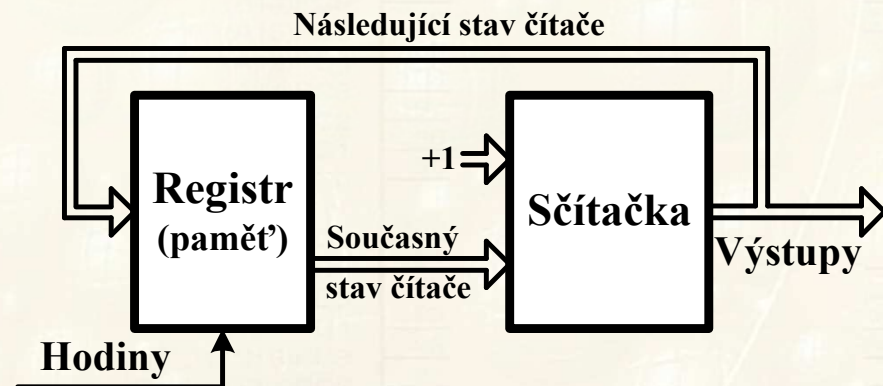
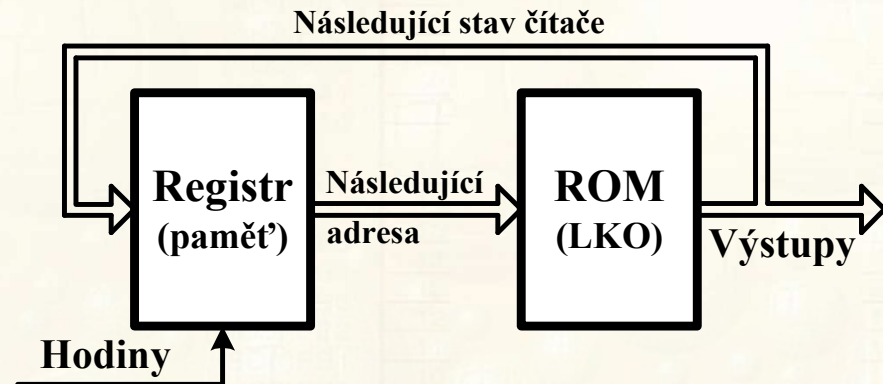
Pro f_{clk_max} musíme splnit dobu předstihu pro vstup PČ a nesmíme překročit hodnotu jeho maximálního hodinového kmitočtu. Pro F_{max} můžeme psát

$$F_{max} = \frac{1}{t_{setup} + t_{pC \rightarrow Q} + t_{pmax} \text{ (v logické části)}}$$

Další možné realizace čítačů

❖ **Mikroprogramovatelnou strukturou** (automodifikací registru) tvořenou registrem jehož výstup představuje současný stav čítače, ale zároveň adresu do paměti, z které se přečte následující stav čítače nebo řídicí signály (řadič).

❖ **Registr s ALU** (sčítačkou). Tato struktura je součástí obvodů přímé číslicové syntézy DDS a lze ji realizovat přičítáním jedničky = čítač, nebo hodnoty >1 – fázový akumulátor.



REALIZACE SYNCHRONNÍHO BINÁRNÍHO ČÍTAČE

Realizace čítačů s proměnným modulem

❖ Asynchronní zkrácení cyklu

Při shodě stavu čítače s přednastavenou hodnotou K dojde k jeho vynulování. V jedné periodě hodin bude krátce stav K a potom nula.

❖ Synchronní zkrácení cyklu

Bezpečnější řešení, po dvě periody hodin bude stav čítače 0 (je-li čítač pod asynchronním nulováním nereaguje na hodiny).

❖ Čítač s přednastavením

Struktura umožňující změnu dělicího poměru ve fázových závěsech. Dnes nahrazována fázovým akumulátorem.

