Paralelní připojení paměti ke společné sběrnici

PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ

- Adresové vodiče paměti Am až A0, kde 2^{m+1} odpovídá kapacitě paměti, se **obvykle** propojí s odpovídajícími signály adresové sběrnice.
- Datové vodiče paměti se propojí s datovou sběrnicí.
  - U programové paměti Di na Di, Aj na Aj.
  - U datové paměti může být propojení libovolné - snazší realizace PCB.

Aktivaci paměti zajišťuje signál vytvořený LKO tzv. **adresovým dekodérem**

- **CS** (Chip Select) nebo CE (Chip Enable) pro aktivaci celého paměťového obvodu.

Vytvořit signály pro čtení a zápis do paměti

- **OE** (Output Enable) aktivující výstupní budiče paměti
- **WR** u pamětí umožňujících zápis do paměti.

PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ

Před zapojením zbývajících vodičů adresové sběrnice (m+1 až 15 nebo 26 (ARM)) a řídících signálů, **musíme uvážit** zda:

- Budeme využívat celý adresový prostor – **úplné dekódování**
- Nevyužijeme celý adresový prostor
  - **Možnost opakování (zrcadlení) prostoru paměti**
  - **Možnost lineárního dekódování**
- Přímý adresový prostor procesoru není pro danou aplikaci postačující – **stránkování paměti**

Obvod realizující zvolenou variantu - **adresový dekodér**, který musí jednoznačně identifikovat určitý rozsah adres nebo konkrétní adresu, která je paměti nebo periferii přidělena.

Úplný adresový dekodér je funkcí všech nebo jen těch adresových vodičů, které nebyly použity k vlastnímu adresování paměti nebo periferie.

ADRESOVÝ DEKODÉR

Příklad: Přepokládejme identifikaci adresy 9 pro adresovou sběrnici tvořenou 5 adresovými vodiči.

Adresa 9 je vyjádřena tímto stavem adresových vodičů:

A4=0, A3=1, A2=0, A1=0 a A0=1 zkráceně 01001 (0x09)

Aktivační signály pamětí jsou aktivní v log. 0 (obvykle) ⇒ LKO musí mít jen ve stavu 01001 na svém výstupu log.0. Pro součtovou formu můžeme psát

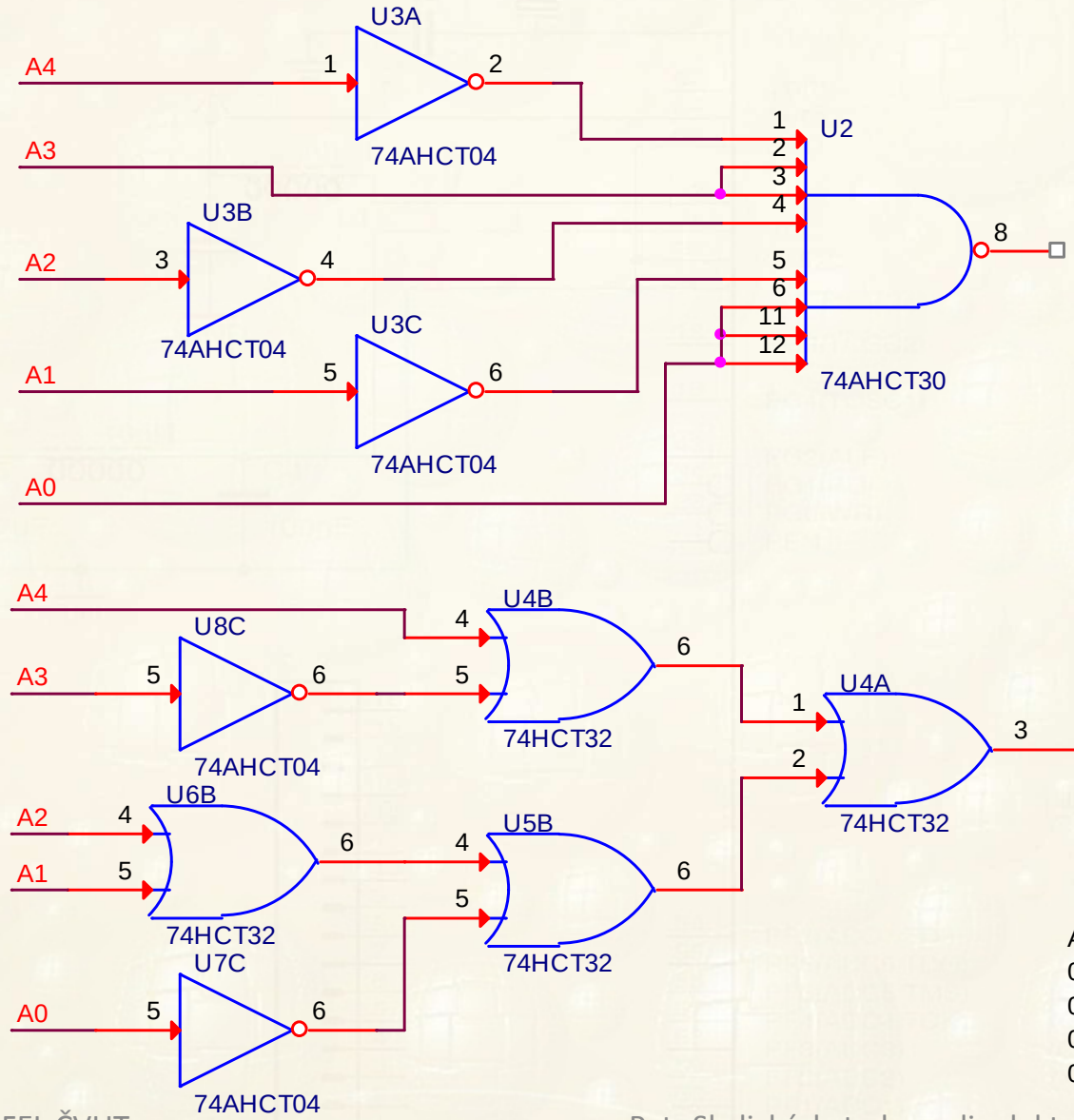
$$Y = A4 + \overline{A3} + A2 + A1 + \overline{A0}$$

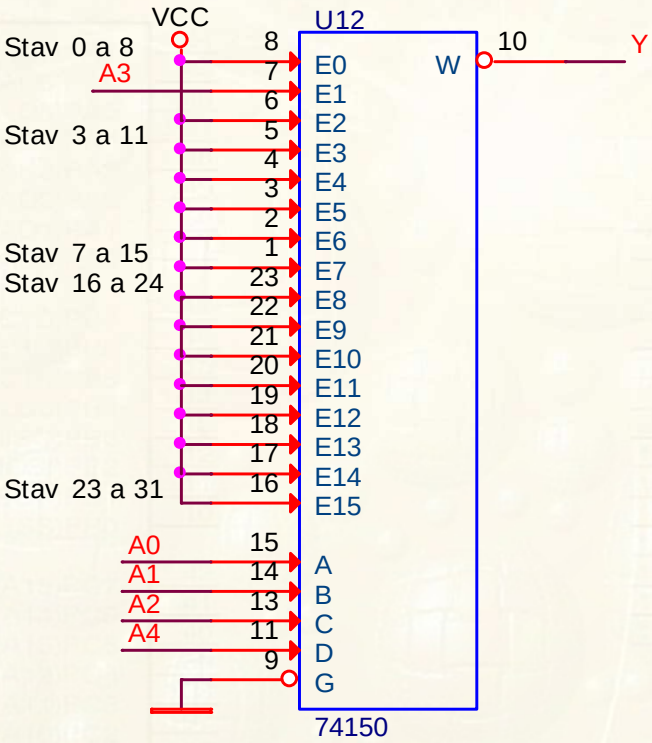
Výraz můžeme realizovat

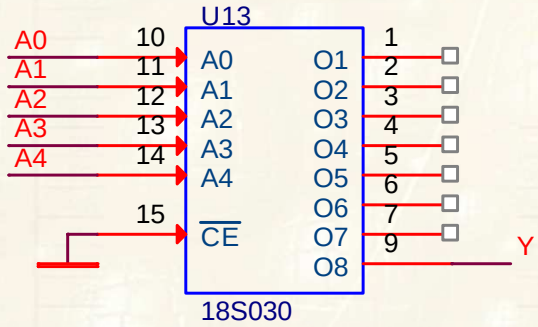
- Logickými hradly (NAND, NOR, AND, OR, AND a EX-OR)
- Specializovanými obvody (např. 74138, 74139).
- Pro PLD (schématem (hradla, MUX), pravdivostní tabulkou (pamětí), součtovou nebo součinovou formou nebo logickým zápisem ve VHDL (RTL, behaviorálním, strukturálním)).

ADRESOVÝ DEKODÉR

Adresový dekodér hodnoty 9 může vypadat například takto:



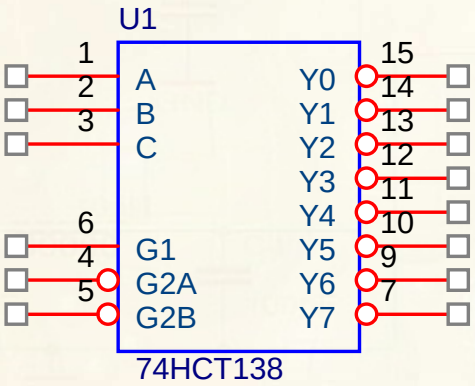




ADRESA	OBSAH PAMETI							
0000h	FFh	FFh	FFh	FFh	FFh	FFh	FFh	FFh
0008h	FFh	7Fh	FFh	FFh	FFh	FFh	FFh	FFh
0010h	FFh	FFh	FFh	FFh	FFh	FFh	FFh	FFh
0018h	FFh	FFh	FFh	FFh	FFh	FFh	FFh	FFh

PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ

V době, kdy se paměť procesorového systému skládala z několika pamětí, byly vyvinuty obvody, které usnadňují realizaci adresového dekodéru (I3205, 74138, 74139, atd.). Logická funkce obvodu 138 je následující



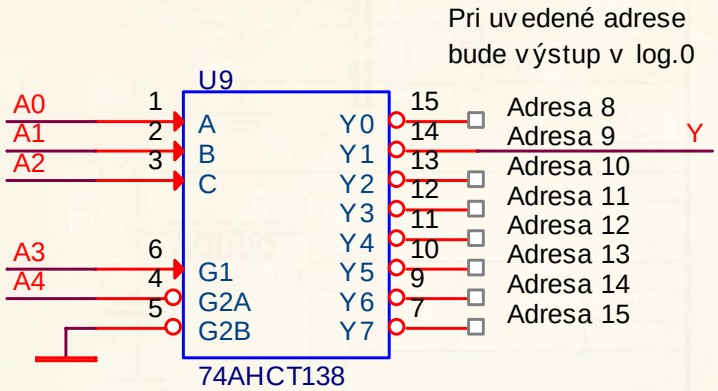
VSTUPY						VÝSTUPY							
C	B	A	G1	G2 A	G2 B	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	1	0	0	1	1	1	1	1	1	1	0
0	0	1	1	0	0	1	1	1	1	1	1	0	1
0	1	0	1	0	0	1	1	1	1	1	0	1	1
0	1	1	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	0	0	1	1	0	1	1	1	1	1
1	1	0	1	0	0	1	0	1	1	1	1	1	1
1	1	1	1	0	0	0	1	1	1	1	1	1	1
x	x	x	0	x	x	1	1	1	1	1	1	1	1
x	x	x	x	1	x	1	1	1	1	1	1	1	1
x	x	x	x	x	1	1	1	1	1	1	1	1	1

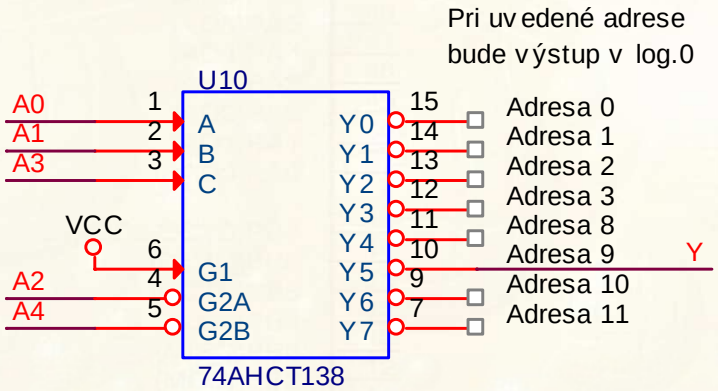
$$Y0 = C + B + A + \overline{G1} + G2A + G2B$$

$$Y1 = C + B + \overline{A} + \overline{G1} + G2A + G2B$$

$atd.$

Adresový dekodér hodnoty 9 realizovaný 74138





VSTUPY						VÝSTUPY							
C	B	A	G1	G2 A	G2 B	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	1	0	0	1	1	1	1	1	1	1	0
0	0	1	1	0	0	1	1	1	1	1	1	0	1
0	1	0	1	0	0	1	1	1	1	1	0	1	1
0	1	1	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	1	0	0	1	1	0	1	1	1	1	1
1	1	0	1	0	0	1	0	1	1	1	1	1	1
1	1	1	1	0	0	0	1	1	1	1	1	1	1
x	x	x	0	x	x	1	1	1	1	1	1	1	1
x	x	x	x	1	x	1	1	1	1	1	1	1	1
x	x	x	x	x	1	1	1	1	1	1	1	1	1

PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ

Má-li paměť pouze aktivační signál CS (ROM, PROM) potom

$$CS = f(A_n, .. ,A_j,SA)$$

kde A_n až A_j jsou adresové vodiče nepoužité k adresování paměti, SA je jeden nebo více signálů identifikující přístup do daného paměťového prostoru.

Je-li paměť vybavena vývody CS (CE) a OE potom **standardně** bývá

$$CS = f(An, .. ,Aj) \quad a \quad OE = g(SA)$$

Funkce f může obsahovat proměnou SA a funkce g adresové vodiče **⇒ zapojení ovlivňuje odběr z napájení a časové parametry**.

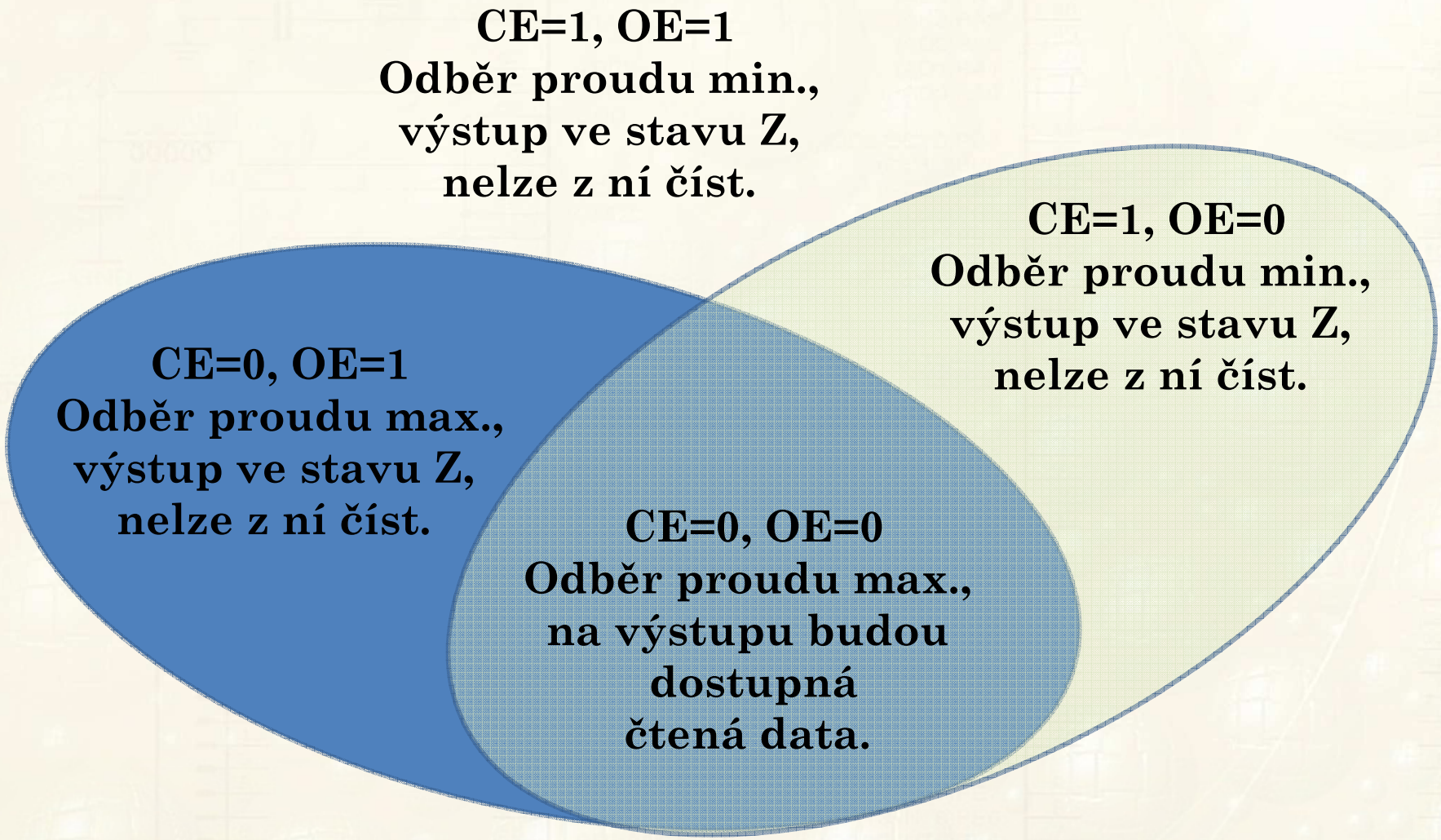
Ke čtení z paměti dojde v okamžiku kdy **CS=0 i OE=0.**

t_{ACC} doba aktivace paměti od CS=0 a platné adresy

t_{OE} doba aktivace od OE=0

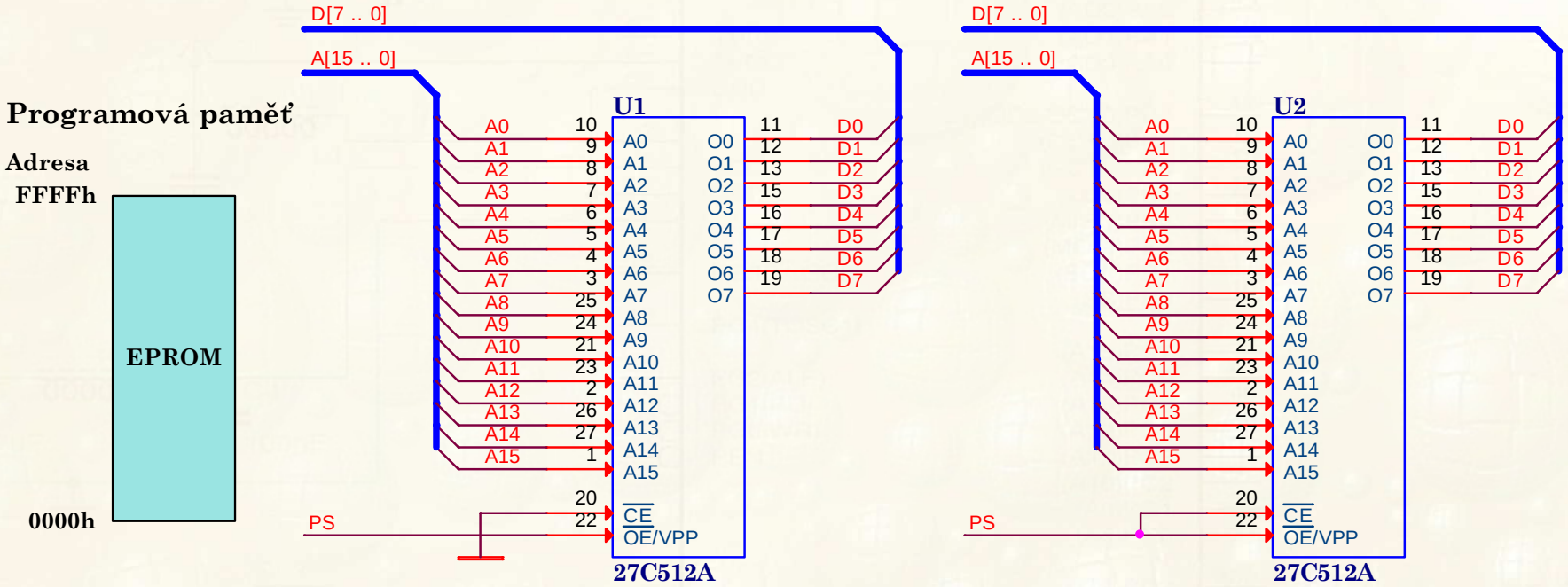
Doba přístupu do paměti t_{ACC} je obvykle dvakrát až třikrát větší, než doba $t_{OE.}$ **Procesor vysílá adresu místa**, z kterého se bude číst/zapisovat, **obvykle v předstihu před řídícím signálem.**

Varianty chování paměti se dvěma aktivačními vstupy



PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ

Připojení paměti o kapacitě celého přímo adresovatelného prostoru (zde 64kB, adresový prostor 0000h÷FFFFh po 8-bitech).



Všechny adresové vodiče procesoru využity k adresování paměti.

- CS může být stále aktivní (log.0) ⇒ **Větší spotřeba**
- CS aktivován společně se vstupem OE aktivačním signálem daného paměťového prostoru (varianta vpravo) ⇒ **Vyšší nároky na rychlost paměti.**

PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ

Připojení menší paměti, než je přímý adresový prostor (zde 32kB, umístěné v dolní polovině adresového prostoru 0000h÷7FFFh).

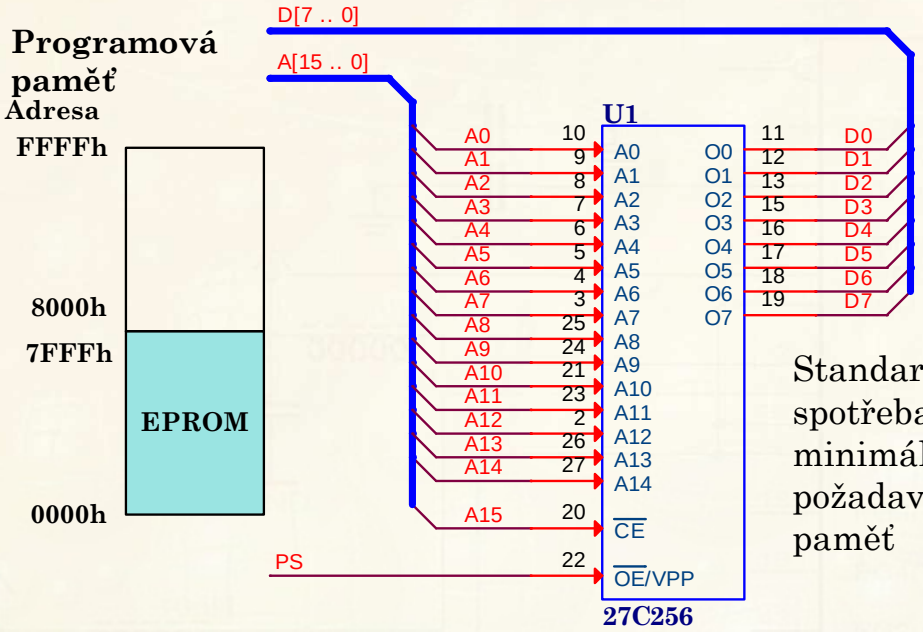
Adresa (hex)	Adresové vodiče															
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0001h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
÷	0							÷								Paměť
7FFFh	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
8000h	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
÷								÷								
FFFFh	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Modrá oblast ⇒ adresování paměti, **červený** - zbývající adresový vodič a **PS** – signál pro aktivaci programového prostoru

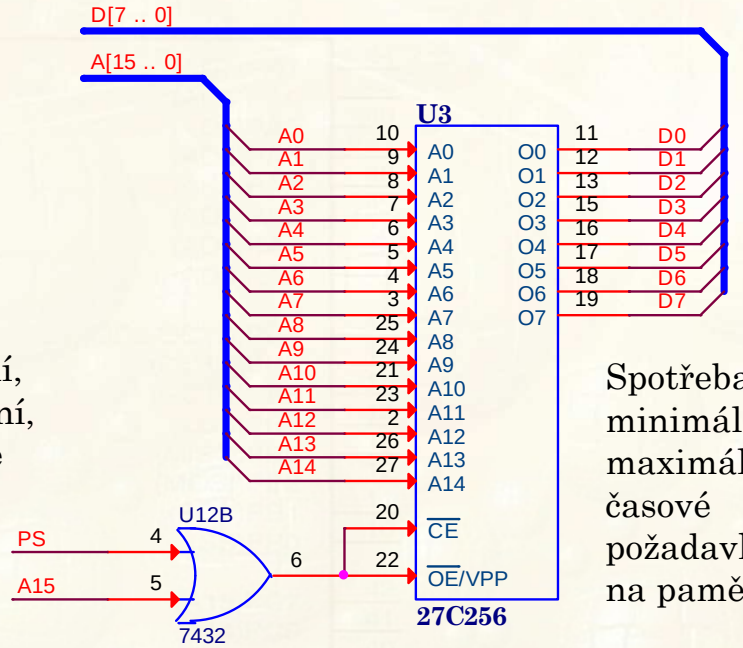
K vybavení obsahu paměti dojde při CS=0 a OE=0. Funkce f a g mohou být připojeny:

- ✓ Standardně **CS=f()=A15** a **OE=g()=PS**
- ✓ Nízká spotřeba/rychlejší paměť **f()=g()=A15+PS**
- ✓ Nejrychlejší přístup/vyšší spotřeba **f()=0** a **g()=A15+PS**
- ✓ Možné s nejhoršími čas.parametry **f()=PS** a **g()=A15**

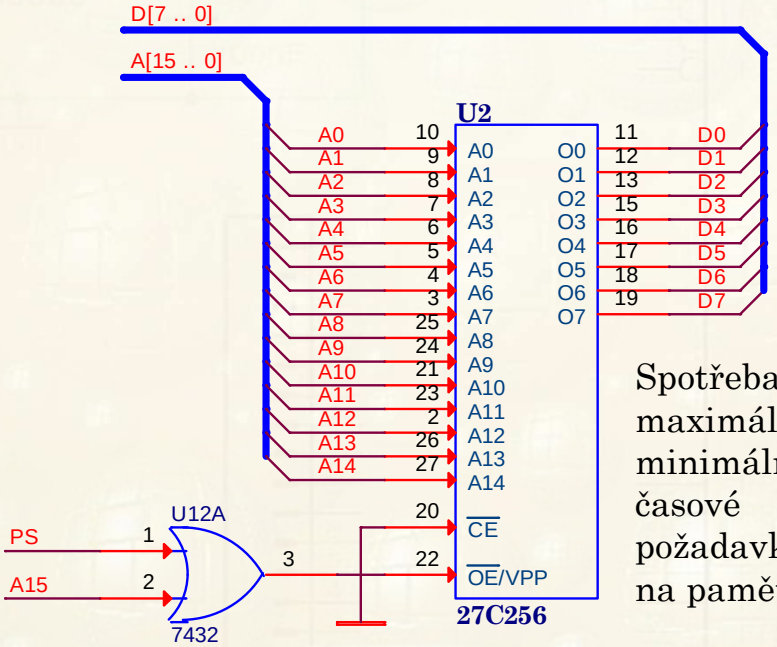
MOŽNÁ PARALELNÍ PŘIPOJENÍ VNĚJŠÍ PAMĚTI



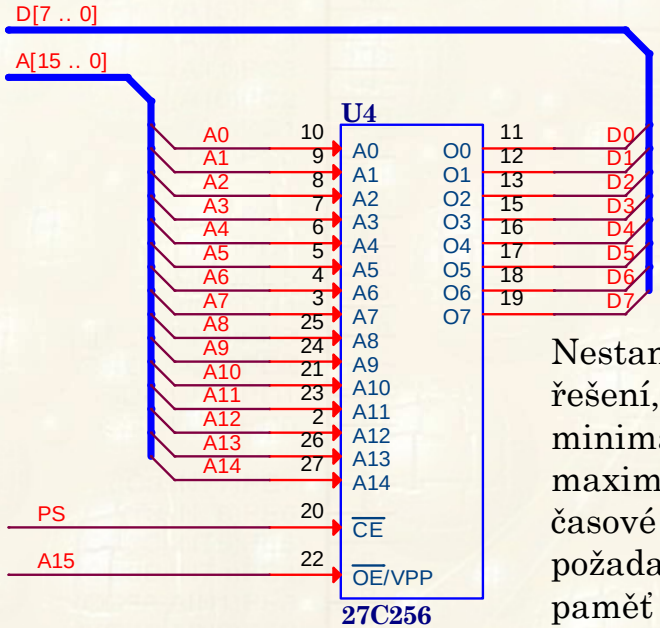
Standardní řešení, spotřeba optimální, minimální časové požadavky na paměť



Spotřeba minimální, maximální časové požadavky na paměť



Spotřeba maximální, minimální časové požadavky na paměť



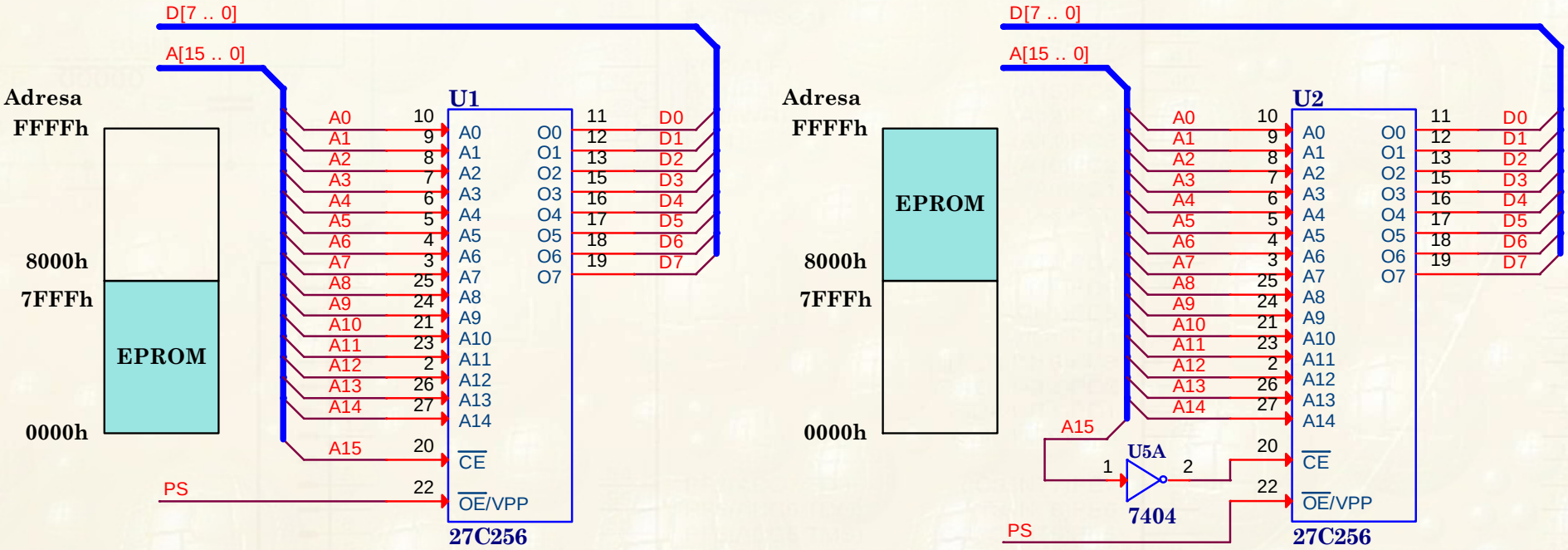
Nestandardní řešení, spotřeba minimální maximální časové požadavky na paměť

PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ – FUNKCE VÝVODU CS

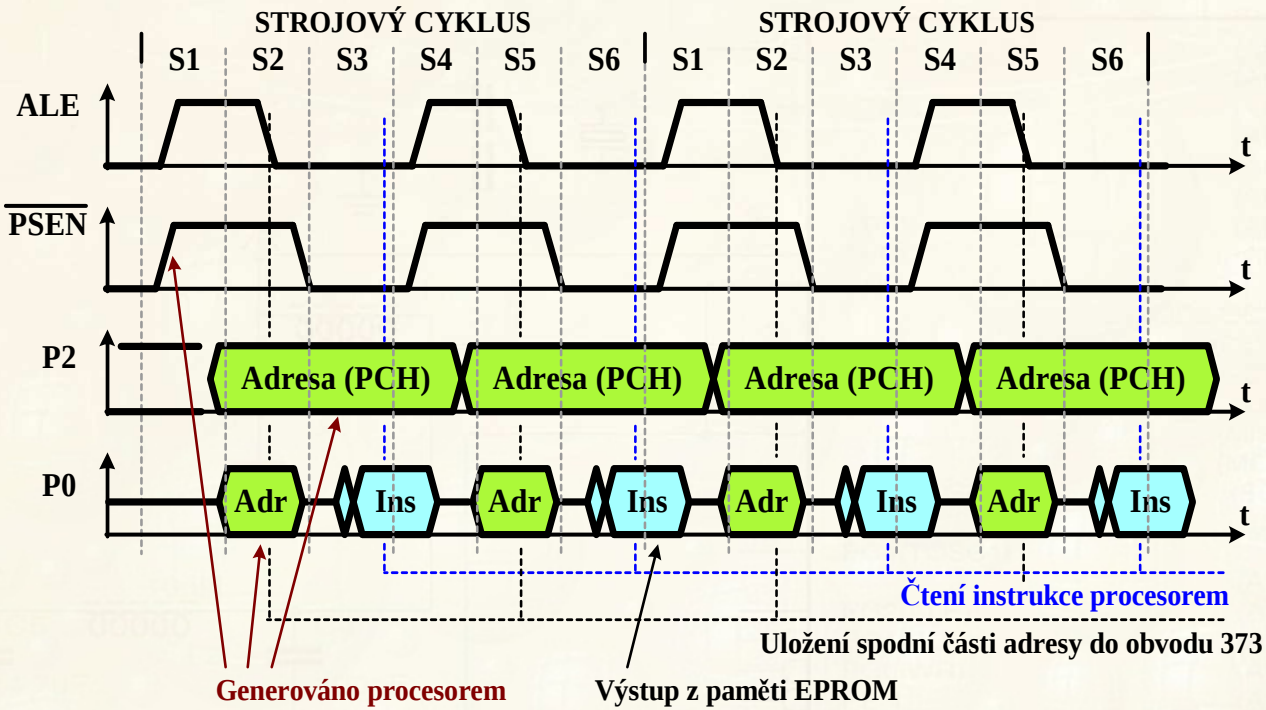
Funkce přivedená na CS ⇒ **Určuje v jakém adresovém prostoru bude paměť aktivována.**

Pro paměť o kapacitě 32kB (polovina přímo adresovatelného programového prostoru procesoru) bude paměť **obvykle** umístěna:

- V dolní polovině (zapojení vlevo) adresového prostoru pro A15=0
- V horní polovině (zapojení vpravo) adresového prostoru (A15=1).



VYTVOŘENÍ SBĚRNICE U JEDNOČIPOVÝCH PROCESORŮ

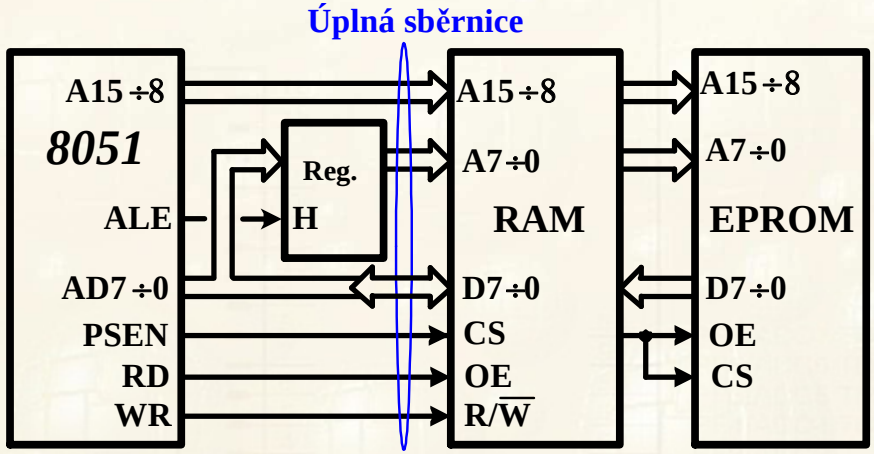


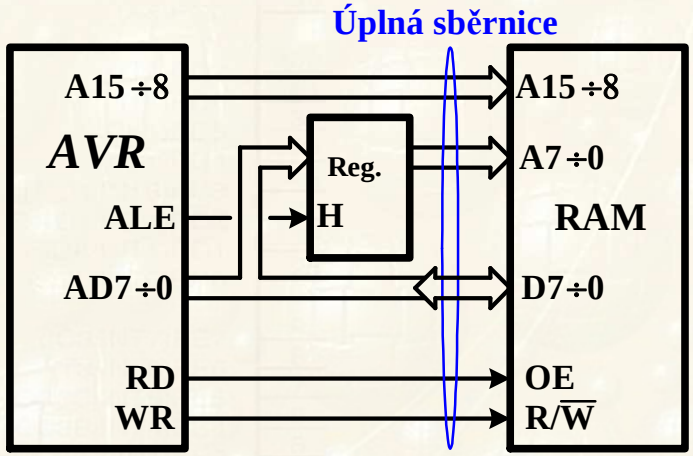
Na 16-bitovou adresovou a 8-bitovou datovou sběrnici potřeba tří V/V bran.

Brána P0 - časově přepínaná

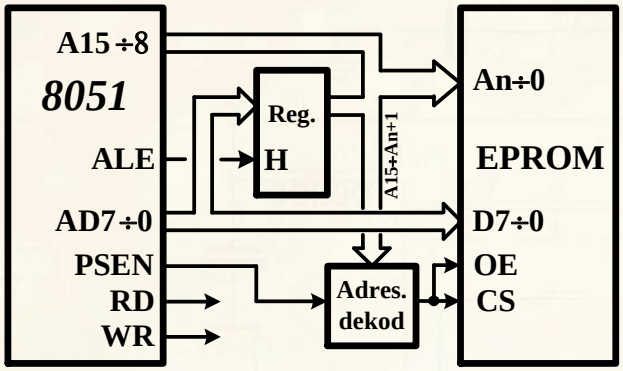
Část adresy / data.

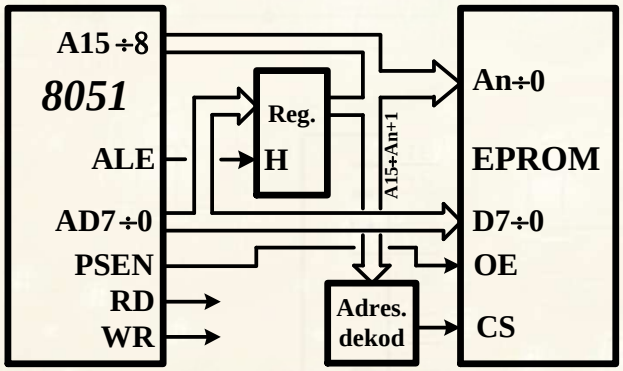
Horní část adresy je na bráně **P2** nebo **PC** (AVR).

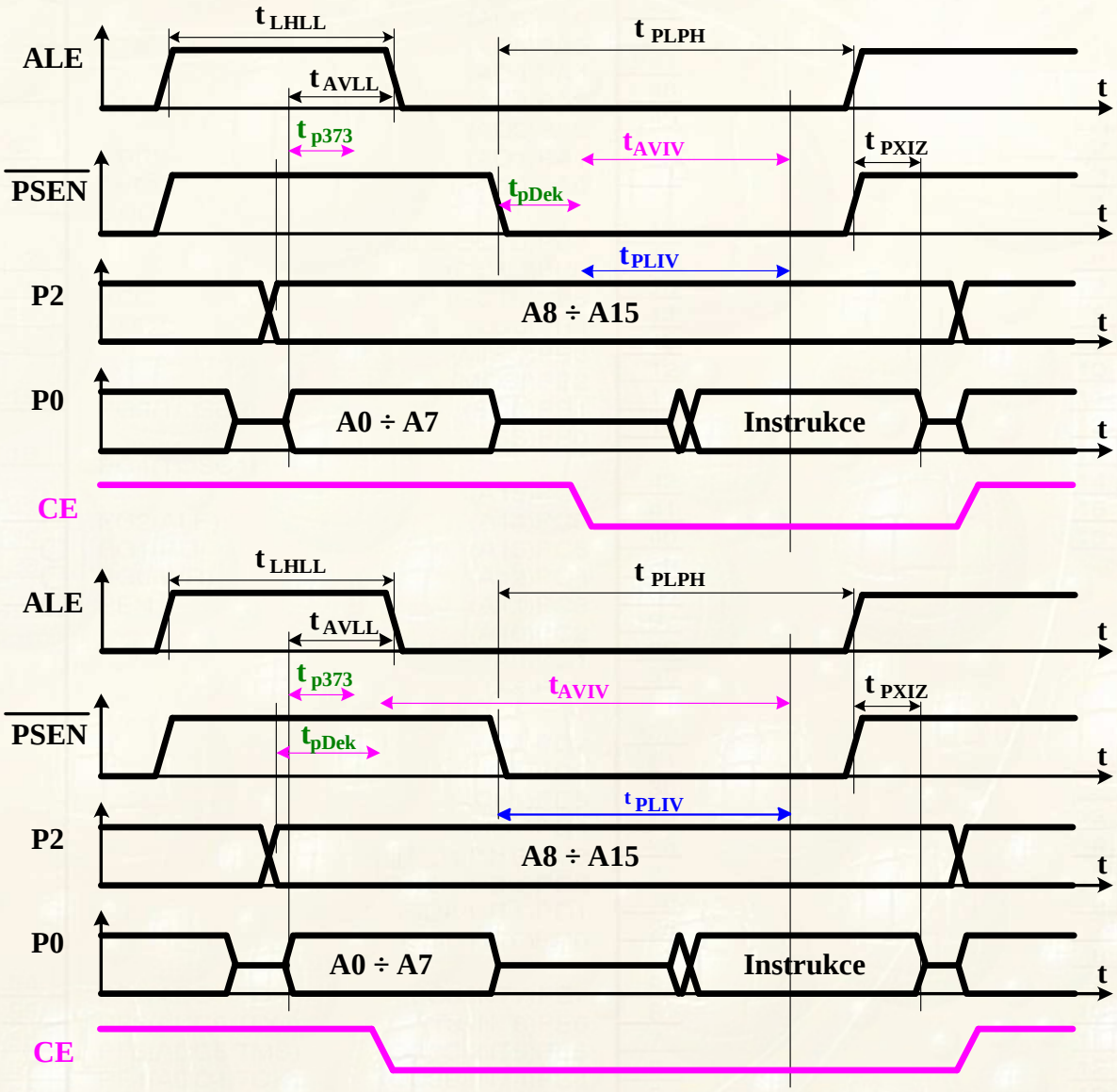




ČASOVÁNÍ PŘI RŮZNÉM PŘIPOJENÍ PROGRAMOVÉ PAMĚTI







UKÁZKA VÝPISU ČASOVÝCH PARAMETRŮ PROCESORU

AC ELECTRICAL CHARACTERISTICS[1, 2]

SYMBOL	FIGURE	PARAMETER	12MHz CLOCK		16MHz CLOCK		VARIABLE CLOCK		UNIT
			MIN	MAX	MIN	MAX	MIN	MAX	
$1/t_{CLCL}$	2	Oscillator frequency					3.5	16	MHz
t_{LHLL}	2	ALE pulse width	127		85		$2t_{CLCL}-40$		ns
t_{AVLL}	2	Address valid to ALE low	28		8		$t_{CLCL}-55$		ns
t_{LLAX}	2	Address hold after ALE low	48		28		$t_{CLCL}-35$		ns
t_{LLIV}	2	ALE low to valid instruction in		234		150		$4t_{CLCL}-100$	ns
t_{LLPL}	2	ALE low to $\overline{PSEN}$ low	43		23		$t_{CLCL}-40$		ns
t_{PLPH}	2	$\overline{PSEN}$ pulse width	205		143		$3t_{CLCL}-45$		ns
t_{PLIV}	2	$\overline{PSEN}$ low to valid instruction in		145		83		$3t_{CLCL}-105$	ns
t_{PXIX}	2	Input instruction hold after $\overline{PSEN}$	0		0		0		ns
t_{PXIZ}	2	Input instruction float after $\overline{PSEN}$		59		38		$t_{CLCL}-25$	ns
t_{AVIV}	2	Address to valid instruction in		312		208		$5t_{CLCL}-105$	ns
t_{PLAZ}	2	$\overline{PSEN}$ low to address float		10		10		10	ns
Data Memory									
t_{AVLL}	3, 4	Address valid to ALE low	43		23		$t_{CLCL}-40$		ns
t_{RLRH}	3	$\overline{RD}$ pulse width	400		275		$6t_{CLCL}-100$		ns
t_{WLWH}	3	$\overline{WR}$ pulse width	400		275		$6t_{CLCL}-100$		ns
t_{RLDV}	3	$\overline{RD}$ low to valid data in		252		148		$5t_{CLCL}-165$	ns
t_{RHDX}	3	Data hold after $\overline{RD}$	0		0		0		ns
t_{RHDZ}	3	Data float after $\overline{RD}$		97		55		$2t_{CLCL}-70$	ns
t_{LLDV}	3	ALE low to valid data in		517		350		$8t_{CLCL}-150$	ns
t_{AVDV}	3	Address to valid data in		585		398		$9t_{CLCL}-165$	ns
t_{LLWL}	3, 4	ALE low to $\overline{RD}$ or $\overline{WR}$ low	200	300	138	238	$3t_{CLCL}-50$	$3t_{CLCL}+50$	ns
t_{AVWL}	3, 4	Address valid to $\overline{WR}$ low or $\overline{RD}$ low	203		120		$4t_{CLCL}-130$		ns
t_{QVWX}	4	Data valid to $\overline{WR}$ transition	23		3		$t_{CLCL}-60$		ns
t_{DW}	4	Data before $\overline{WR}$	433		288		$7t_{CLCL}-150$		ns
t_{WHQX}	4	Data hold after $\overline{WR}$	33		13		$t_{CLCL}-50$		ns
t_{RLAZ}	4	$\overline{RD}$ low to address float		0		0		0	ns
t_{WHLH}	3, 4	$\overline{RD}$ or $\overline{WR}$ high to ALE high	43	123	23	103	$t_{CLCL}-40$	$t_{CLCL}+40$	ns

VÝPOČET ČASOVÝCH PARAMETRŮ µP SYSTÉMU

Určete maximální hodinový kmitočet systému s procesorem 80C552 vybaveného vnější pamětí programu flash s dobou přístupu t_{ACC}=90ns aktivované signálem PSEN (CS=OE=PSEN). Jako registr spodní části adresy použit obvod 74HCT373 s dobou předstihu t_{setup}≥6[ns] a hodinovým impulzem $t_H \geq 20$[ns]. Odtud musí být splněno

$$t_{setup} \geq 6[ns] \leq t_{AVLL}=1/f_{OSC}-25$$

$$t_{zapis} \geq 20[ns] \leq t_{LHLL}=2/f_{OSC}-40$$

Použitý registr omezuje f_{OSC}

$$f_{OSC} \leq 30\ [MHz]$$

Pro správné čtení instrukcí z paměti flash musíme splnit časy t_{AVIV} platné instrukce od platné adresy a t_{PLIV} platné instrukce od sestupné hrany PSEN. Vzhledem k jednoduché aktivaci paměti flash můžeme psát

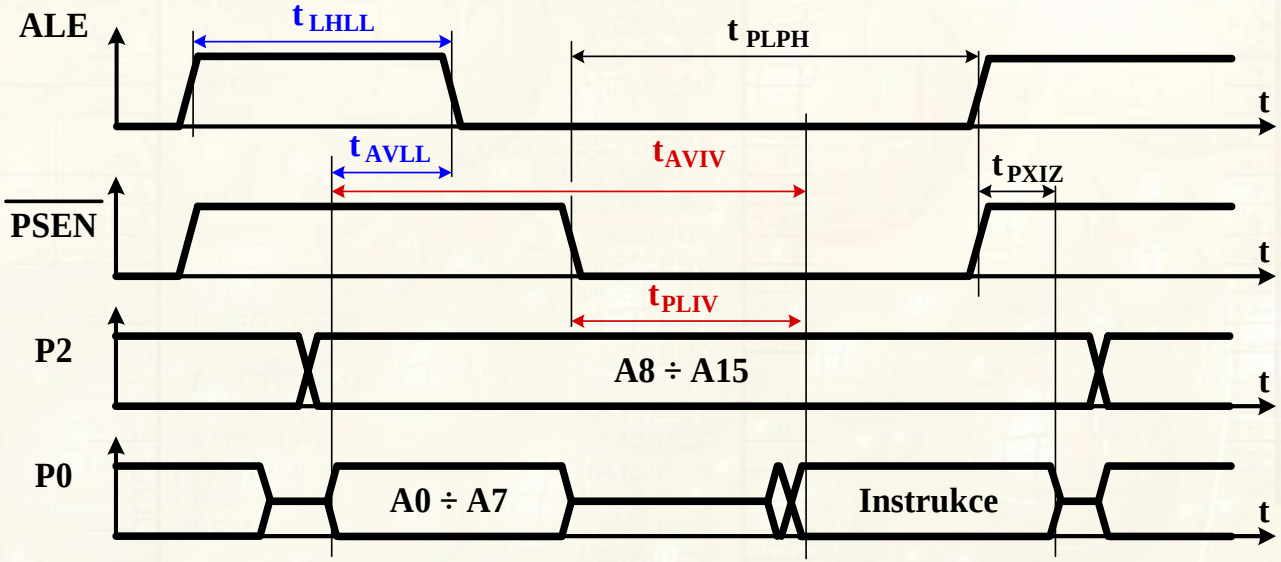
$$t_{AVIV}=5/f_{OSC}-80\ [ns]$$

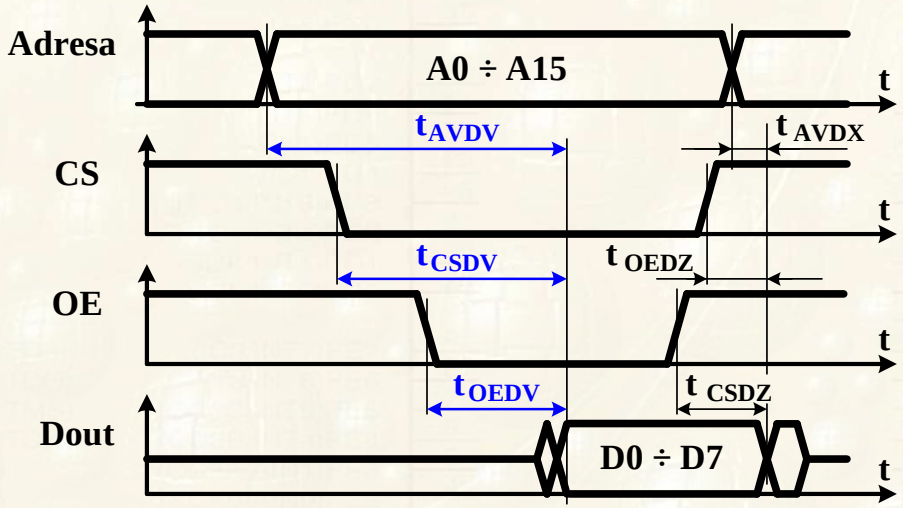
$$t_{PLIV}=3/f_{OSC}-60\ [ns]$$

Pro Flash 90[ns] a CS=OE=PSEN

$$90 \leq t_{PLIV}=3/f_{OSC}-60\ [ns]$$

Odtud $f_{OSC} \leq 20\ [MHz]$





VÝPOČET ČASOVÝCH PARAMETRŮ µP SYSTÉMU

Analogicky budeme provádět výpočet pro paměť RAM připojenou např. takto: CS=RD*WR, OE=RD a WR=WR. V tomto případě musíme kontrolovat oba časy t_{AVDV} i t_{RLDV}, které jsou pro daný procesor dány těmito vztahy

Doba vybavení od adresy $t_{AVDV}=9/f_{OSC}-165$ [ns]

Doba vybavení od OE $t_{RLDV}=5/f_{OSC}-90$ [ns]

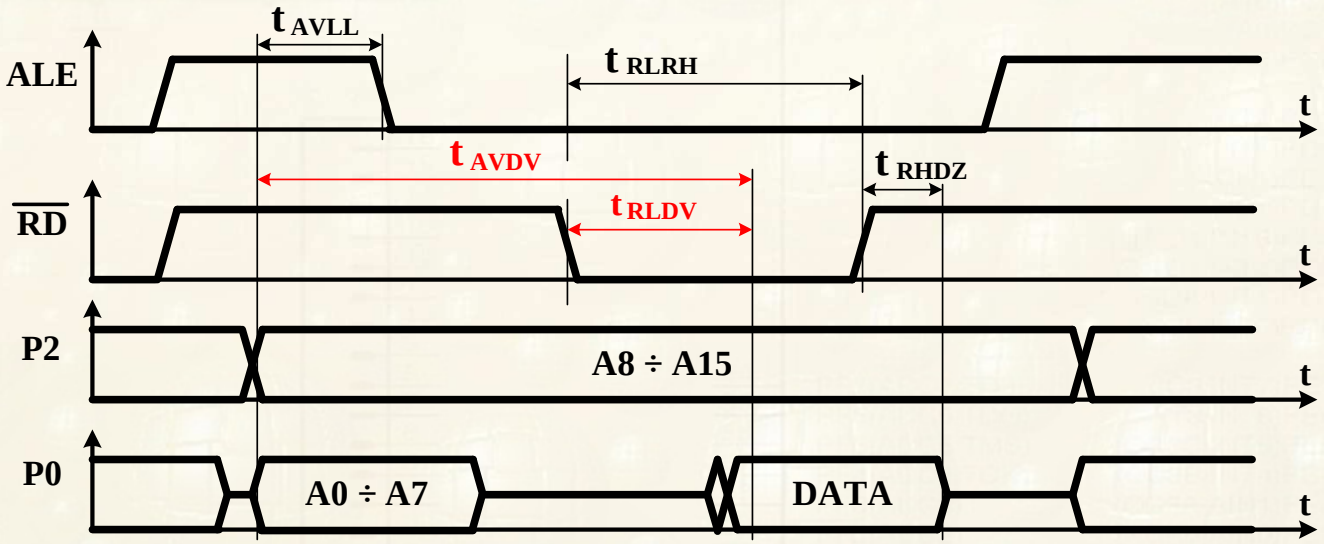
Aktivační signál CS=RD*WR, bude vytvářen v obvodu HCT08 s maximálním zpožděním $t_{PLHmax}=25$[ns]. Pro dobu vybavení paměti RAM ($t_{ACC}=200$[ns]) od platné adresy můžeme psát

$$200 + t_{PLHmax} \le t_{AVDV}=9/f_{OSC}-165 \text{ [ns]} \qquad \text{Odtud } f_{OSC} \le 23 \text{ [MHz]}$$

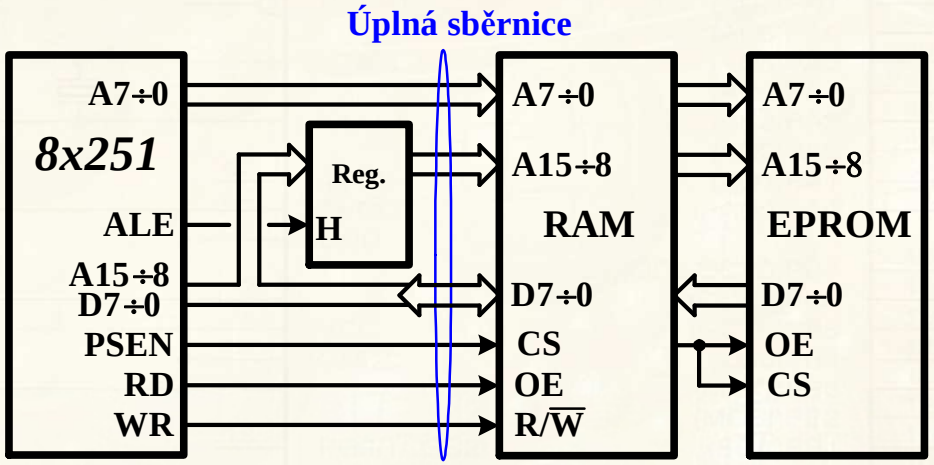
Aktivační signál RD z procesoru musí splnit dobu aktivace třístavového budiče paměti RAM ($t_{OE}=80$[ns]). Odtud

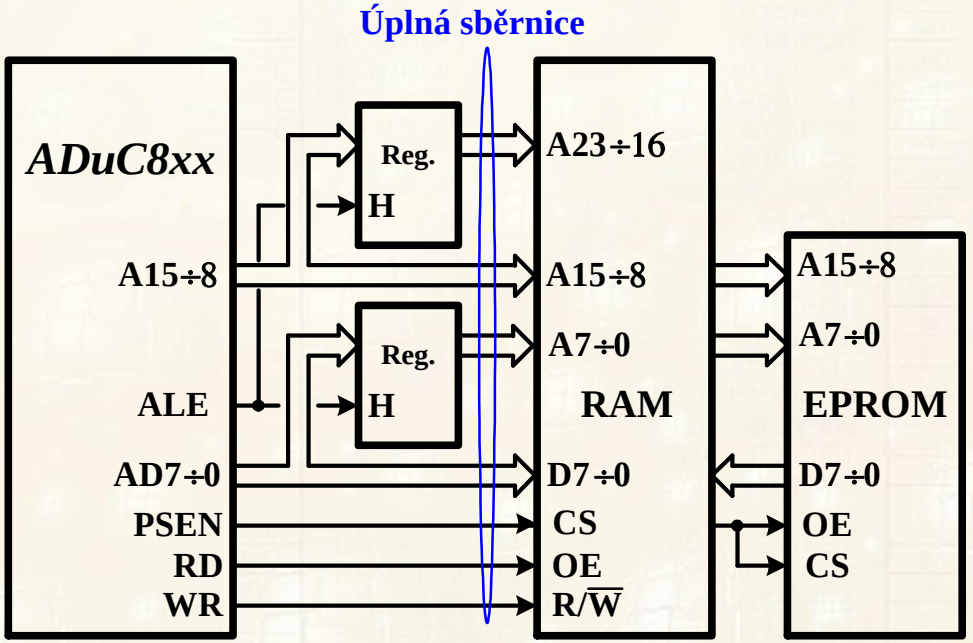
$$80 \le t_{RLDV}=5/f_{OSC}-90 \text{ [ns]} \qquad \text{Odtud } f_{OSC} \le 29{,}4 \text{ [MHz]}$$

Zkontrolován by měl být ještě signál WR a parametry pro zápis do paměti, které obvykle nejsou kritické a nejsou zobrazeny na obrázku. Analýzou bylo zjištěno, že maximální hodinový kmitočet pro použité součástky je 20MHz. **Všechny parametry musí být počítány z mezních katalogových údajů** a nikoliv z parametrů **změřených** na **stole v laboratoři**, které nebudou platit v celém rozsahu teplot a napájecího napětí.



VARIANTY VYTVOŘENÍ SBĚRNICE U JEDNOČIPOVÝCH PROCESORŮ





POMALÉ PERIFERIE PŘIPOJENÉ KE SPOLEČNÉ SBĚRNICI MIKROPOČÍTAČE

Komunikace mezi **mikroprocesorem a periferií** je obvykle **direktivní** tj. (bez potvrzení) ⇒ periferní obvod **musí** poskytnout nebo přijmout data v **době určené časováním procesoru.**

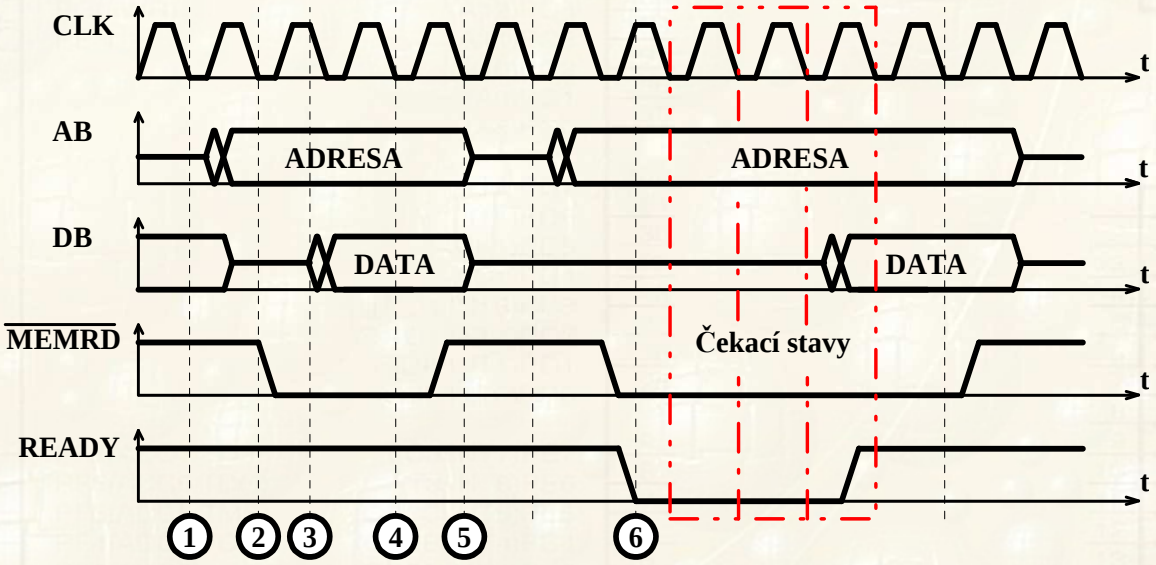
Procesory s krátkým strojovým cyklem jsou obvykle vybaveny:

- **vstupem** nebo **generátorem pro vkládání čekacích stavů**
- **programovatelným časováním**

Ukázka čtení z paměti s/bez čekání pro procesor s **čtyř fázovým** taktováním.

① Začátek strojového cyklu pro čtení – přivedení adresy na adresovou sběrnici.

② Aktivace řídícího signálu pro čtení paměti – adresový dekodér s řídícím signálem aktivuje periferii.



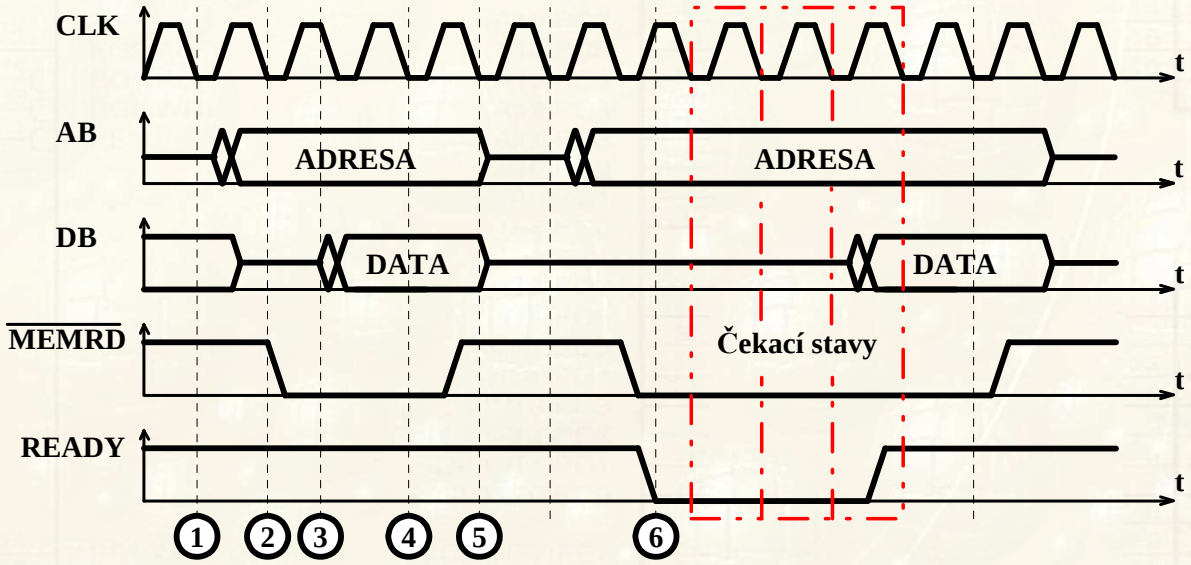
③ Za **dobu vybavení dat** jsou na datové sběrnici čtená data.

④ **Po ustálení poměrů na sběrnici** procesor čte data. Po přečtení hodnoty ukončí procesor signál čtení.

⑤ Dochází k deaktivaci paměti a přechod datové sběrnice do stavu vysoké impedance.

Přístup s čekacími stavy

⑥ Při platné adrese a řídícím signálu je **z dekodéru adresy od periferie do** procesoru vyslán signál READY (WAIT) nebo je v µP spuštěn generátor čekacích stavů, který způsobí vkládání potřebných čekacích stavů.



PERIFERIE PŘIPOJENÉ KE SPOLEČNÉ SBĚRNICI MIKROPOČÍTAČE

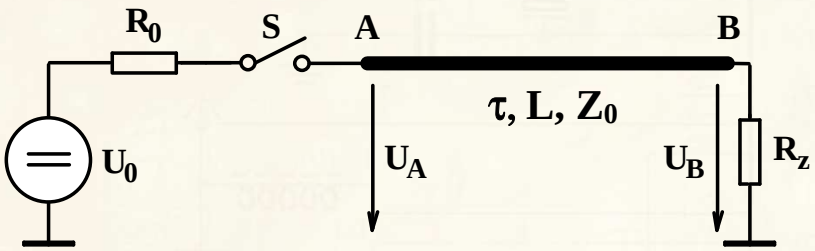
- Jsou-li k **delší sběrnici** (l>5cm) připojeny rychlé obvody s dobou přeběhu kratší, než dvojnásobek doby šíření po sběrnici, potom vodiče sběrnice představují vázaná **nesymetrická mikropásková vedení** s relativně malou charakteristickou impedancí 30÷60Ω (**odrazy na vedení**).
- Obtížné přizpůsobení k nízké impedanci
- Potlačení zákmitů
- Vedení řízené obvodem s otevřeným kolektorem
- Přenos mezi souběžnými vedeními
- Problematika současného spínání
- Oscilace způsobené plovoucí sběrnicí
- Pozor na připojení **pomalé periferie** např. LCD displeje ke společné sběrnici jako paměťově mapovaného obvodu.

♠ Parametry některých vedení v číslicové technice

Přenosové vedení	L' [μH/cm]	C' [pF/cm]	Z_o[Ω]	τ [ns/m]
Samostatný vodič daleko od země	20	0.06	600	~ 4
Twist. pár, plochý kabel se zemí	5 ÷ 10	0,5 ÷ 1	80 ÷ 100	5
Vodič na PC bordu	5 ÷ 10	0,5 ÷ 1,5	70 ÷ 100	5
Koaxiální kabel	2,5	1,0	50	5
Sběrnicové vedení	5 ÷ 10	10 ÷ 30	20 ÷ 40	10 ÷ 20

Snadným výpočtem zjistíme, že při době přechodu t_r=2ns, musíme na plochý kabel delší než L=tr/2τ=0,2 [m] pohlížet jako na přenosové vedení. V případě sběrnicového vedení je situace mnohem nepříznivější L=t_r/2τ=0,05[m].

Vstupní vlna na výstupu generátoru bude mít amplitudu



$$U_a = U_0 . \frac{Z}{R_0 + Z} \quad pro \quad t < 2\tau$$

Odražená vlna od zátěže bude dána

$$U_{R1} = U_a . \rho_B, \quad kde \quad \rho_B = \frac{R_z - Z}{R_z + Z} \quad a \quad t \in (\tau ; 3\tau)$$

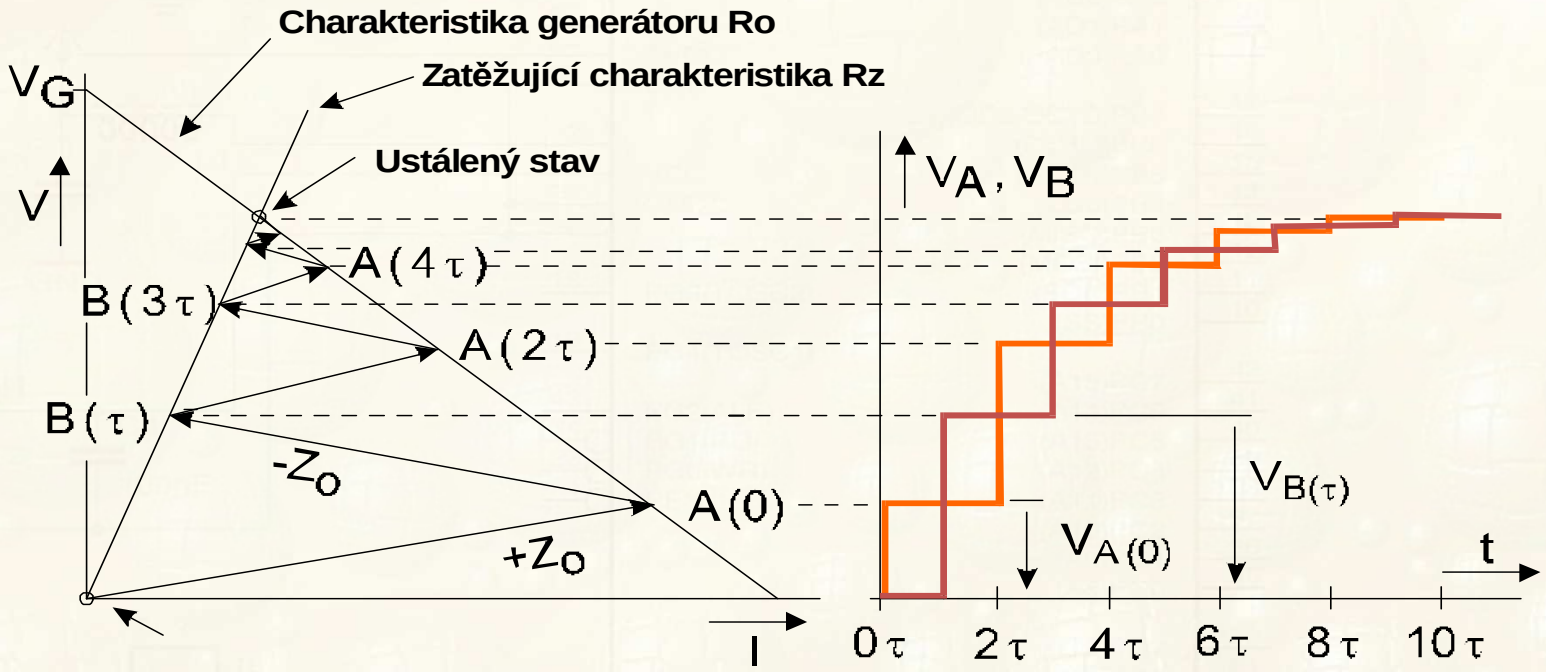
Odražená vlna od výstupu generátoru bude dána vztahem

$$U_{R2} = U_{R1} . \rho_A, \qquad kde \quad \rho_A = \frac{R_0 - Z}{R_0 + Z}$$

Pro ustálený stav pak můžeme psát

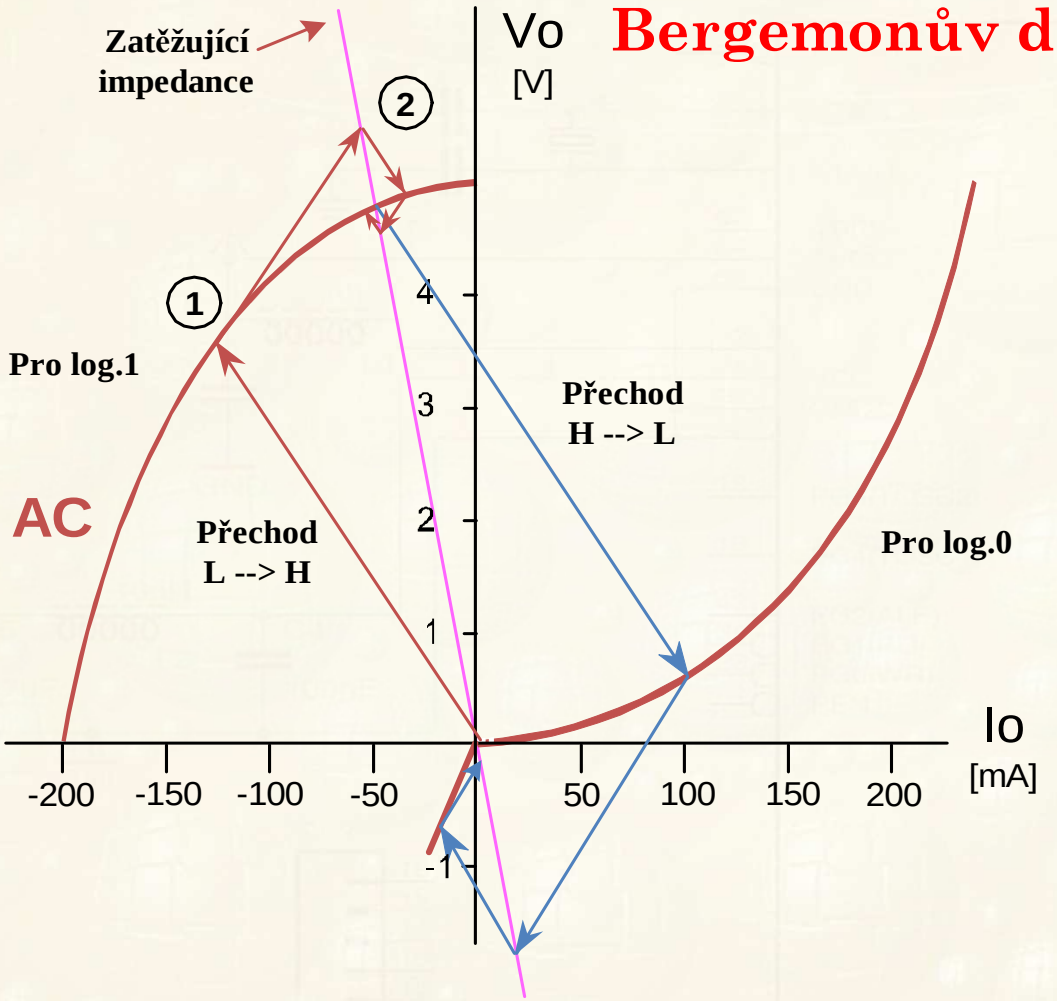
$$U_\infty = U_0 . \frac{R_z}{R_0 + R_z}$$

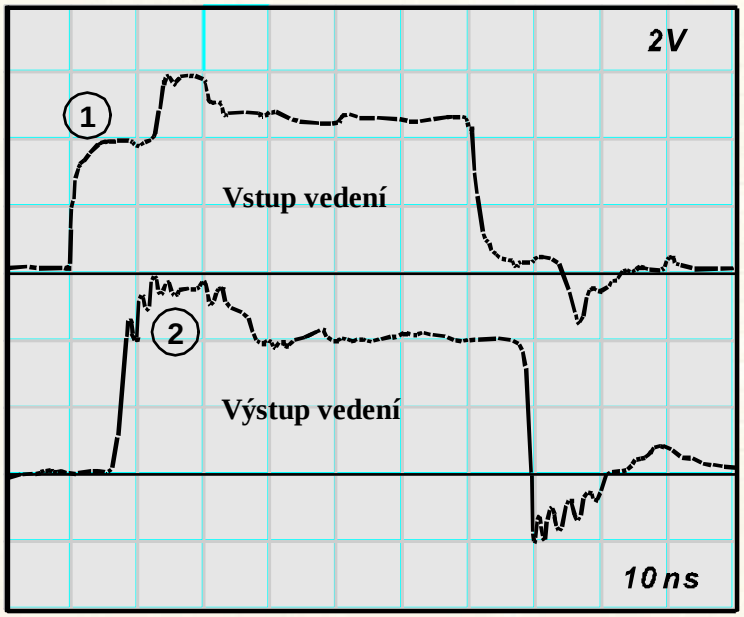
Změny napětí na vstupu a výstupu přenosového vedení lze odvodit i graficky pomocí tzv. **Bergeronova diagramu**.



V případě lineární zátěže a výstupní charakteristiky zdroje je výpočet jednoduchý. **U logických členů je výstupní i vstupní charakteristika nelineární** a v takovém případě grafická metoda má své opodstatnění. Díky ní můžeme snadno ověřit napětí na vstupu i výstupu přenosového vedení.

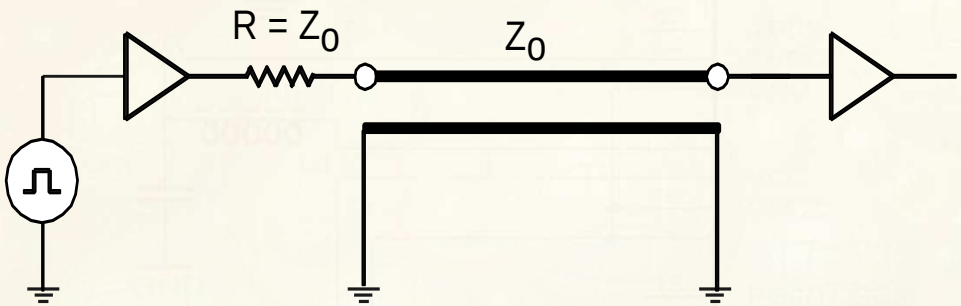
Bergemonův diagram v reálném případě.

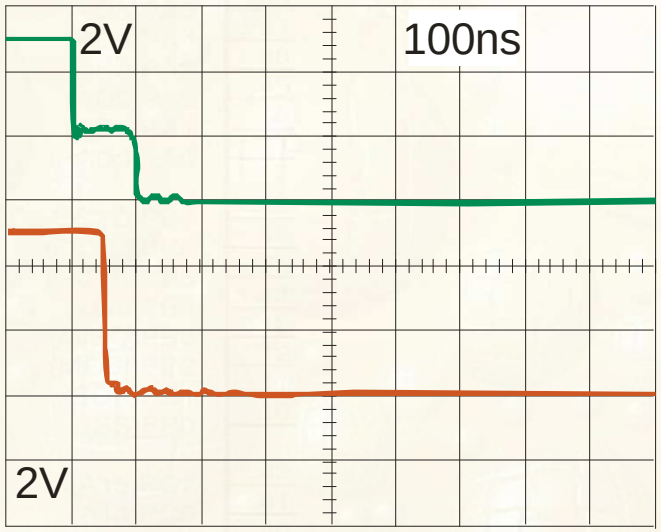


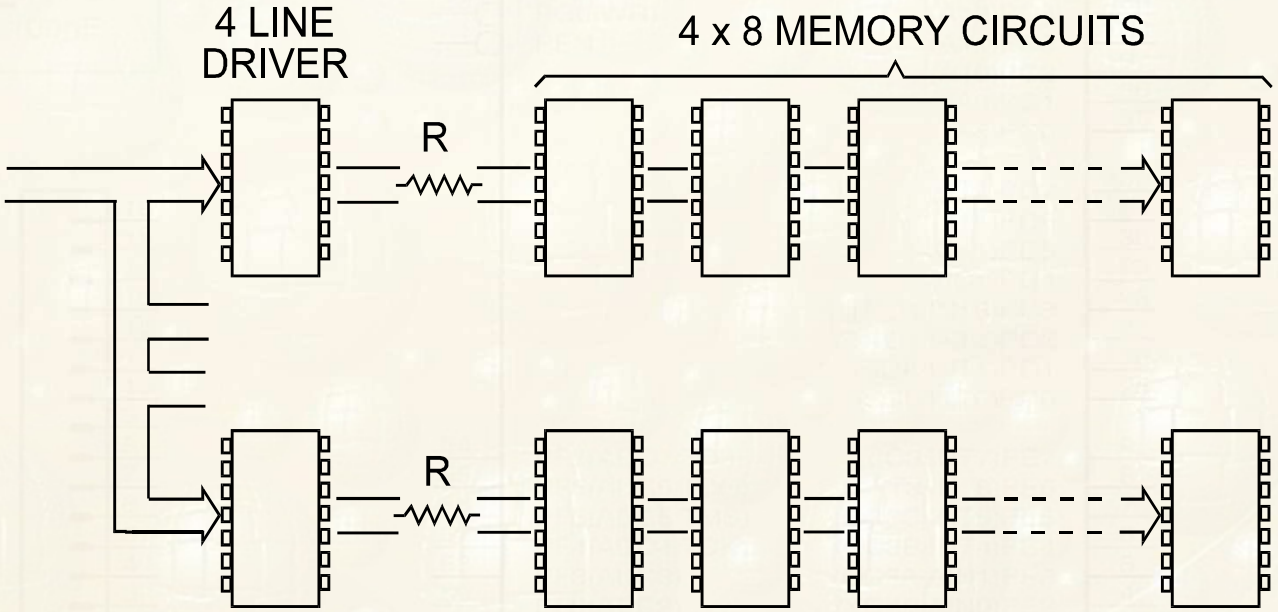


Díky nepřizpůsobení může při náběžné hraně dojít k překmitům napětí (až 6V) nebo k pomalému náběhu čela na vstupu logického členu v závislosti na zátěži a charakteristické impedanci. Sestupná hrana naopak způsobí záporný zákmit až k 1,5 až 2V.

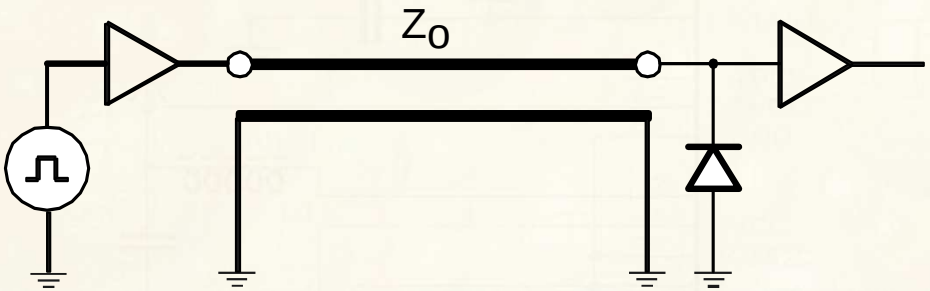
- Obtížné přizpůsobení k nízké impedanci ⇒ přizpůsobení na straně generátoru (paměťové obvody)

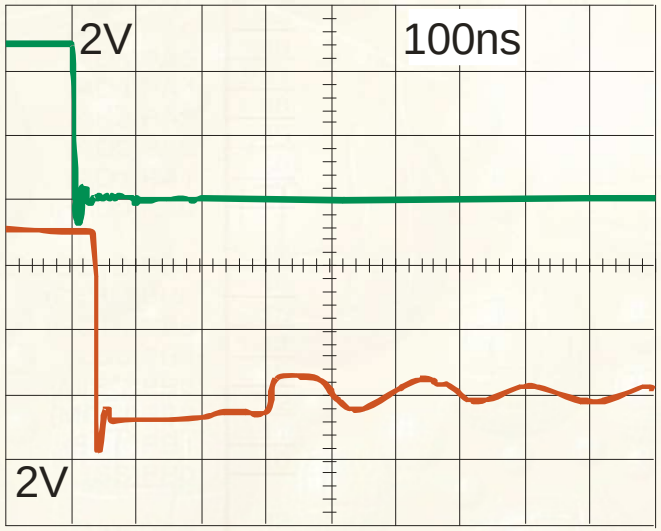






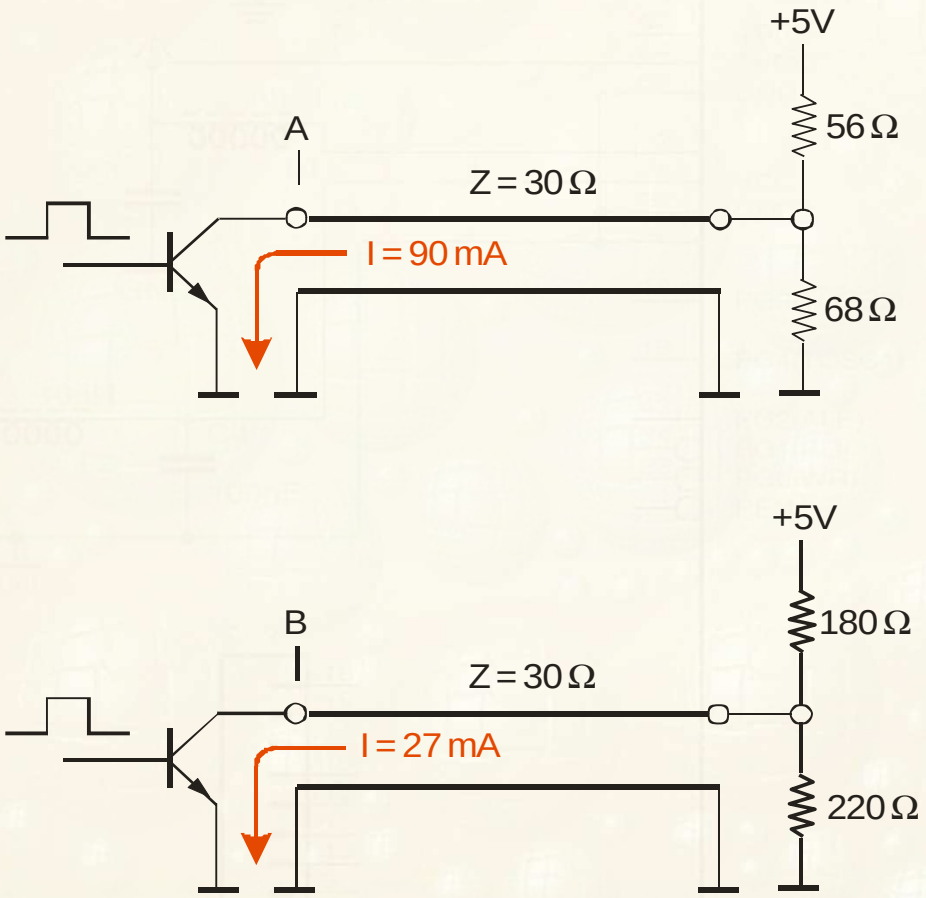
♠ Potlačení zákmitů – upínací dioda

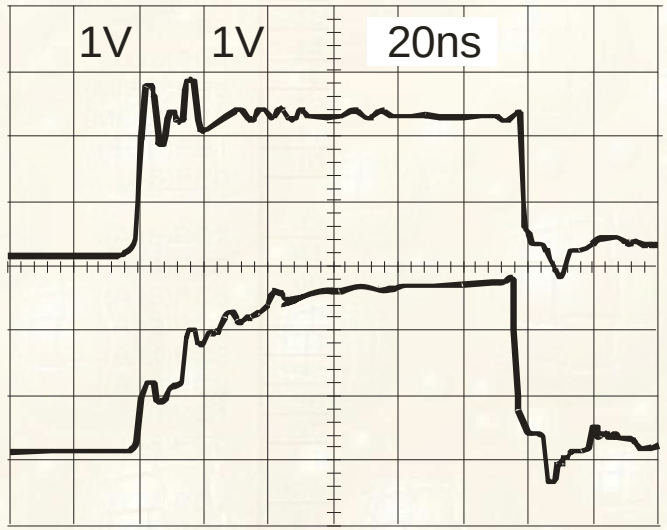




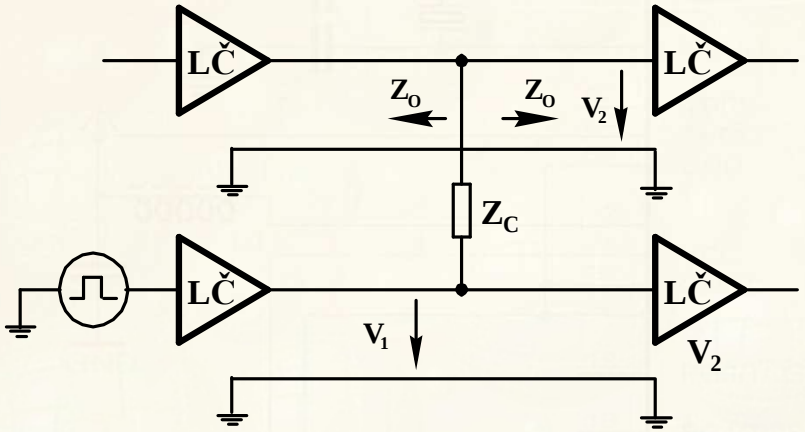
Upínací dioda na konci přenosového vedení absorbuje energii dopadající a odražené vlny způsobující zákmit do záporného napětí. Tím je „vyčištěn“ průběh napětí na konci vedení a minimalizují se tak odrazy od konce vedení. Na vstupech logických obvodů uvedené diody jsou implementovány izolujícím PN přechodem mezi substrátem a vlastním integrovaným obvodem. U obvodů VLSI musí být výstupy chráněny před velkými proudy generovanými odrazy na vedení přídavnými Shotkyho upínacími diodami.

- Vedení řízené obvodem s otevřeným kolektorem





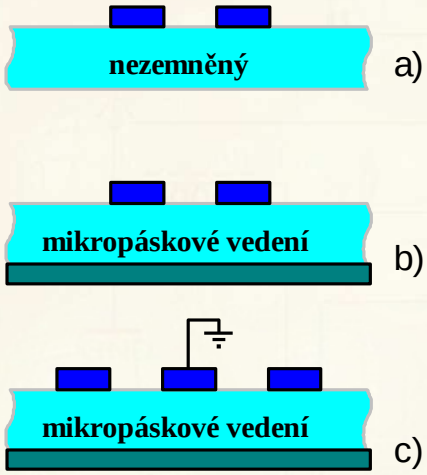
♠ Přenos mezi souběžnými vedeními



$$C = \frac{U_2}{U_1} = \frac{0{,}5.Z_0}{0{,}5.Z_0 + Z_C}$$

Mezi dvěma souběžnými vedeními dochází k přeslechu, který nemusí být zanedbatelný. Situaci modelujeme dle obrázku. Velikost přenosu z jednoho vedení do druhého vyjadřujeme koeficientem přeslechu, který odvodíme z náhradního schématu impedancí a je dán uvedeným vztahem. Pokud by druhé dlouhé vedení bylo nezakončené, potom na vstupu logického členu druhého vedení bude dvojnásobné napětí.

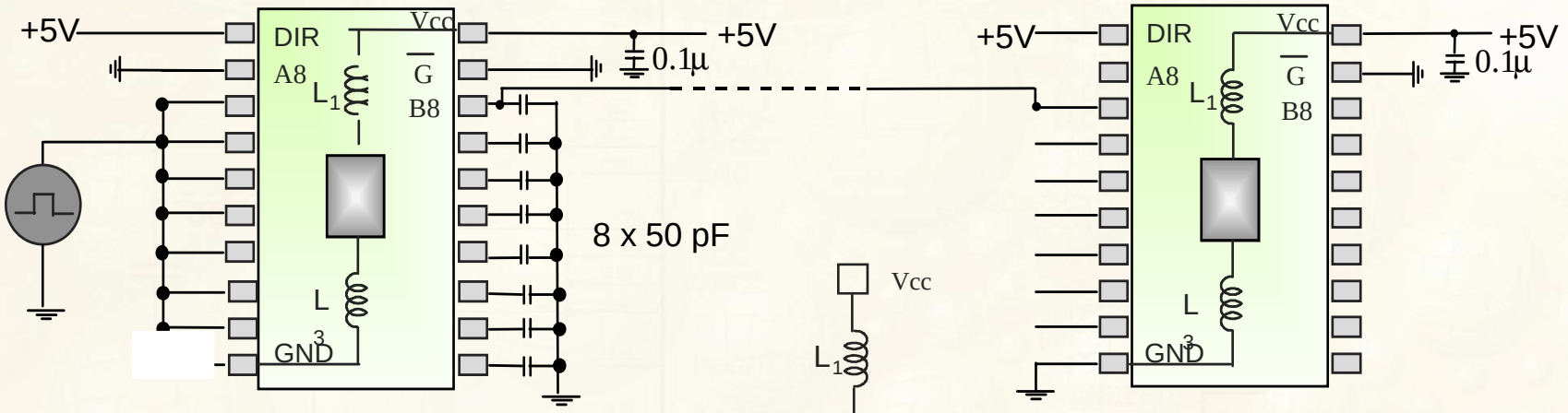
♠ Přenos mezi souběžnými vedeními

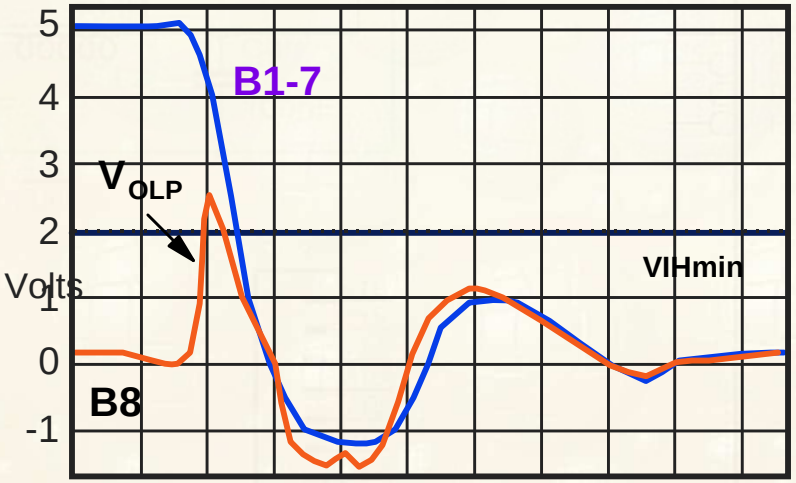


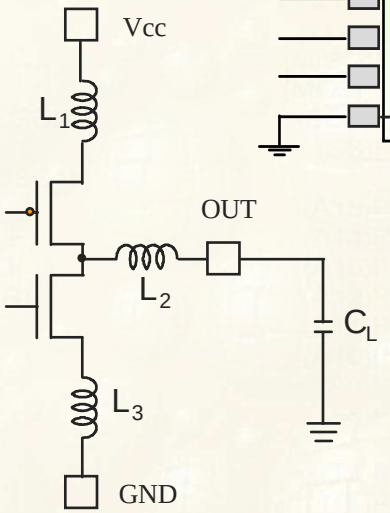
Případ	Z_o	Z_c	Přenos
a)	200 Ω	100 Ω	50 %
b)	80 Ω	125 Ω	25 %
c)	100 Ω	400 Ω	11 %

Při realizaci na jedno nebo vícevrstvém plošném spoji mohou nastat uvedené konfigurace dvou vodičů sběrnicového vedení. Spodní vrstva je tvořena „vylitou“ zemní vrstvou na dvoustranném nebo zemní/napájecí vrstvou na čtyřvrstvém plošném spoji. Typické hodnoty vazební impedance pro dva vodiče (dvě vedení), které(á) jsou od sebe vzdálena o šířku vlastního spoje jsou uvedeny v tabulce.

♠ Problematika současného spínání



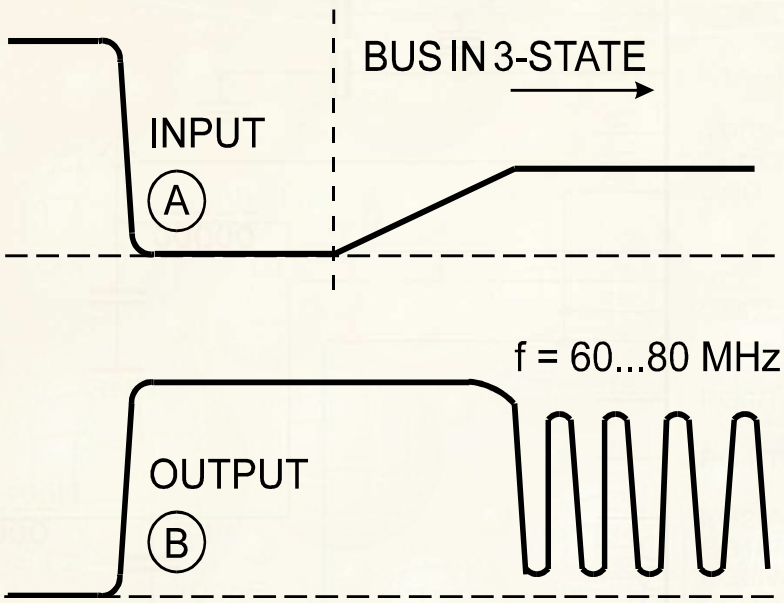


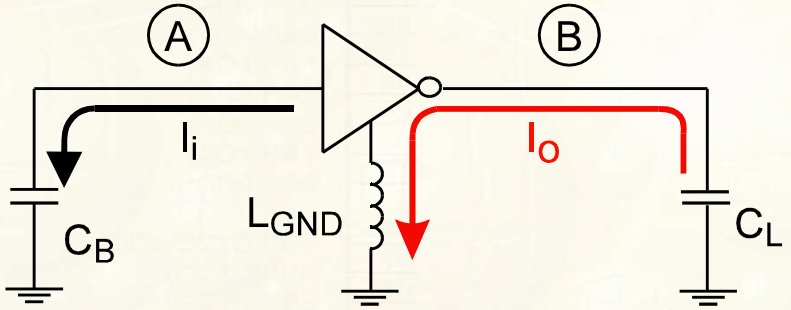


$$U = -L.\frac{dI}{dt}$$

Budič sběrnice mění podstatnou část výstupů (7) a jeden výstup se nemění a vede k logickému členu. Změna mnoha výstupů ⇒ velký odběr obvodu. K výstupům je superponováno napětí způsobené přívodní indukčností pouzdra obvodu.

♠ Oscilace způsobené plovoucí (neošetřenou) sběrnicí





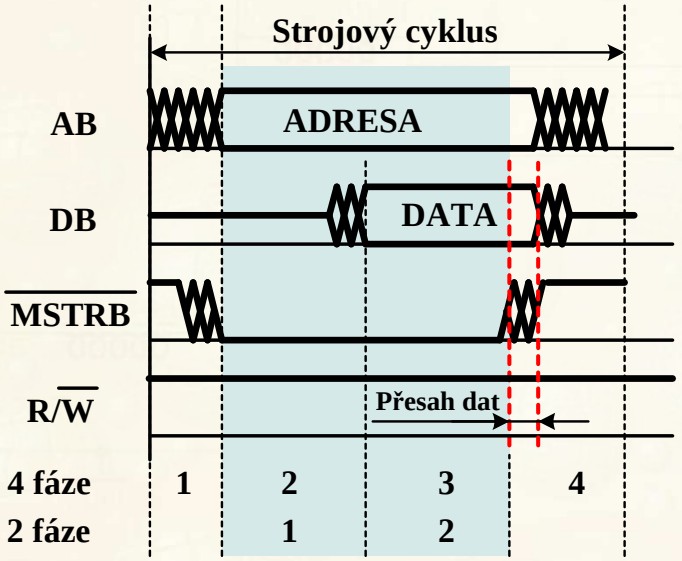
$$\frac{\Delta v}{\Delta t} = \frac{\Sigma I_i}{C_B} \approx \frac{500\,\mu A}{500\,pF} = 1\,V/\mu s$$

★**Není-li sběrnice řízena**, pak jednotlivé vodiče mění svoje napětí v důsledku vstupních proudů přijímajících obvodů k napětí odpovídajícímu rozhodovací úrovni logiky.

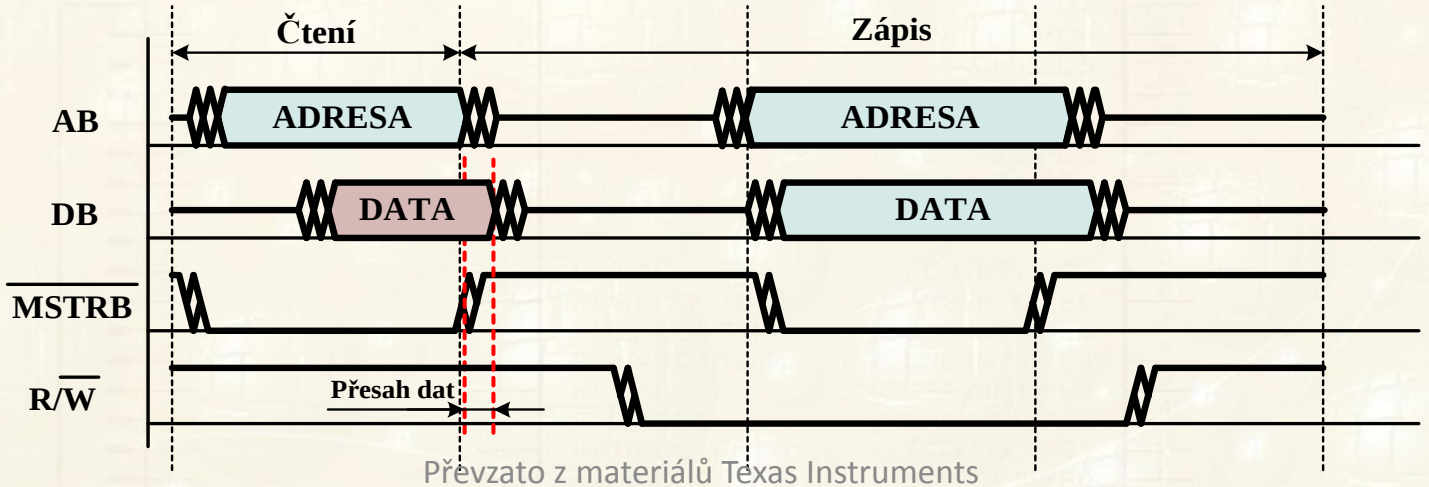
★**Zpětná vazba** přes indukčnost zemního vodiče obvodu může způsobit oscilace. Ty způsobují značné zvýšení odběru ze zdroje, které může vést až k jeho zničení.

PŘENOS PO SBĚRNICI S 2 A 4 FÁZOVÝM PŘÍSTUPEM

U procesorů s krátkým strojovým cyklem - přechod na dvoufázový přístup do pamětí a V/V jednotek ⇒ **zvětšení časového prostoru pro vybavení paměti** (**levnější paměti**). Problematika přesahu, čtení-zápis, někdy čtení-čtení – vkládání dodatečných cyklů.



Procesor	Fáze	Strojový cyklus	SRAM	Poměr
320C10	4	200ns	75ns	37,5%
320C25	4	100ns	35ns	35%
320C50	2	50ns	32ns	64%
320C54x	2	25ns	15ns	60%



NESTANDARDNÍ PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ

Standardní prostory pro paměti nebo periferie o kapacitě (velikosti) 2^n musí začínat na adresách

(počáteční adresa dílčího bloku) $_{\text{modulo } 2^n} = 0$.

Paměť **nemusí** být umístěna jen do standardního prostoru, který odpovídá její kapacitě

- **Úpravy stávajících zařízení**
- **Malý adresový prostor**

Mohou nastat tyto situace:

- **Nestandardně umístěná paměť v paměťovém prostoru**
- **Využití části paměťového prostoru paměti**
- **Rozdělení paměťového prostoru paměti na části**

Při dostatečné velikosti paměťového prostoru (ARM) lze zjednodušit adresový dekodér

- **Zrcadlení obsahu paměti**
- **Lineárním adresování**

NESTANDARDNÍ PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ

a) Paměť s nestandardním počátkem přiděleného paměťového prostoru ⇒ do dekodéru **musíme** přivést dostatečný počet adresových vodičů, **použitých k jejímu adresování** zde (A14 i A15). Postup – rozdělení paměti na standardní bloky (zde 2x16kB paměti, 4000h÷7FFFh a 8000h÷BFFFh).

- **Nejvyšším** adresovým vodičem paměti (RAM) může být A14 i A15 (oba jsou blocích rozdílné).
- **Nejvyšší** adresový vodič **paměti** nesmí být v blocích shodný.

Adresa (hex)	Adresové vodiče															
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0001h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
÷		0					÷									
3FFFh	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
4000h	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
÷							÷									
7FFFh	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
8000h	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
÷							÷									Paměť
BFFFh	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
C000h	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
÷							÷									
FFFFh	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

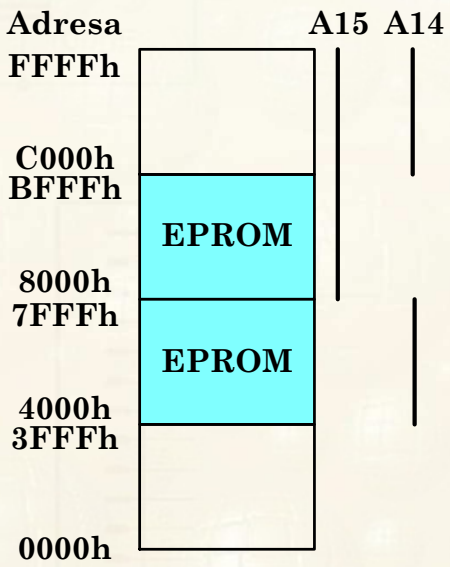
$$CS = (\overline{A14} + A15).(A14 + \overline{A15}) = A14.A15 + \overline{A14}.\overline{A15} = \overline{A14 \oplus A15}$$

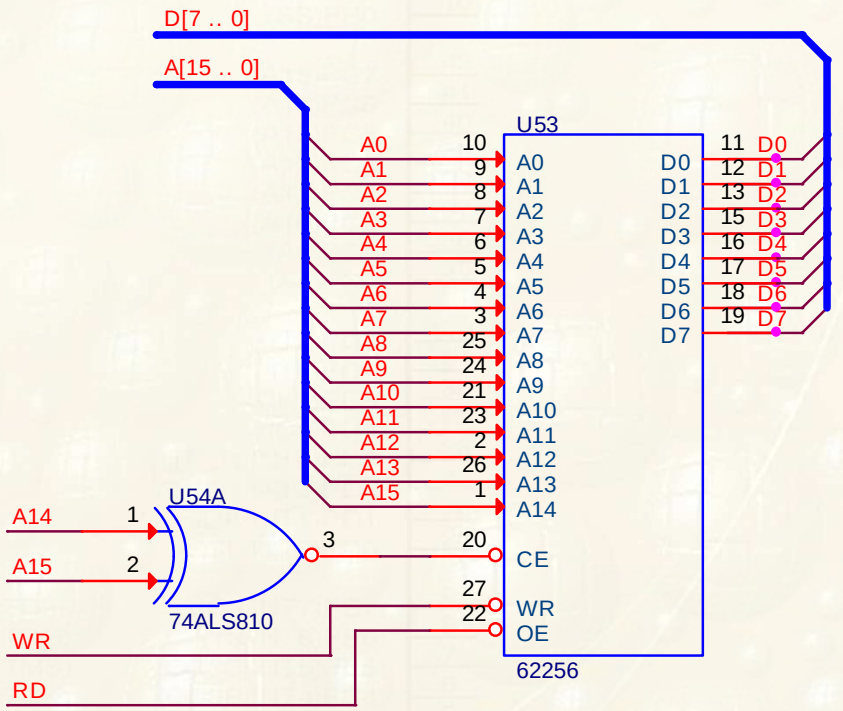
Dekodér realizující CS musí v obou blocích nabývat hodnoty log.0. V prvém 16kB bloku (4000h÷7FFFh, A14=1, A15=0), v druhém (8000h÷BFFFh, A14=0,A15=1). Odtud v součinové formě

$$CS = (\overline{A14} + A15).(A14 + \overline{A15})$$

Funkci CS můžeme vytvořit součtovou formou jako součet prostorů, kde paměť RAM nemá být aktivovaná.

$$CS = 0 + (\overline{A14}.\overline{A15}) + (A14.A15)$$





b) Paměť s částečně využitým prostorem (v prostoru 4000h÷9FFFh, 24kB). Rozdělení na 16kB a 8kB, součinová forma dílčích bloků

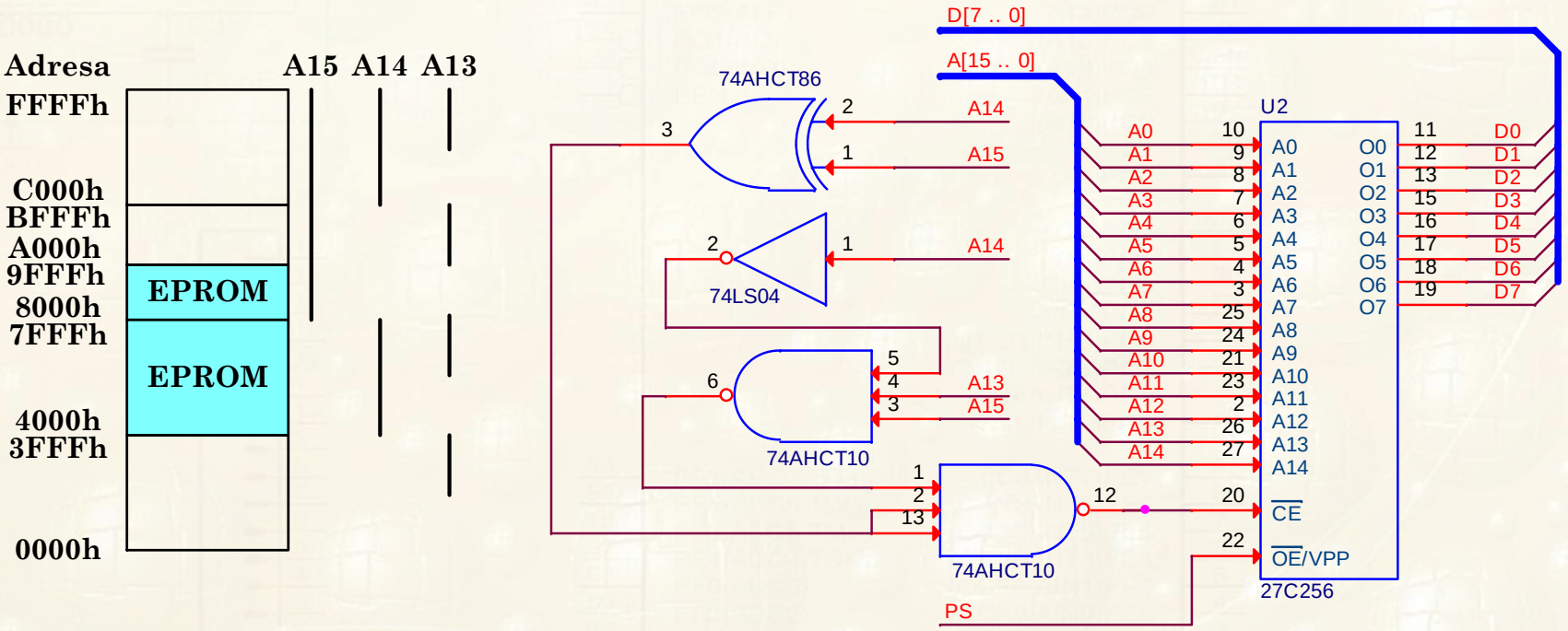
$$CS = (\overline{A14} + A15).(A13 + A14 + \overline{A15})$$

Pro součtovou formu aktivační funkce

$$CS = 0 + (\overline{A14}.\overline{A15}) + (A13.\overline{A14}.A15) + (A14.A15)$$

nebo

$$CS = (\overline{A14} + A15).(A14 + \overline{A15}) + (A13.\overline{A14}.A15)$$

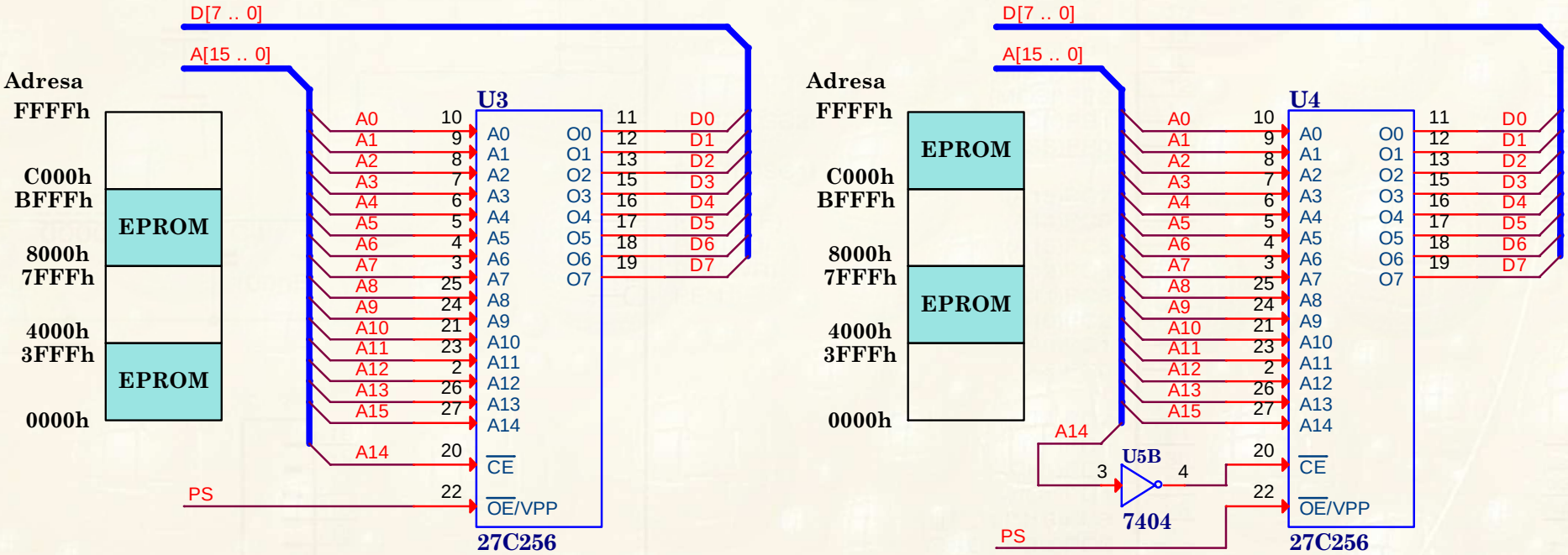


c) Paměť rozdělená na dva nesouvislé bloky. Pokud bychom rozdělili 32kB paměti na dva 16kB bloky, například prvního do prostoru (0000h÷3FFFh) a druhého do (8000h÷BFFFh), pak pro oba bloky je vodič A14=0 a A15 je v prvém bloku roven 0 a v třetím roven 1. **Vodič A14 nemůže být použit k adresování paměti** (přístup by byl pouze ½ paměti). Nejvyšší adresový vodič paměti A14 bude spojen s vodičem A15 sběrnice.

Adresa (hex)	Adresové vodiče																
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
0000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0001h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
÷		0					÷										Paměť
3FFFh	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
4000h	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
÷							÷										
7FFFh	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
8000h	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
8001h	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
÷		0					÷										
BFFFh	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
C000h	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
÷							÷										
FFFFh	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

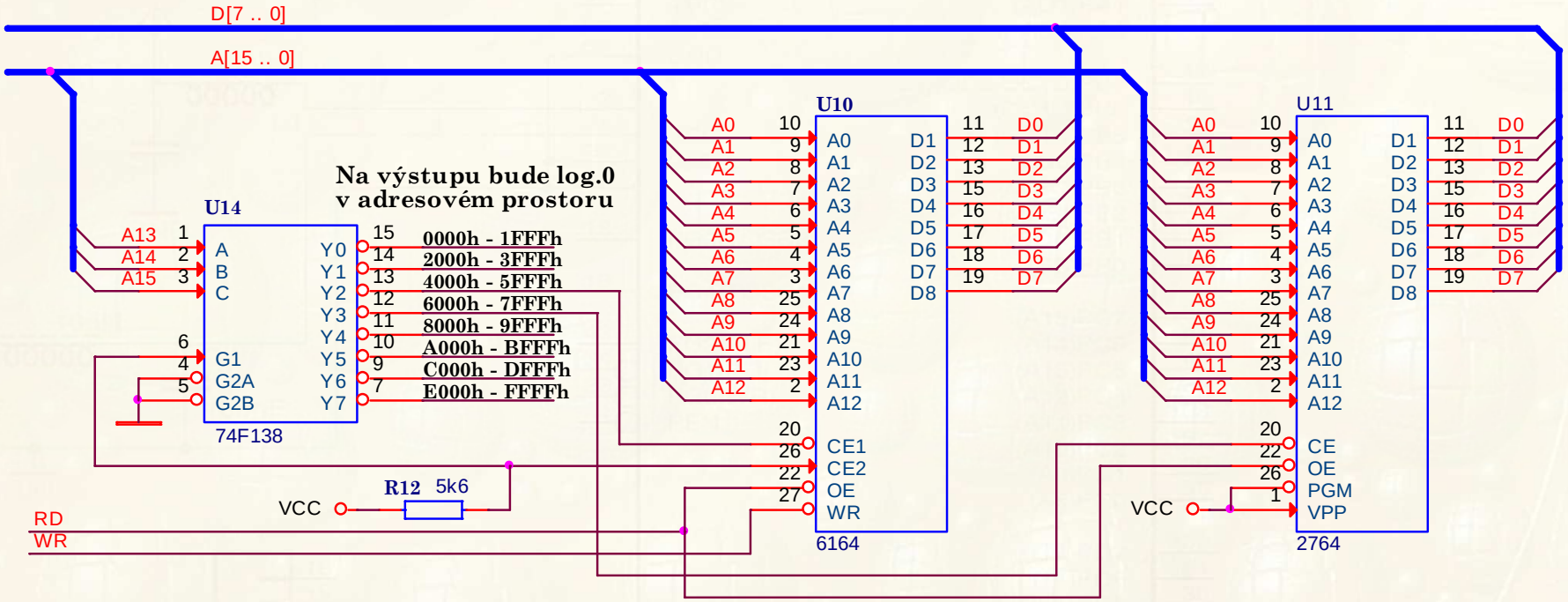
NESTANDARDNÍ PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ

Paměť programu s kapacitou 32kB nestandardně rozdělena na dva 16kB bloky umístěné do prvního a třetího 16kB bloku adresového prostoru (například při úpravách starších zařízení).



PARALELNÍ PŘIPOJENÍ PAMĚTÍ DO DATOVÉHO PROSTORU

Připojení paměti RAM do prostoru 4000h÷5FFFh a EPROM do prostoru 6000h÷7FFFh **datové paměti procesoru** s využitím obvodu 74138.

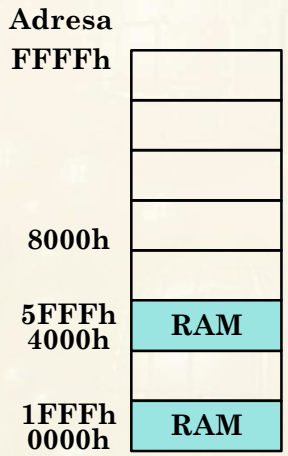


V datovém prostoru může být ROM obsahující tabulku (např. funkce sinus, kompresní zákony μ a law, interpretovaný program, přístupové kódy). Pokud **V/V instrukce (IN a OUT) jsou pomalejší**, lze do datového prostoru připojit: periferní obvody V/V, časovače, atd.

PARALELNÍ PŘIPOJENÍ VNĚJŠÍCH PAMĚTÍ - ZRCADLENÍ

Zapojení paměti do adresového prostoru 0000h ÷1FFFh datové paměti s tím, že vodič **A14 nebude dekódován** v adresovém dekodéru.

Adresa (hex)	Adresové vodiče															
	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0001h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
÷	0	0	0							÷						Paměť
1FFFh	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
2000h	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
÷							÷									
3FFFh	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
4000h	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
÷	0	1	0				÷								Opakování	
5FFFh	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
6000h	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
÷							÷									
FFFFh	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1



Aktivační signál bude realizován funkcí CS=A15+A13. CS=0 bude v prostoru 0000h÷1FFFh i 4000h÷5FFFh.

Paměť se bude „zrcadlit“ a bude jedno zda provedeme čtení/zápis z/do adresy 0002h nebo 4002h, atd.