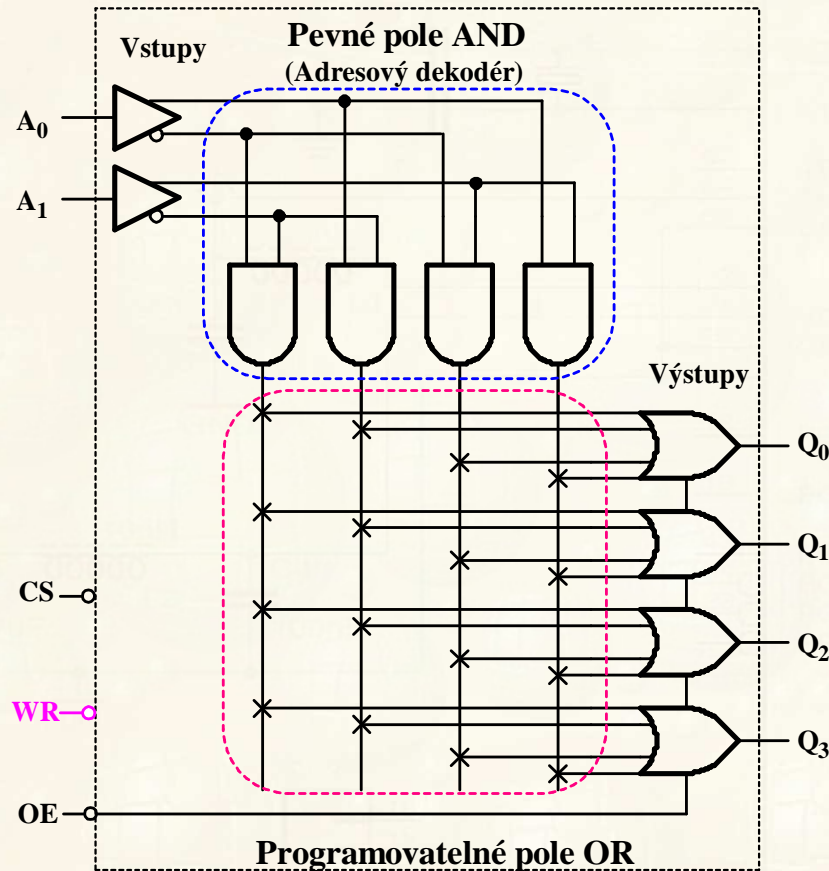


# *Paměti*

## Základní struktura



## Obecné vlastnosti

Paměť je obvod s  $n+1$  adresovacími vstupy  $A_n \div A_0$ ,  $m+1$  výstupy  $Q_0 \div Q_m$ , aktivačním vstupem paměti **CS/CE** (Chip Select/Chip Enable) obvykle aktivním v log.0, vstupem ovládající třístavový budič **OE** a případně vstupem pro zápis **WR**, které jsou aktivní v log.0.

- ❖ Každé paměťové místo pro čtení nebo zápis je dostupné přes **adresu** ( $A_n \div A_0$ ), výstupy obvodu jsou s **třístavovým výstupem** nebo s **otevřeným kolektorem**.

Čtená data jsou dostupná na výstupech  $Q_0 \div Q_m$ . Zapisovaná data jsou přivedena na vývody  $Q_0 \div Q_m$ , výjimečně na zvláštní vstupy.

## ČASOVÉ PARAMETRY PAMĚTÍ

- ❑ **Při čtení** musí být  $CS=OE=0$ , případně  $WR=1$ .

Standardně je čtení zahájeno přivedením adresy na vstupy  $A_n \div A_0$  a aktivací paměti  $CS=0$ . Současně nebo posléze (od aktivačního signálu čtení) bude  $OE=0$ . Informace na výstupu je k dispozici po uplynutí:

- ✓ **Doby vybavení** - čas potřebný k získání platné hodnoty výstupu od platné neměnicí se adresy  $A_n \div A_0$  a signálu  $CS$ . Stav na výstupu v době vybavování **není garantován**.
- ✓ **Doby aktivace třístavového budiče** - čas potřebný k aktivaci výstupního třístavového budiče výstupů  $Q_0 \div Q_m$ . Přibližně roven  $1/2$  až  $1/3$  doby vybavení.
- ✓ **Doby deaktivace (přesahu)** - čas, po který zůstávají výstupy  $Q_0 \div Q_m$  paměti aktivní i když pominuly podmínky pro čtení z paměti.

## ČASOVÉ PARAMETRY PAMĚTÍ

- ❑ **Při zápisu** musí být  $CS=WR=0$  a  $OE=1$
- ❖ **Stav  $OE=1$**  zajistí na výstupech paměti  $Q_0 \div Q_m$  stav vysoké impedance a tím umožní tyto vývody využít jako vstupní pro zapisovanou informaci.
- ❖ Signál  $WR$  musí být roven nule nebo jeho náběžná hrana musí ležet v době platné zapisované informace.

Je-li paměť vybavena dvěma vstupy  $CS1$  a  $CS2$ , pak druhý vstup  $CS2$  je obvykle aktivní v log.1.

Staré paměti PROM disponovaly pouze vstupem  $CS$  ( $CE$ )

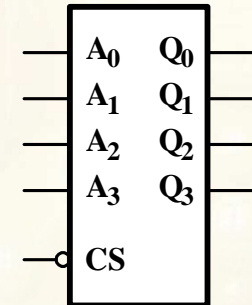
Staré paměti RAM měly oddělený vstup a výstup informace.

## DŘÍVE POUŽÍVANÉ PAMĚTI

❑ **Paměť ROM** (Read Only Memory) - vhodná pro trvalé uložení obsahu. Nyní pouze součástí procesorů (naprogramovány ve fázi výroby mikroprocesoru) ve funkci

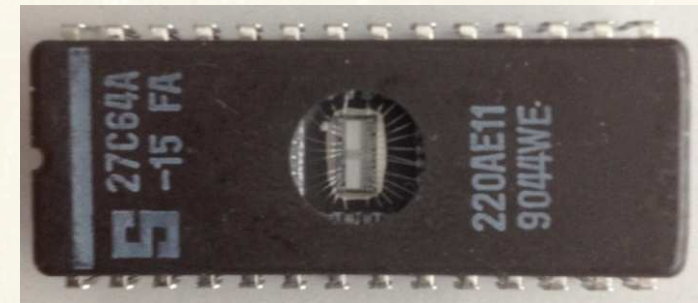
- **Loader** – program pro nahrání programu do paměti Flash
- **Tabulky** – goniometrické funkce, kompresní zákony  $\mu$ -law nebo A-law (signálové procesory)
- **Uživatelský dešifrovací program**

Schématická značka paměti ROM/PROM



❑ **Bipolární paměť PROM** - uživatelem jednou naprogramovatelná. Nyní ještě dostupná.

❑ **Paměť EPROM** – používaná jako paměť programu, tabulky, BIOSu. Nyní obtížně dostupná. Programovatelná při vyšším napětí  $\Rightarrow$  v aplikaci běžně nepřeprogramovatelná.



**OTP** (One Time Programmable – obvykle **EPROM** programovatelné **pouze jednou** bez možnosti smazání). Ekonomicky výhodnější pro definitivní neměnnou výrobu zařízení.

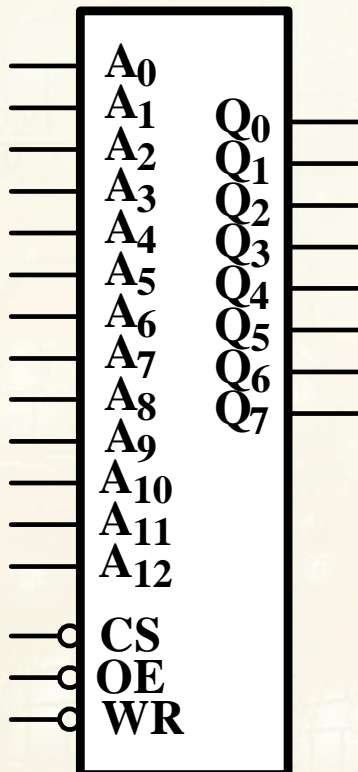


## PAMĚŤ RAM – POUŽITÍ

- V počátcích procesorové techniky využívána pouze jako paměť proměnných, přijatých a zpracovaných dat.
- S nástupem OS (CP/M (1974), MS-DOS (1981)), začala být používána jako operační paměť obsahující program i data.
- Obecně nejrychlejší tzv. "volatile" paměť, která po ztrátě napájení ztrácí obsah. Disponuje neomezeným počtem zápisů a čtení.
- V části RAM procesoru
  - Jsou uloženy **proměnné programu** (nestačí registry, JSA)
  - Je uložen **zásobník** (není-li separátně umístěný)
  - Může být uložen **program**
    - ✓ Nahraný z jiného média (OS, signálové procesory)
    - ✓ Nahraný z jiného média, kde RAM má záložní napájení
  - Mohou být uložena **data** nebo **tabulky**
    - ✓ **Naměřený signál** (digitální osciloskopy, spektrální analyzátoři, číslicové zpracování signálu )
    - ✓ **Vypočteného signálu** (modulátory, signálové generátory)

## PAMĚŤ RAM – POUŽITÍ

- Obsah musí být nejprve zapsán a potom teprve čten – rozdíl v zápisu **inicializovaného pole** v datové nebo programové paměti.
- Může sloužit jako nejrychlejší řešení složitého kombinačního obvodu, operace násobení a sčítání, operací k realizaci modulátorů.



**Schématická značka paměti RAM 8k x 8bitů.**  
**Časové parametry pamětí RAM se pohybují v následujících hodnotách.**

- ❖ **Doba vybavení** –  $t_{AA}$  (Address Access). V CMOS technologii  $t_{AA}=2,5$  až 85ns. Obvody pro DDR II od 0,35÷1ns.
- ❖ **Doba aktivace třístavového budiče** -  $t_{OE}$  (Output enable time) je v CMOS technologii  $t_{OE} =1,5$  až 45ns.



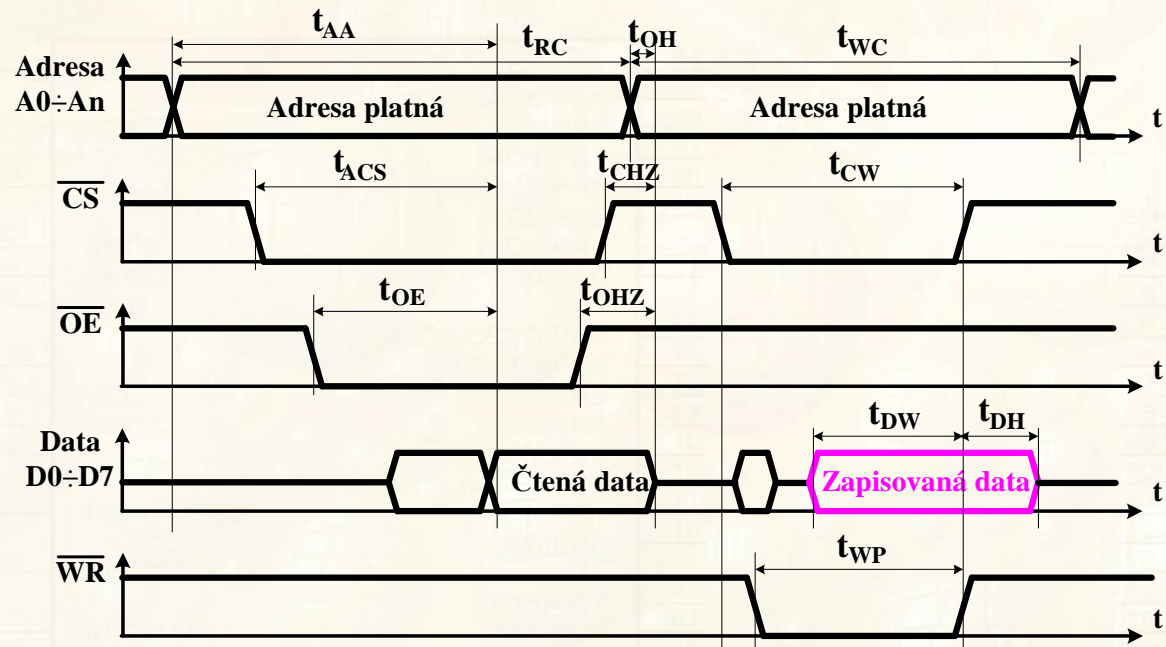
## PAMĚŤ RAM - ČASOVÉ PARAMETRY

**Doba vybavení** – nutná k dosažení platné hodnoty výstupu od platné adresy ( $t_{AA}$ ) a aktivačního signálu paměti ( $t_{ACS}$ ). Obvykle  $t_{AA} = t_{ACS}$ .

**Doba aktivace** třístavového budiče  $t_{OE}$  – potřebná k aktivaci výstupů paměti při platné adrese a  $CS=0$ .

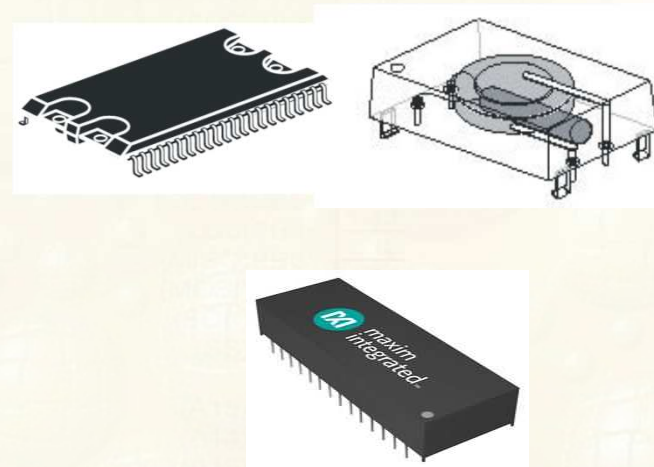
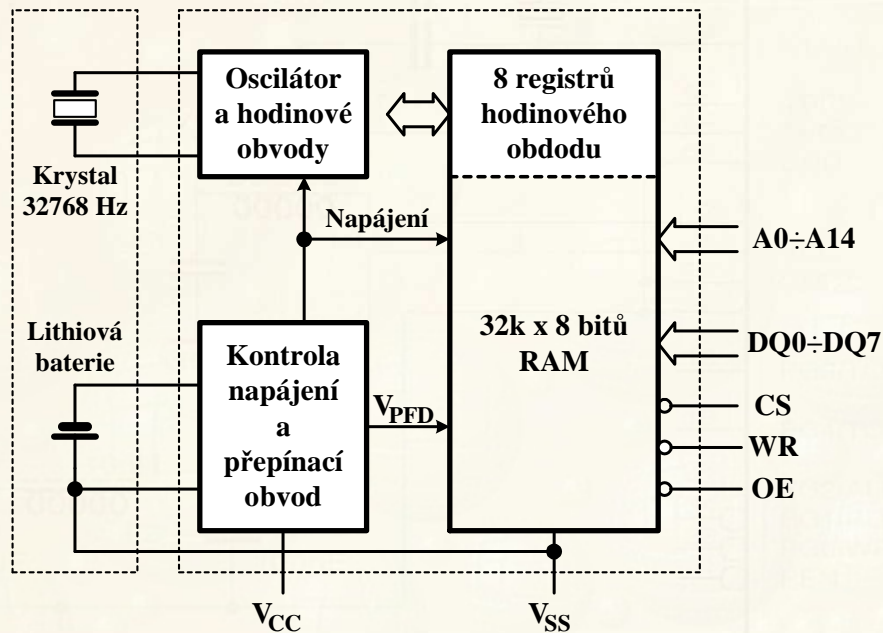
**Doba deaktivace** – čas, který paměť potřebuje k dosažení stavu vysoké impedance od signálu  $CS$  ( $t_{CHZ}$ ) nebo  $OE$  ( $t_{OHZ}$ ). Parametr je **důležitý** u systémů s budičem sběrnice a systémech s rychlou změnou směru přenosu.

**Doba předstihu a přesahu** – doba, po kterou musí být data na vývodech  $Q0$  až  $Q7$  stabilní před a po vzestupné hraně  $WR$  ( $t_{WD}$ ) a ( $t_{DH}$ ).



## PAMĚTI NVRAM (ZERORAM, TIMEKEEPER)

Základní struktura paměťové buňky je shodná s RAM



Obsahuje SRAM (RWM) doplněnou o obvody kontroly napájecího napětí, deaktivace paměti při poklesu napájení pod nastavenou mez a přepínače napájení paměti na lithiovou baterii.

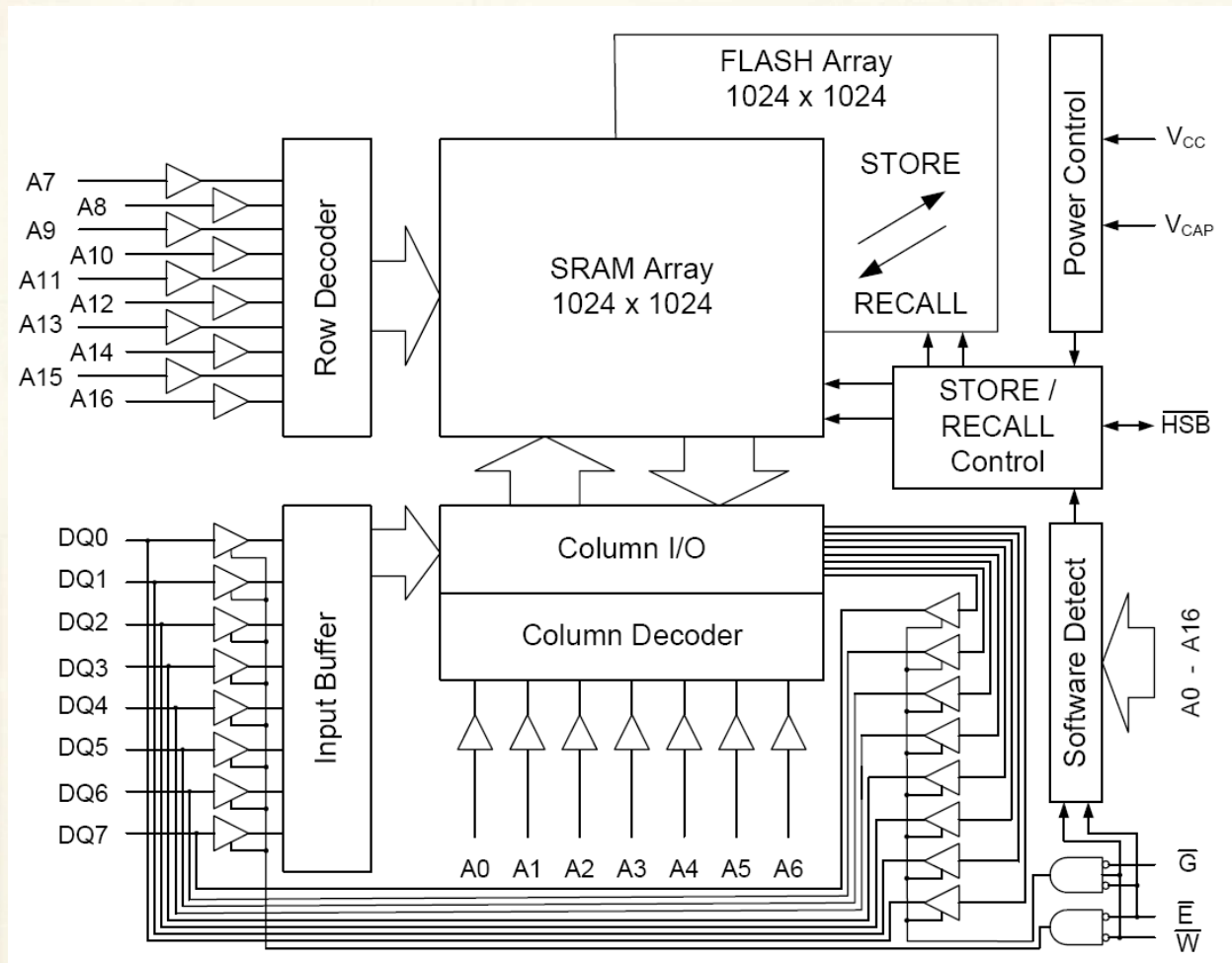
V případě Timekeeper ještě o krystal 32768Hz, oscilátor a obvody RTC dostupné na posledních 8 paměťových místech paměti.

### Vlastnosti NVRAM

- ❖ Udržuje obsah i bez napájení (>10let). **Je-li vystavena nízkým teplotám bývá tato doba kratší.**
- ❖ Čtení a zápis časově srovnatelný s běžnými SRAM ( $t_{AA}=70/85\text{ns}$ , ( $t_{AOE}=40/55\text{ns}$ )).
- ❖ Neomezený počet zápisů
- ❖ Programově kontrolovaná kalibrace RTC.
- ❖ Rok, měsíc, den, datum, hodina, minuta a sekunda kódované v BCD.
- ❖ Automatická deaktivace, blokování zápisu a přepnutí na záložní baterii
- ❖ **Využitelná současně jako ROM i RAM**
- ❖ Nyní ekonomicky nevýhodná např. proti paměti FRAM, nebo (RAM, NV kontrolér a RTC)

## PAMĚTI NVRAM – RAM/FLASH nebo RAM/EEPROM

Novější provedení paměti NVRAM se skládá z paměti RAM kombinované s pamětí FLASH, do které může být přepsán obsah RAM při výpadku napájení nebo na příkaz z programu. Obsah RAM může být po připojení obnoven z FLASH nebo na programový příkaz.

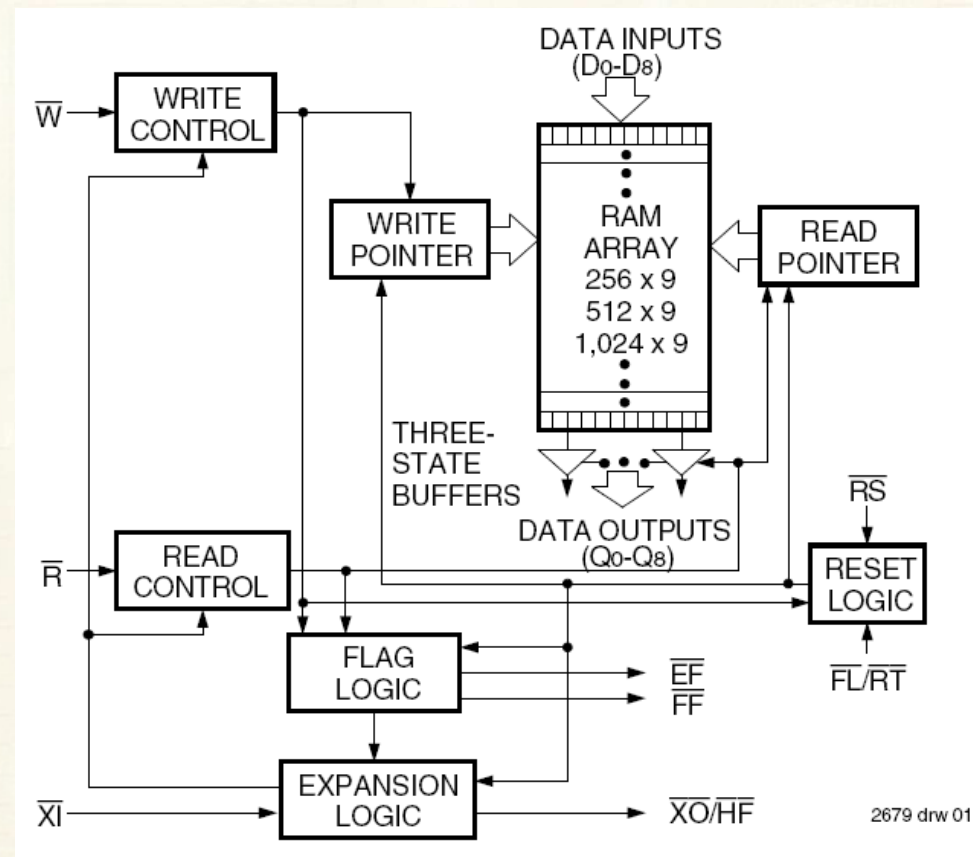


## Vlastnosti NVRAM

- ❖ Paměť lze uvést do režimu RAM nebo do režimu NVRAM.
- ❖ RAM neomezený počet čtení a zápisů
- ❖ NVRAM neomezený počet čtení, omezený počet zápisů
- ❖ Neomezený počet obnovení RAM (RECALL)
- ❖ 100 000 STORE cyklů
- ❖ 100 let uchování obsahu non-volatile
- ❖ Čtení a zápis do RAM - 25ns
- ❖ RECALL obnovení po připojení Vcc - 200 $\mu$ s, jinak 50  $\mu$ s
- ❖ Trvání STORE 8ms
- ❖ **Využitelná současně jako ROM i RAM**

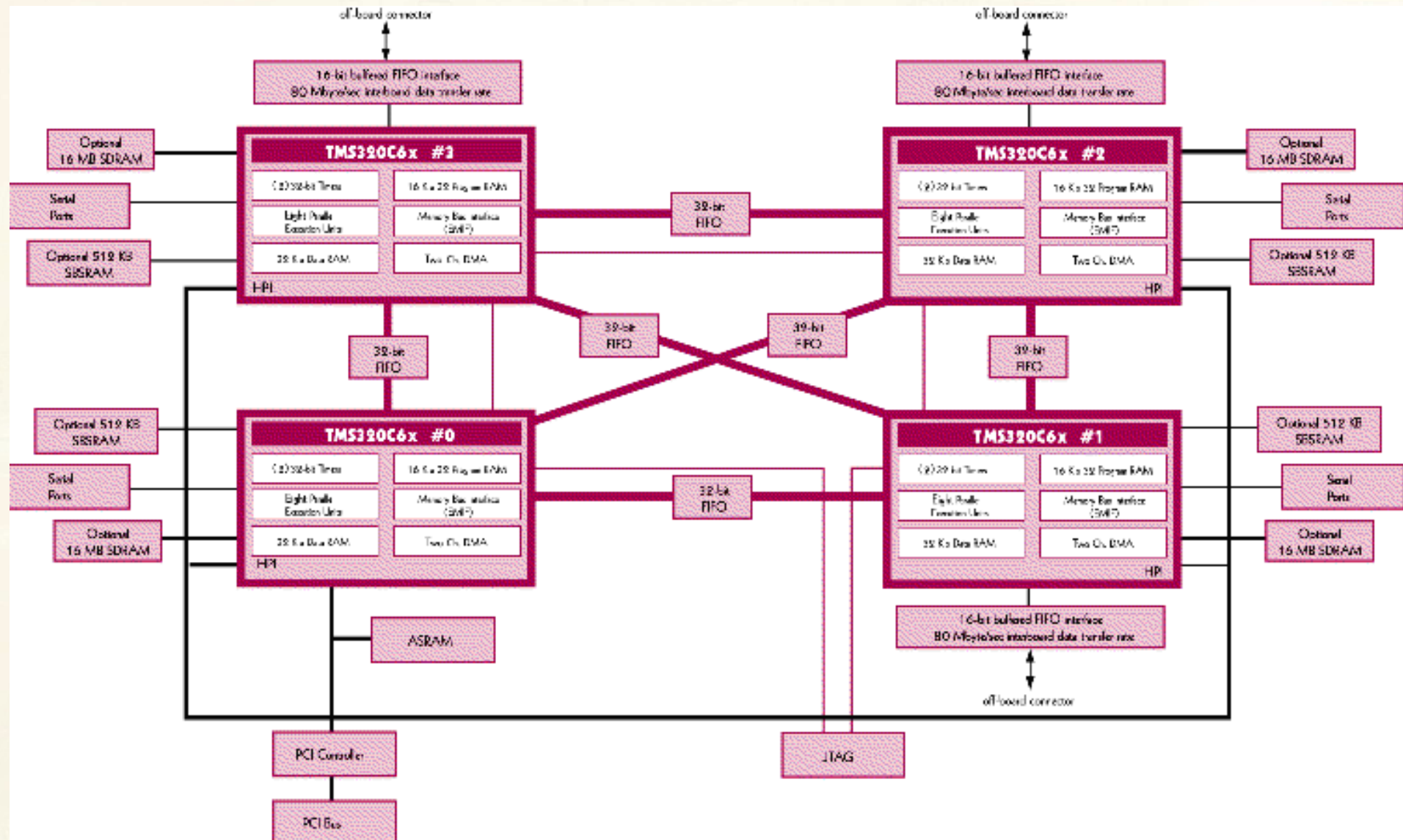
## PAMĚŤ FIFO

FIFO paměť obsahuje rychlou statickou paměť RAM umožňující ukládat přicházející hodnoty. Hodnoty mohou být čteny průběžně nebo najednou přes kanál DMA. Využívá se k propojení signálových procesorů v multiprocesorové struktuře nebo s přeladitelným oscilátorem zajišťuje stabilní přenos v komunikačním kanálu, i když vysílací a přijímající strana nemají úplně stejný hodinový kmitočet.



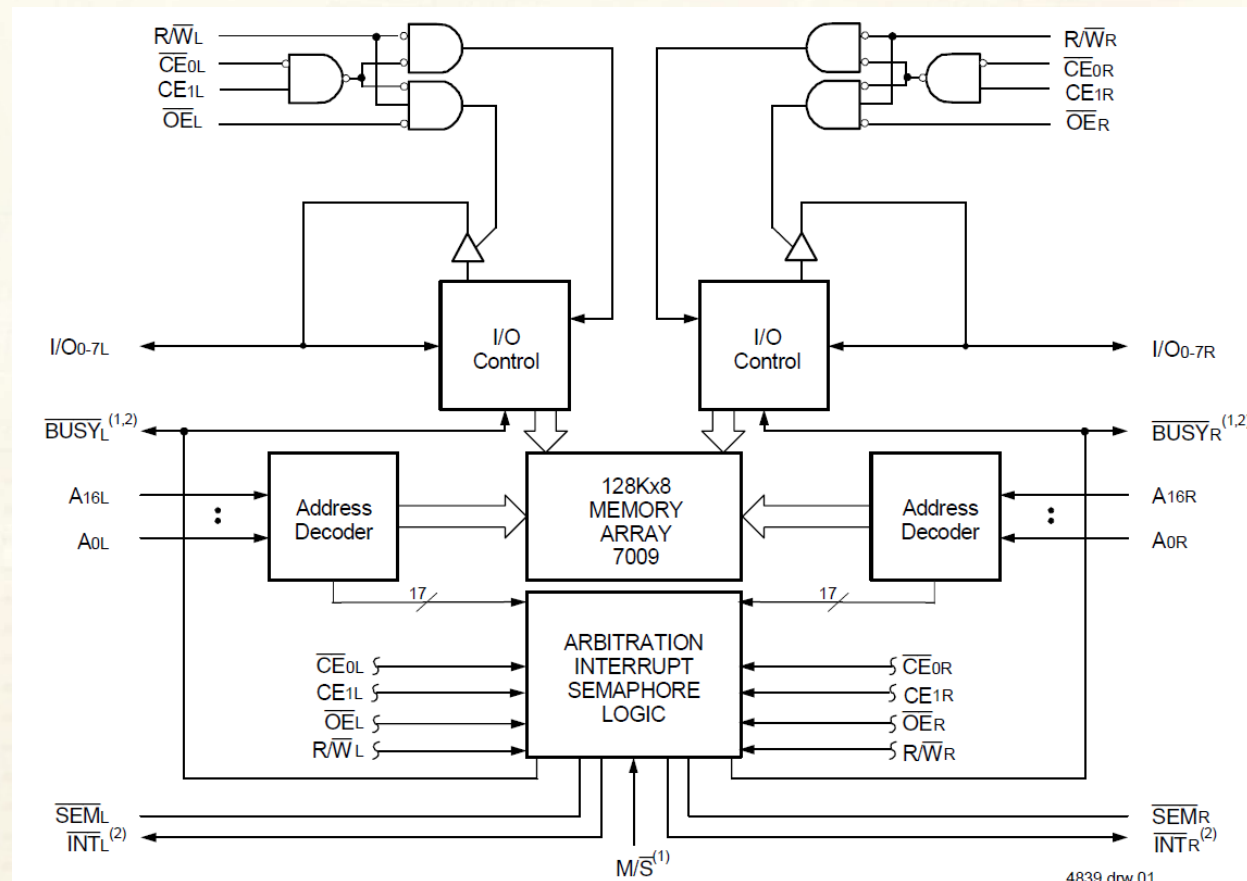
# MULTIPROCESOROVÁ KOMUNIKACE S VYUŽITÍM FIFO

Multiprocessorový systém se čtyřmi procesory TMS320C6201 do sběrnice PCI.  
FIFO paměti zajišťují přenos mezi jednotlivými procesory.



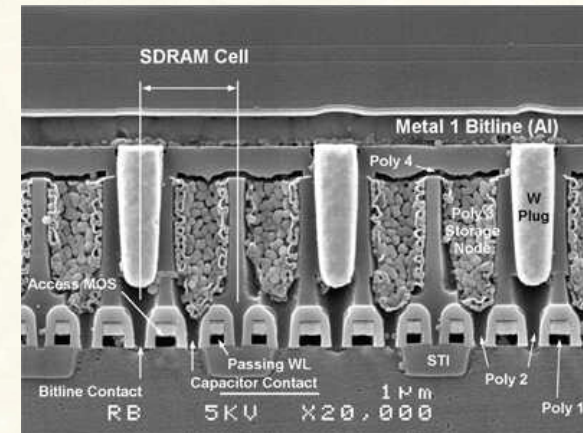
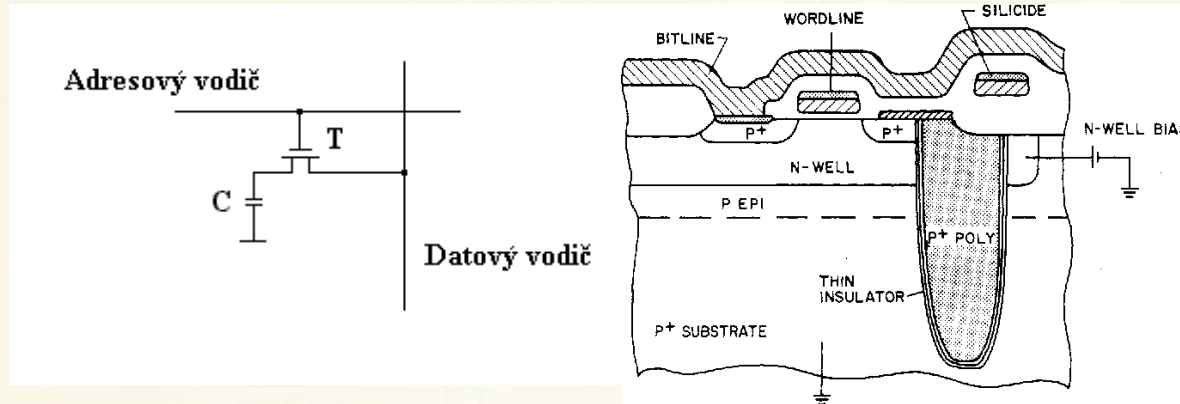
## DVOUBRÁNOVÁ PAMĚŤ

Dvoubránová paměť slouží jako **sdílená paměť** dvou procesorů, které si přes ni předávají data. Například v multiprocesorové komunikaci Master-Slave, kde Master předává podřízenému procesoru nový program nebo data. Master si pak z ní může přečíst zpracované hodnoty. Dvoubránovou pamětí jsou např. zobrazovací jednotky (grafické karty v PC).





## Základní struktura paměťové buňky

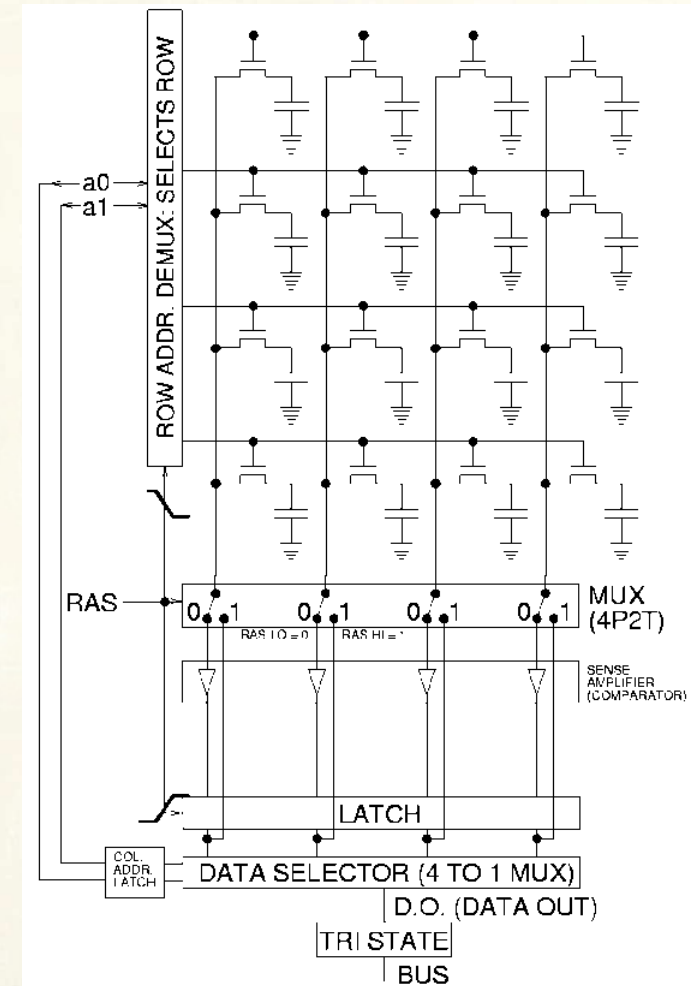


Paměťová buňka se skládá z jednoho tranzistoru a kapacity, která uchovává informaci (nabitá/vybitá) o hodnotě jednoho bitu. Buňky jsou uspořádány v matici, kde jednotlivé řídicí elektrody tranzistorů jsou připojeny k řádkům matice a kolektory ke sloupcům. Ve struktuře existují svody (cca 1nA), které způsobují postupné vybíjení kapacity. Informace uložená v kapacitě, tak musí být v řádu ms (staré paměti 4ms, současné desítky ms) obnovena (refresh). Obnovení se zajišťuje opakovaným čtení řádků matice realizovaným programem nebo obvodově řízené za pomoci obvodů integrovaných v procesoru nebo interním obvodem a čítačem přímo v paměti.

# PAMĚŤ DRAM

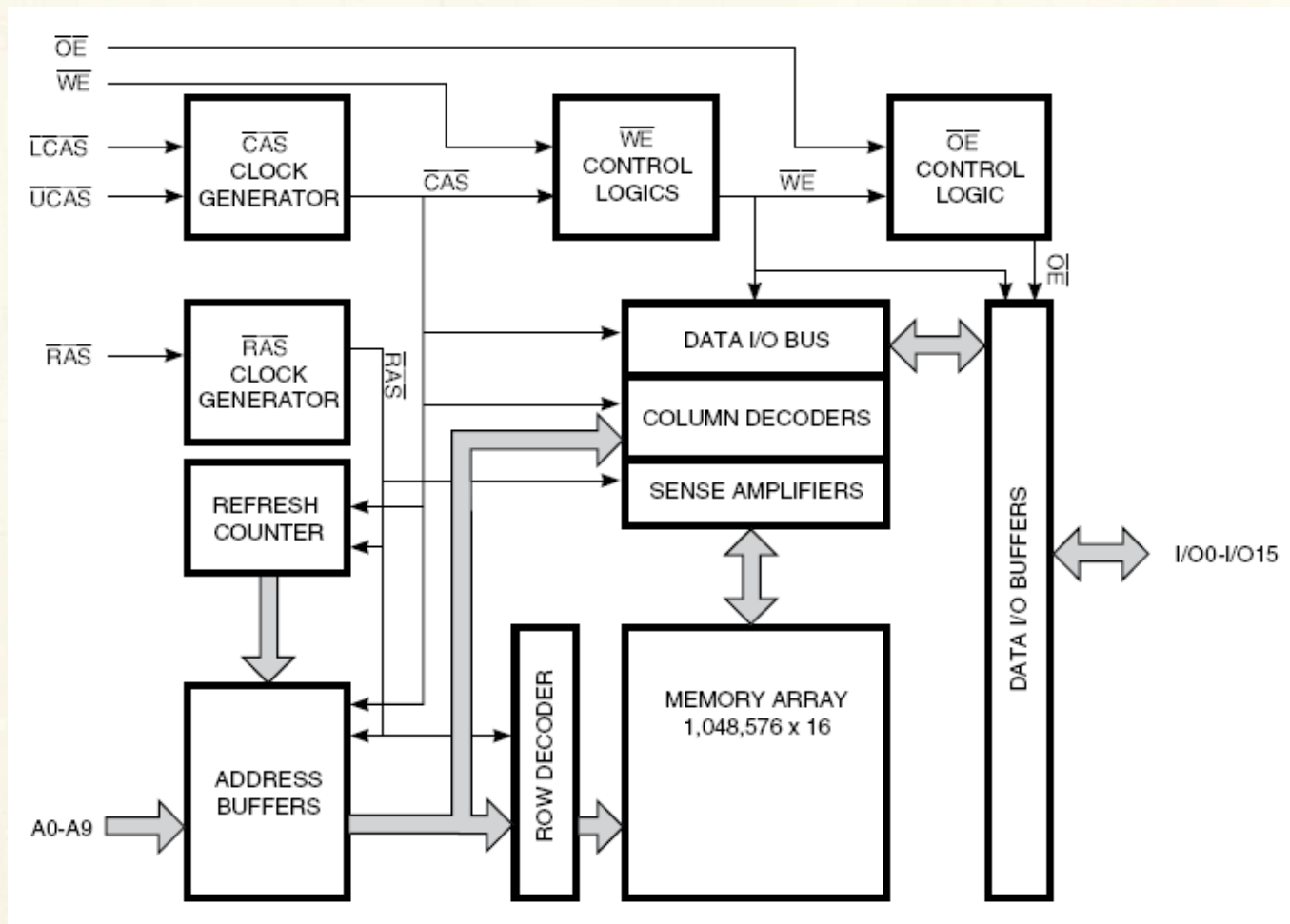
Operace čtení se skládá ze čtyř fází.

- Na všechny bitové (sloupcové) vodiče je přivedena  $\frac{1}{2}$  napájecího napětí – srovnání jejich potenciálů.
- Přivedení řádkové adresy potvrzené (CAS  $\rightarrow$  log.0). Po dekódování adresy jsou všechny tranzistory vybraného řádku sepnuty.
- Vyrovnání potenciálů mezi sloupcovými vodiči s kapacitami v řádku. Na bitových vodičích dojde ke změně napětí cca  $\pm 100\text{mV}$ .
- Napětí na vodičích je zesíleno a uloženo do vyrovnávacího registru.
- Zničený obsah v kapacitách řádku je při otevřených tranzistorech řádku obnoven z vyrovnávacího registru do bitových sloupců a tím je obnoven jejich původní stav.



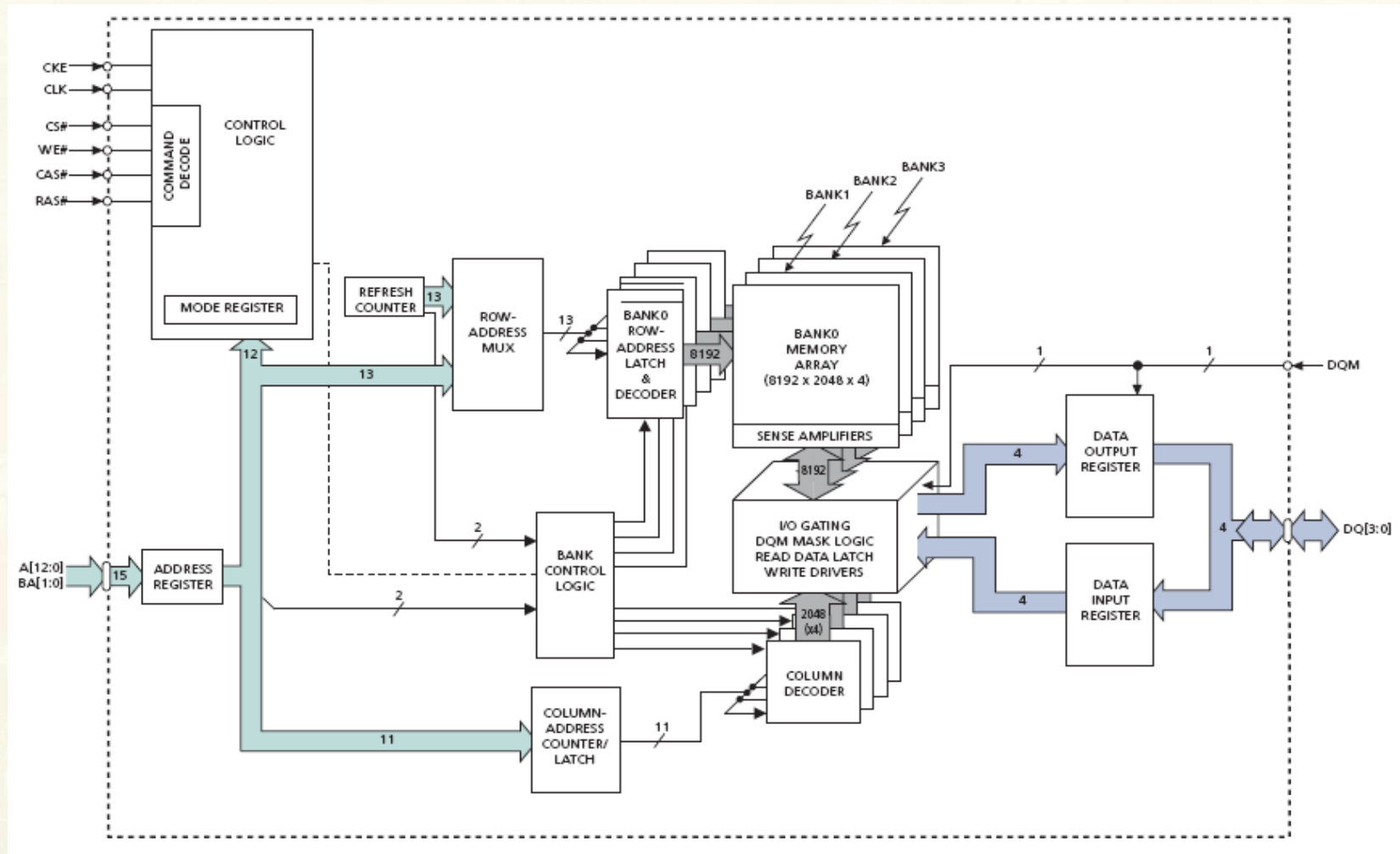
## PAMĚŤ DRAM

Přivedením sloupcové adresy, potvrzené přechodem signálu RAS do log.0, dojde k výběru sloupců patřící vybrané adrese. Fáze uložení přečtených informací ze sloupcových vodičů, může být modifikována na uložení všech sloupců  $\Rightarrow$  **urychlení sekvenčního čtení** z paměti.

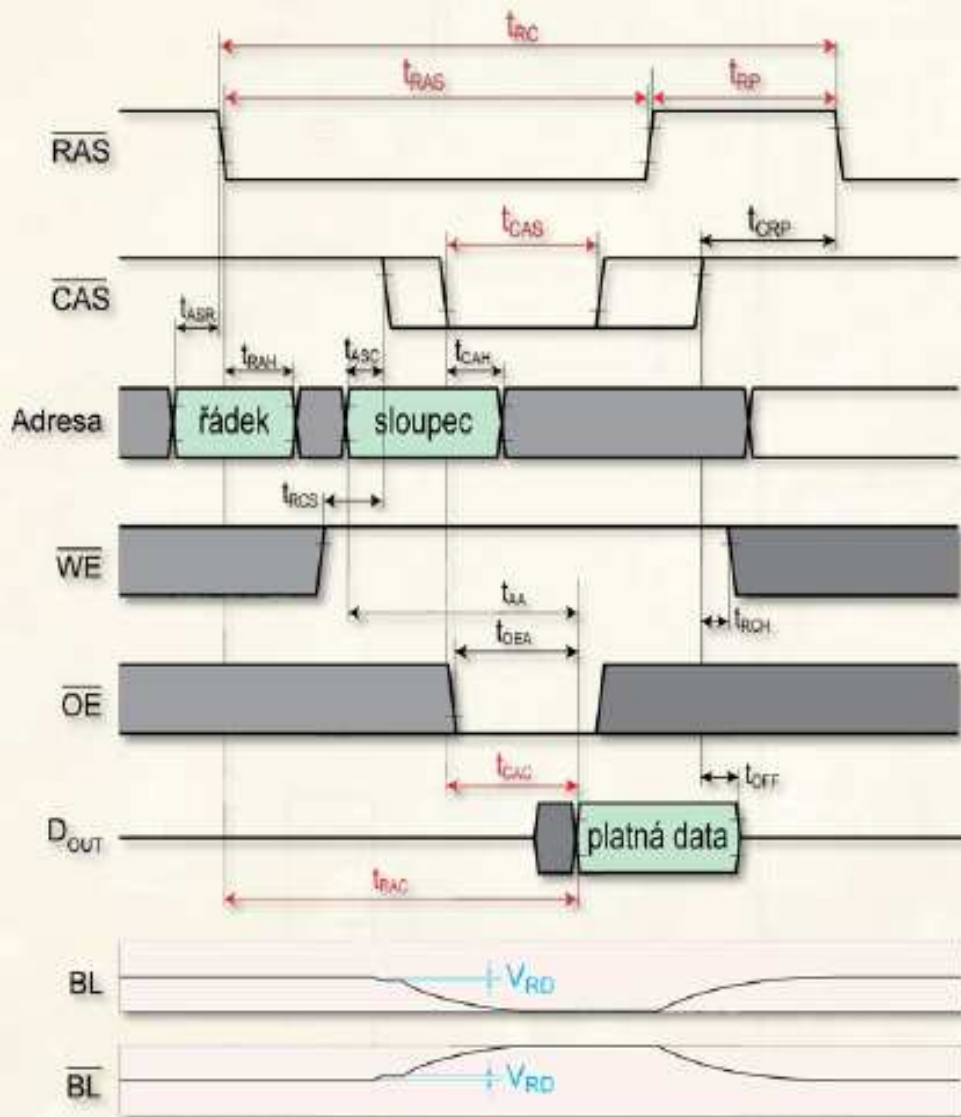


# PAMĚŤ DRAM

Dynamické paměti jsou dnes dostupné ve variantě asynchronní (používané v systémech z počátků mikroprocesorové techniky), tak i synchronní, které jsou používány v paměťových modulech počítačů PC (SDRAM, DDR2, DDR3, atd.).

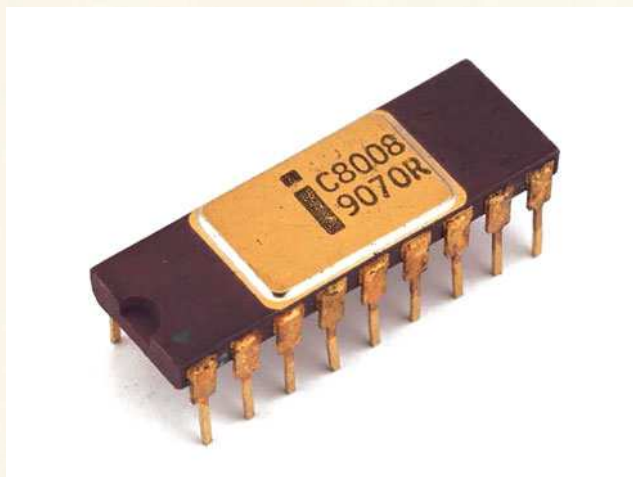


## PAMĚŤ DRAM – ČASOVÉ PARAMETRY



- ❖  $t_{RC}$  (Row Cycle Time) – doba mezi dvěma operacemi čtení
- ❖  $t_{RAC}$  (Row access time) – doba potřebná od sestupné hrany RAS k získání platných dat.
- ❖  $t_{CAC}$  Column (Page) Access – doba, potřebná k získání platných dat od sestupné hrany CAS
- ❖  $t_{RAS}$  Přístupová doba mezi počátkem přístupu do paměti a začátkem doby přípravného nabíjení (35 ns u DDR3-1600, 45 ns DDR2, 60 ns DDR a starší)
- ❖  $t_{RP}$  (RAS Precharge) – doba potřebná k opětovnému přístupu do paměti (nabití sloupců).

# PAMĚŤ DRAM

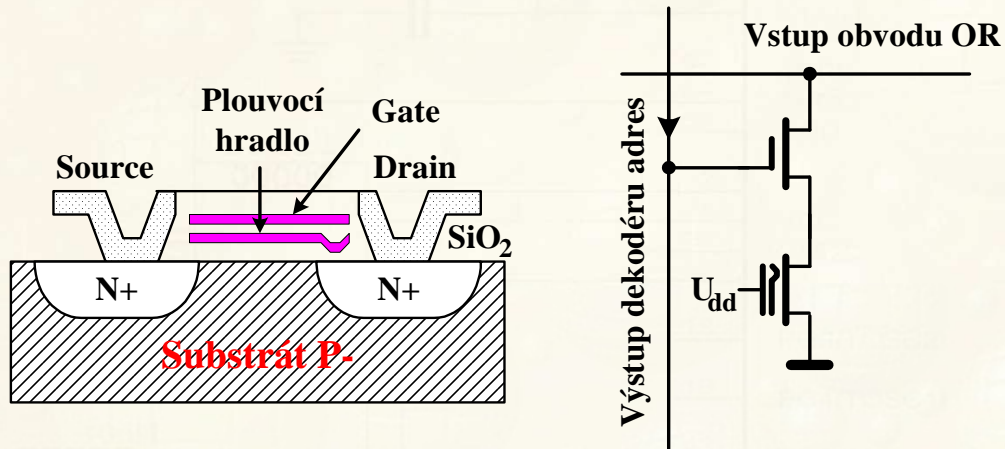


## Vlastnosti

- ❖ Spotřeba 60-90mA závisí na minimální době přístupu
- ❖ Pouzdro s malým počtem vývodů
- ❖ Počet čtení a zápisů – neomezený
- ❖ **Využitelná jako RAM (programová (OS) i datová)**

# PAMĚŤ EEPROM

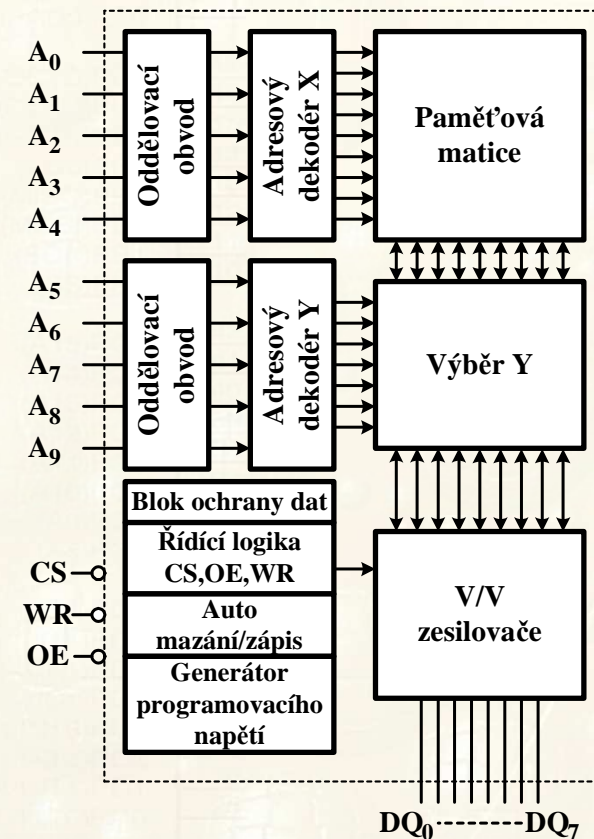
## Základní struktura paměťové buňky



Buňka EEPROM je podobná buňce EPROM doplněná o velmi tenkou vrstvu oxidu kolem Gate MOSFET tranzistoru, která umožňuje smazání obsahu.

Mazání se provádí napětím opačné polaroty mezi G a D, po kterém dojde k odvedení náboje z hradla G.

## Skupinové schéma paměti EEPROM



## PAMĚŤ EEPROM - VLASTNOSTI

- Zápis dat do EEPROM je blokován v situacích, kdy by se mohly uplatnit poruchové stavy časování nebo napětí.
- Ochrana je obvodová i programová.
- Obvodová ochrana blokuje zápis při nízkém napětí, nereaguje na krátké impulzy.
- Určitou dobu po připojení napájení není dobré s ní komunikovat (cca 5÷15ms).
- **Nejsou-li dodrženy všechny parametry paměti může, díky generátoru mazání, dojít k poničení obsahu paměti (např. špatná filtrace  $U_{CC}$  paměti).**
- Sériové EEPROM se vyrábí v DIL8, SO8, SOT23 s přístrojovou sběrnici I<sup>2</sup>C, SPI, Microware a 1-wire.
- Komunikace s pamětí probíhá přes příkazy.



- ❖ **Nonvolatile memory**
- ❖ Zápis v programátoru nebo přímo v procesorovém systému.
- ❖ Po zápisu bytu nebo stránky je třeba kontrolovat **zaneprázdněnost paměti** způsobenou zápisem.
- ❖ Doba zápisu bytu i stránky  $4 \div 10\text{ms}$
- ❖ Doba vybavení pro čtení  $60 \div 120\text{ns}$ .
- ❖ Garantovaný počet zápisů cca 100000 u nových typů až 4000000
- ❖ Paralelní paměť může sloužit pro uložení **programu** (nebezpečí ztráty).
- ❖ Sériové provedení se obvykle využívá jako paměť **kalibračních hodnot přístrojů, interpretovaného programu PLA** (Programovatelné Logické Automaty).

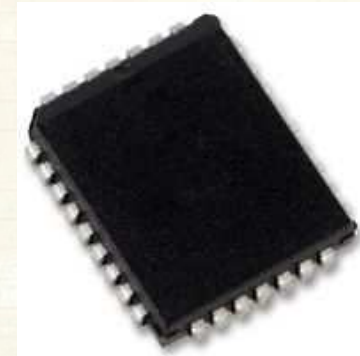


- **Klasické Flash** (PEROM) nahrazují EPROM a EEPROM v aplikacích vyžadujících větší kapacitu a větší rychlost čtení.
- Mazání - elektrické (Fowler-Nordheimův jev), elektrony odvedeny do substrátu nebo elektrody Drain.
- Proti EEPROM, nemají programovací automat, programování je řízeno programově.
- **Odtud větší odolnost vůči ztrátě obsahu.**
- Mazání obsahu dříve po bytech nebo celá paměť, dnes po blocích.
- Změna jednoho nebo více bytů – uložení celé stránky (64÷256) – změna bytů – uložení stránky.!!!!
- Výjimečně najdete typ, který se maže a programuje po bytech.
- V sériovém provedení se paměti flash vyrábí v DIL8, SO8 se sběrnici I<sup>2</sup>C, SPI.

# PAMĚŤ FLASH

## Vlastnosti

- ❖ **Nonvolatile memory**
- ❖ Zápis – programátor, přímo na desce.
- ❖ Zápis po sektorech o 64÷256 bytů, zřídka po bytech.
- ❖ Doba zápisu bytu i stránky 4 ÷ 10ms
- ❖ Doba vybavení pro čtení 70 ÷ 120ns.
- ❖ Garantovaný počet zápisů > 10000
- ❖ Paralelní provedení paměti slouží pro uložení programu, tabulky. Sériové provedení se využívá jako paměť tabulek, hlasových zpráv, střežaných dat nebo interpretovaného programu.
- ❖ Změny obsahu paměti Flash nesmí být časté (životnost paměti).



## PAMĚTI FLASH NAND A NOR - SLC, MLC, TLC, QLC

Moderní paměti FLASH dnes rozdělujeme podle počtu bitů uložených v paměťové buňce na:

- ✓ **SLC** – uložen jeden bit, plovoucí hradlo obsahuje náboj nebo ne.
- ✓ **MLC** – uloženy dva bity, hradlo obsahuje 4 stavy náboje
- ✓ **TLC** – náboj určující stav tří bitů
- ✓ **QLC** – v paměťové buňce jsou uloženy čtyři bity.

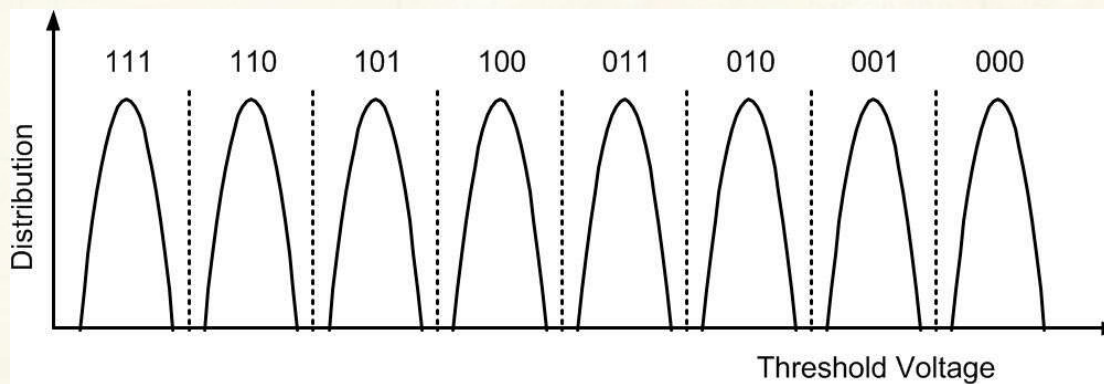
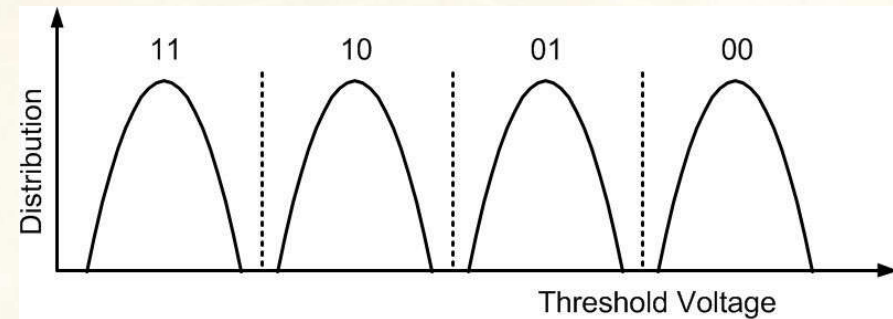
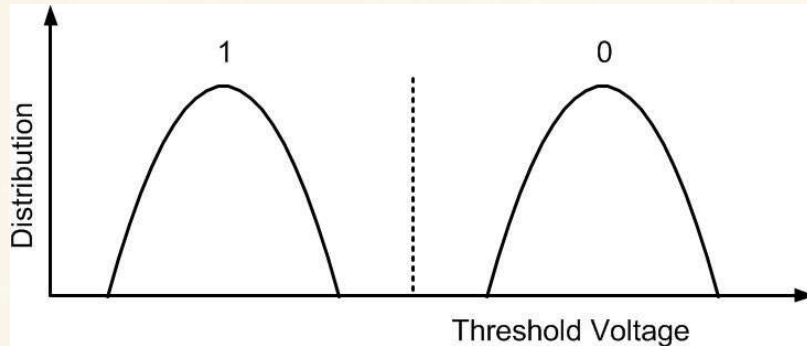


Podle vnitřní konfigurace dělíme paměti na **NAND** a **NOR**

- ✓ **NOR** - pro rychlé čtení a náhodný přístup. Buňky zabírají na čipu více místa, mazání a programování je pomalejší vůči NAND. Vhodné pro uložení BIOS, mobilní telefon, atd.
- ✓ **NAND** - rychlé mazání a programování svého obsahu, ale mají pomalejší čtení.

Mazání obou typů využívá Fowler-Nordheimův jev. Elektrony jsou odvedeny z jednotlivých stránek ( $64 \div 256$ ). Programování NOR - injekcí horkých elektronů, NAND - Fowler-Nordheimův tunelový jev.

# PAMĚTI FLASH – URČENÍ INFORMACE ULOŽENÉ V PAMĚŤOVÉ BUĚCE



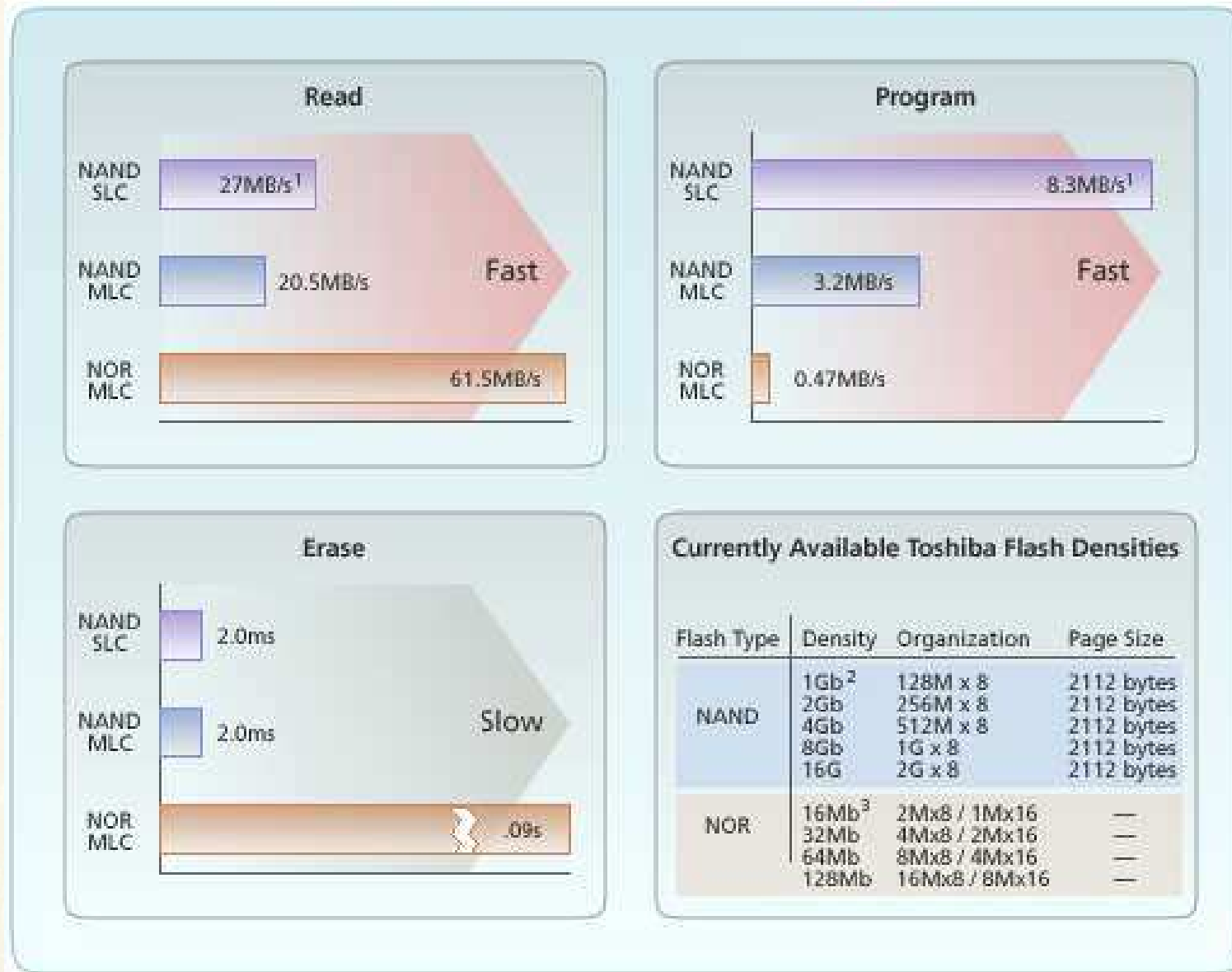
Četnost chyb u jednotlivých technologií na čtený bit:

**SLC**:  $10^{-9} \div 10^{-11}$  , **MLC**:  $10^{-5} - 10^{-7}$  , pro 6 úrovní:  $10^{-7}$  , **TLC**:  $5 \cdot 10^{-5}$  , pro 12 úrovní :  $2 \cdot 10^{-3}$

Běžně se k zabezpečení používá BCH blokový kód (Hocquenghem, Bose a Ray-Chaudhuri) .

# PAMĚTI FLASH – POROVNÁNÍ VLASTNOSTÍ NAND A NOR

## NAND vs. NOR Performance Comparison



Změna jednoho nebo více bytů u paměti se sektorovým přístupem:

1. Přečtení celého sektoru a jeho uložení do RAM
2. Změna požadovaných bytů v RAM
3. Smazání sektoru
4. Naprogramování celé stránky (není možné opakovaně přímo přepsat 1 byte informace (na stejném fyzickém místě), protože přepis 0 → 1 vyžaduje mazání celého sektoru).

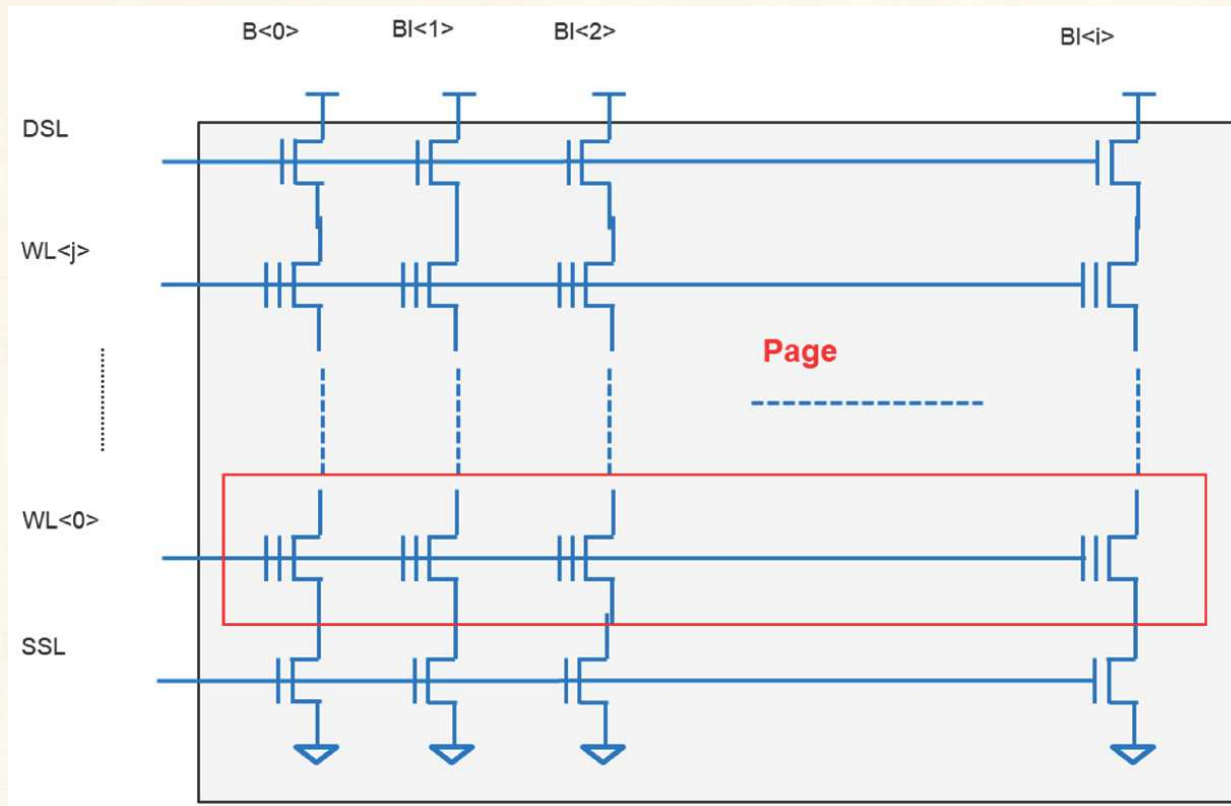
S počtem úrovní v paměťové buňce se zvyšuje pravděpodobnost chybného stanovení stavu paměťové buňky ⇒ **rezervní oblasti (ECC)** pro zabezpečující bity (bloku) samoopravného kódu.

- U **SLC** čipů přidané bity umožňují opravit 2 bity z 512
- U **MLC** čipů je to obvykle 6 bitů z 512.

Přidané redundantní bity jsou voleny tak, aby mezi jednotlivými kódovými slovy byla určitá minimální Hammingova vzdálenost (počet rozdílných bitů). Pokud nepřekročí počet chybných bitů polovinu Hammingovy vzdálenosti, mohou být opraveny.

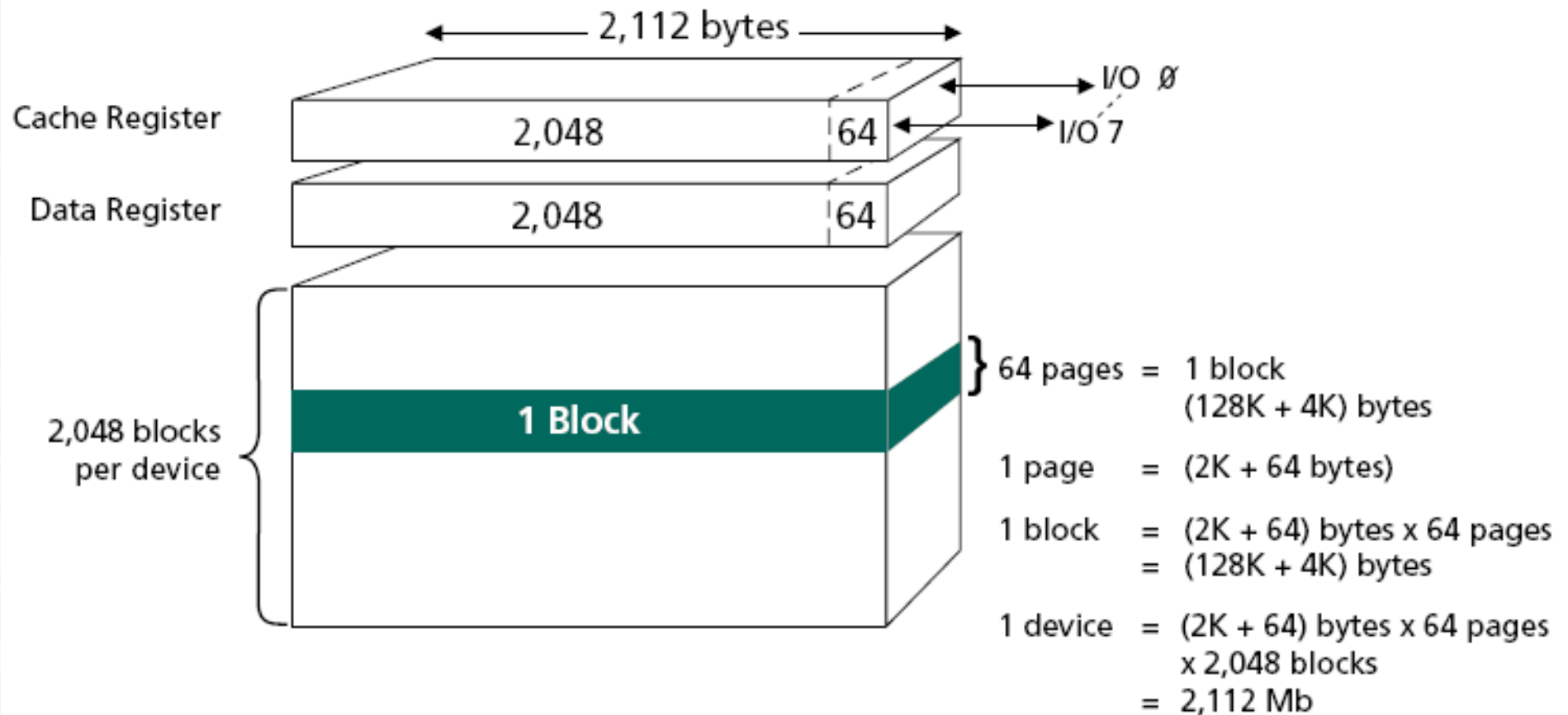


# PAMĚŤ FLASH NAND – STRUKTURA BUNĚK, STRÁNEK A BLOKU



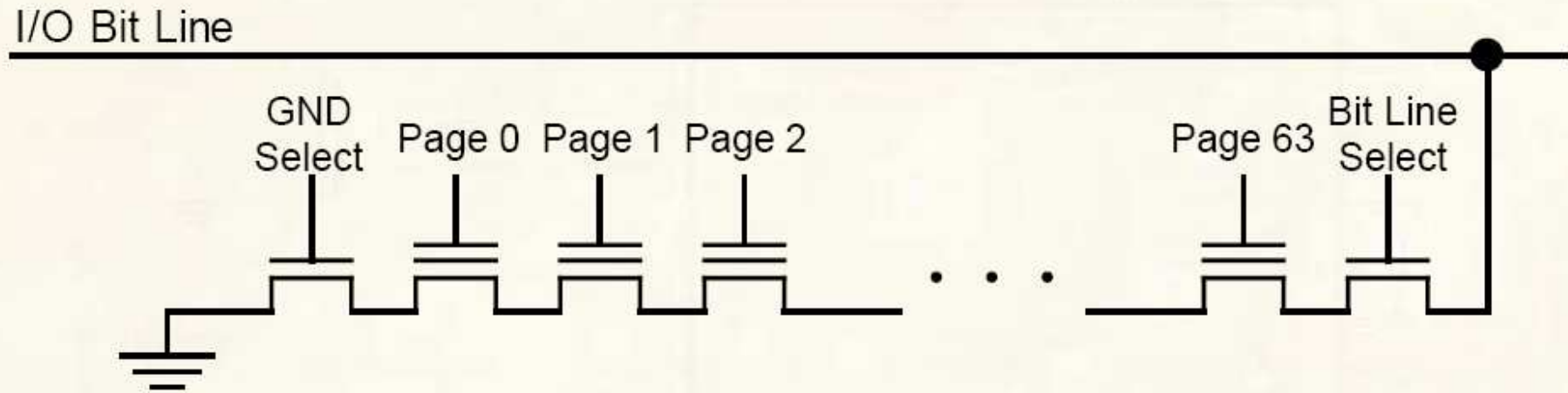
Paměťové buňky jsou uspořádány dle obrázku. Ve sloupci (stránce) je obvykle 32 až 128 paměťových buněk sériově spojených a připojeny k tzv. **bitline**. Několik stránek = **blok** - minimální počet bitů k přečtení nebo programování. **Wordline** = propojení gate tranzistorů v jednom řádku bloku umožňující čtené slovo. Blok je nejmenší jednotkou pro operaci mazání. Několik bloků = **rovina** spojená s vyrovnávací pamětí a řídicí obvody.

# PAMĚŤ FLASH NAND – STRUKTURA BUNĚK, STRÁNEK A BLOKU



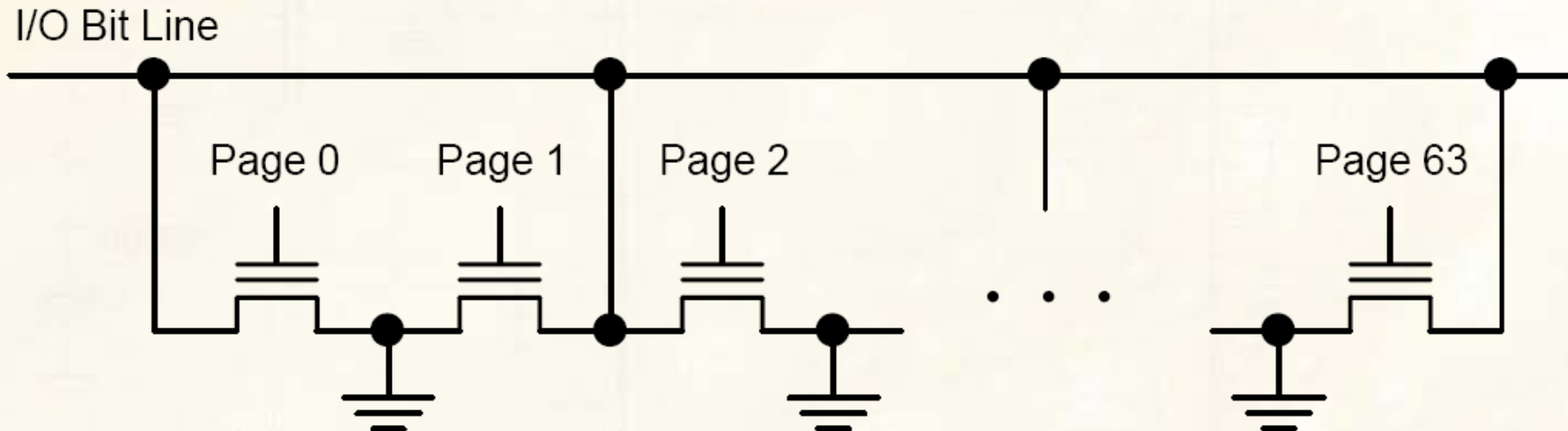
## PAMĚŤ FLASH NAND – ČTENÍ A PROGRAMOVÁNÍ

Obvod s více rovinami umožňuje zvýšit výkonnost obvodu v závislosti na způsobu zpracování uložených bitů ve vyrovnávací paměti.



**Čtení bitu** z dané stránky se realizuje připojením vysokého napětí na gate všech stránek (tranzistory jsou sepnuté) a na gate čtené buňky je potom připojeno referenční napětí pro zjištění log.0 nebo log.1 (SLC) nebo postupně více referenčních úrovní pro obvody MLC nebo TLC. Programování bitů stránky je realizováno připojením informace (slova) na bitlines a vysokého napětí na wordline. Programování buňky je možné pouze z log.1 na log.0. Ze stavu log.0 lze buňku do stavu log.1 uvést smazáním celého bloku.

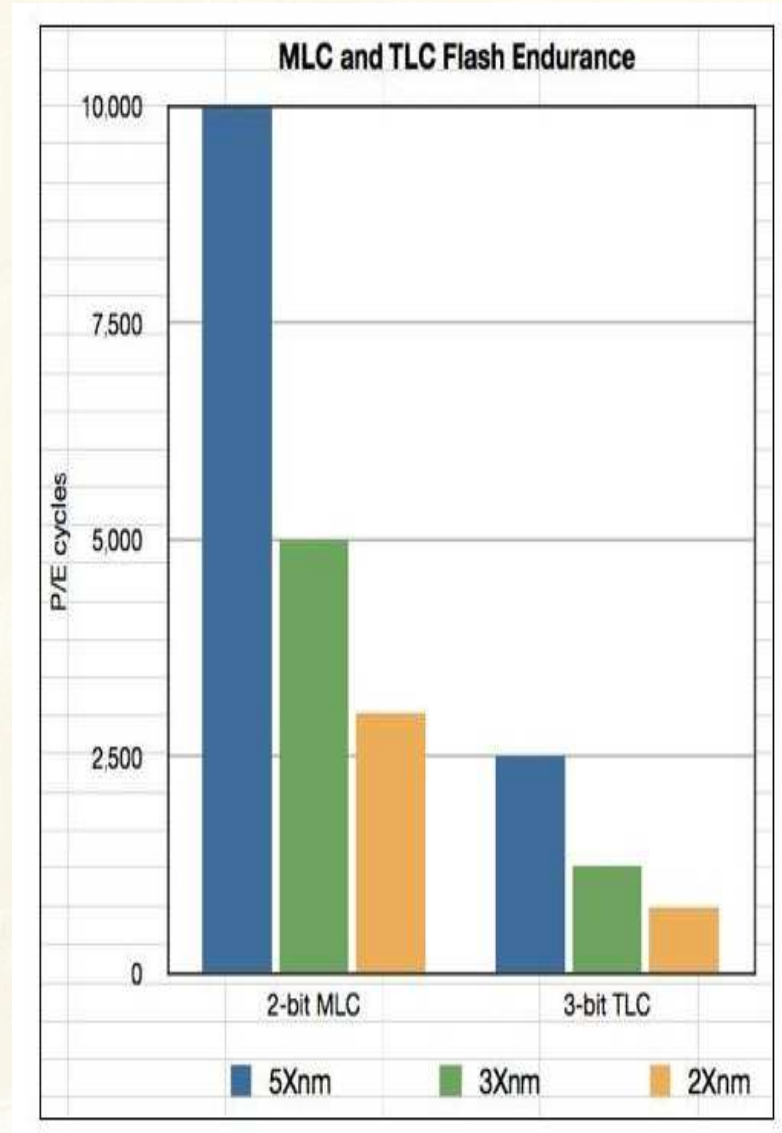
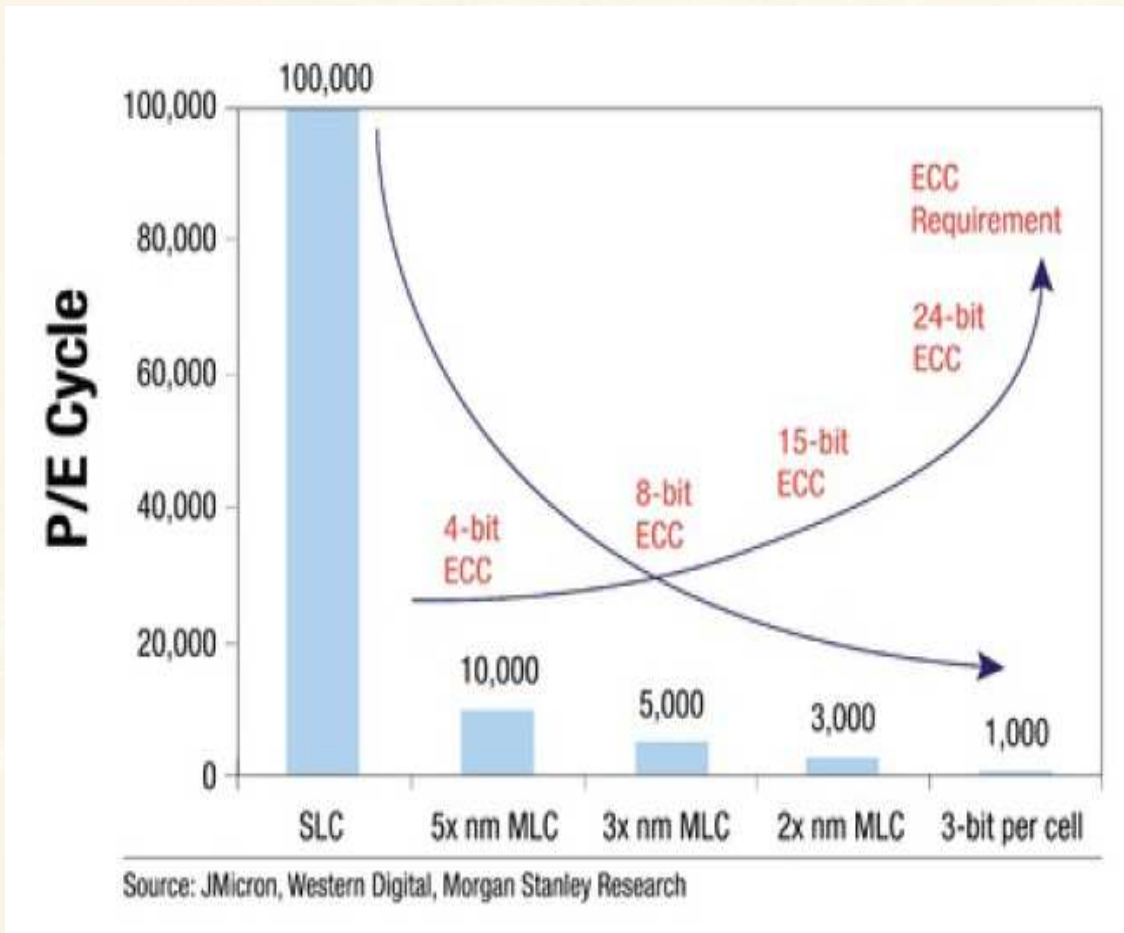
## PAMĚŤ FLASH NOR – STRUKTURA BUNĚK, STRÁNEK A BLOKU



U paměti NOR je přes bitline a wordline dostupná vybraná buňka. Čtení je zajištěno připojením referenčního napětí na vybranou stránku. Programování řádku je realizováno připojením informace na bitline a vysokého napětí na wordline. Stejně jako u NAND je programování možné pouze u buňky z log.1 na log.0. Ze stavu log.0 lze buňku do stavu log.1 uvést smazáním bloku.

Pro složitější propojení paměťových buněk je hustota na čipu řidší (cca 2,5x).  $\Rightarrow$  menší kapacity a vyšší cena za jednotku kapacity.

# PAMĚTI FLASH – POČET ZÁPISŮ DO SLC, MLC, TLC - TECHNOLOGIE



## PAMĚTI FLASH – MOŽNOSTI NEŽÁDOUCÍHO OPOTŘEBENÍ

Paměťová buňka paměti FLASH má omezený počet cyklů programování a mazání viz. předchozí blána (SLC  $10^5 \div 10^6$ , MLC (50nm) 10000, pro (20nm) 3000, TLC cca 1000). Použití paměti může být:

### ❖ **Bez problémů**

- ❑ Uložení programu, zřídka modifikovaná tabulka

### ❖ **Závislé na způsobu ukládání**

- ❑ Ukládání aktuální konfigurace přístroje
- ❑ Ukládání naměřených dat
  - Po bytech
  - Po stránkách
  - Po rotujících stránkách

### **Nejzávažnější problémy ukládání:**

- ❑ Ukládání po jednotlivých bytech do jednoho sektoru ( $\mu$ P).
- ❑ Opakované zapisování na stejné místo.

## PAMĚTI FLASH – MOŽNOSTI NEŽÁDOUCÍHO OPOTŘEBENÍ

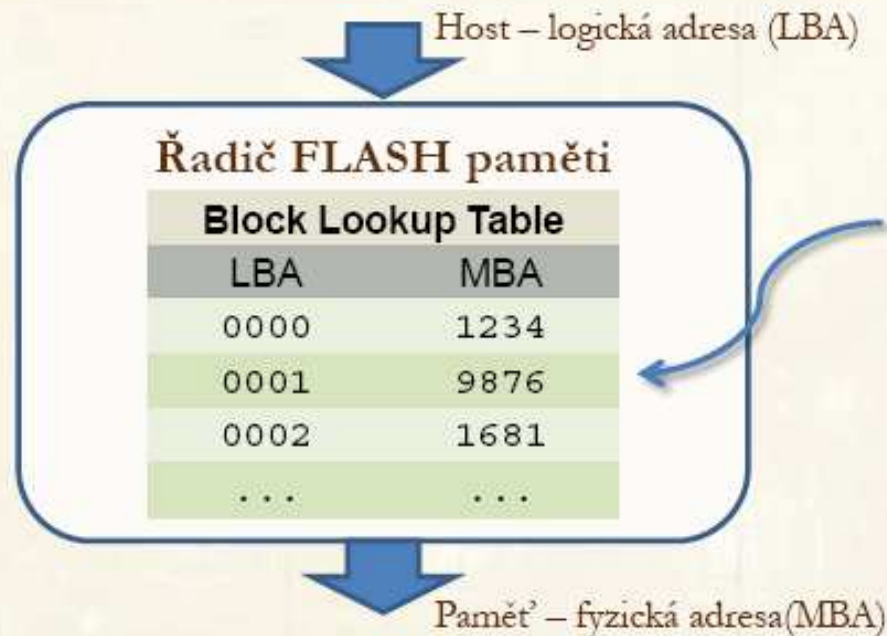
Jak rovnoměrně rozložit opotřebení paměťových buněk na celý čip?

- U datových flash v uP
  - ❑ Neukládat data po jednotlivých bytech do sektoru
  - ❑ Neukládat data do stále stejného sektoru
  - ❑ Nepřepisovat byte na stejném adresovém místě

**Existuje algoritmus doporučený firmou ST electronic pro procesory ARM využívající rotování (střídání) sektorů.**

- U SSD disků
  - ❑ Neukládat data do stejného sektoru
  - ❑ Neprovádět swapování na SSD disku
  - ❑ Defragmentace je zcela nesmyslná (defragmentační program nezná fyzické rozmístění dat v čipu).

# PAMĚTI FLASH - WEAR LEVELING



## Block Lookup Table

- Řadič zaznamenává počet mazání jednotlivých bloků
- Vybere blok s nejnižším počtem mazacích cyklů
- Do tohoto bloku přemapuje zápis dat

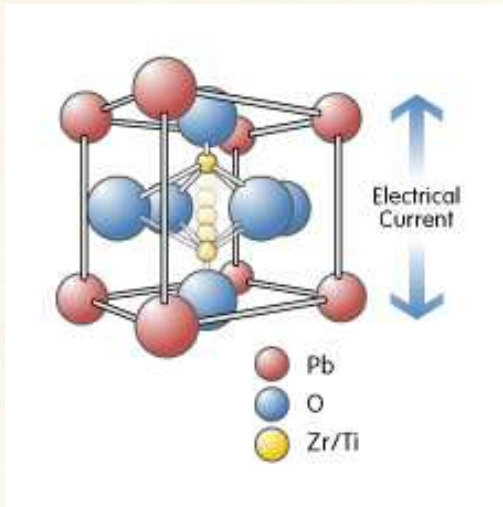
**Dynamický** – zápisy jsou směrovány pouze do volné části paměti. **Problém téměř zaplněné paměti.**

**Statický** – pro wear leveling je využita celá paměť – optimální pro životnost. Při překročení limitu mazání u volné paměti může být do této oblasti přesunut blok, který obsahuje statická data (**zpomalení zápisu** vzhledem k režii řadiče, mazání a zápisu bloku statických dat).

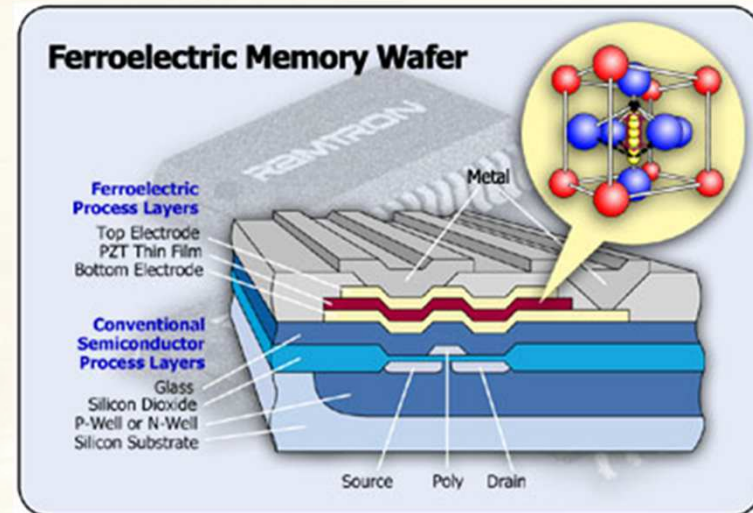


# PAMĚTI FRAM

## Základní struktura paměťové buňky



## Vlastnosti

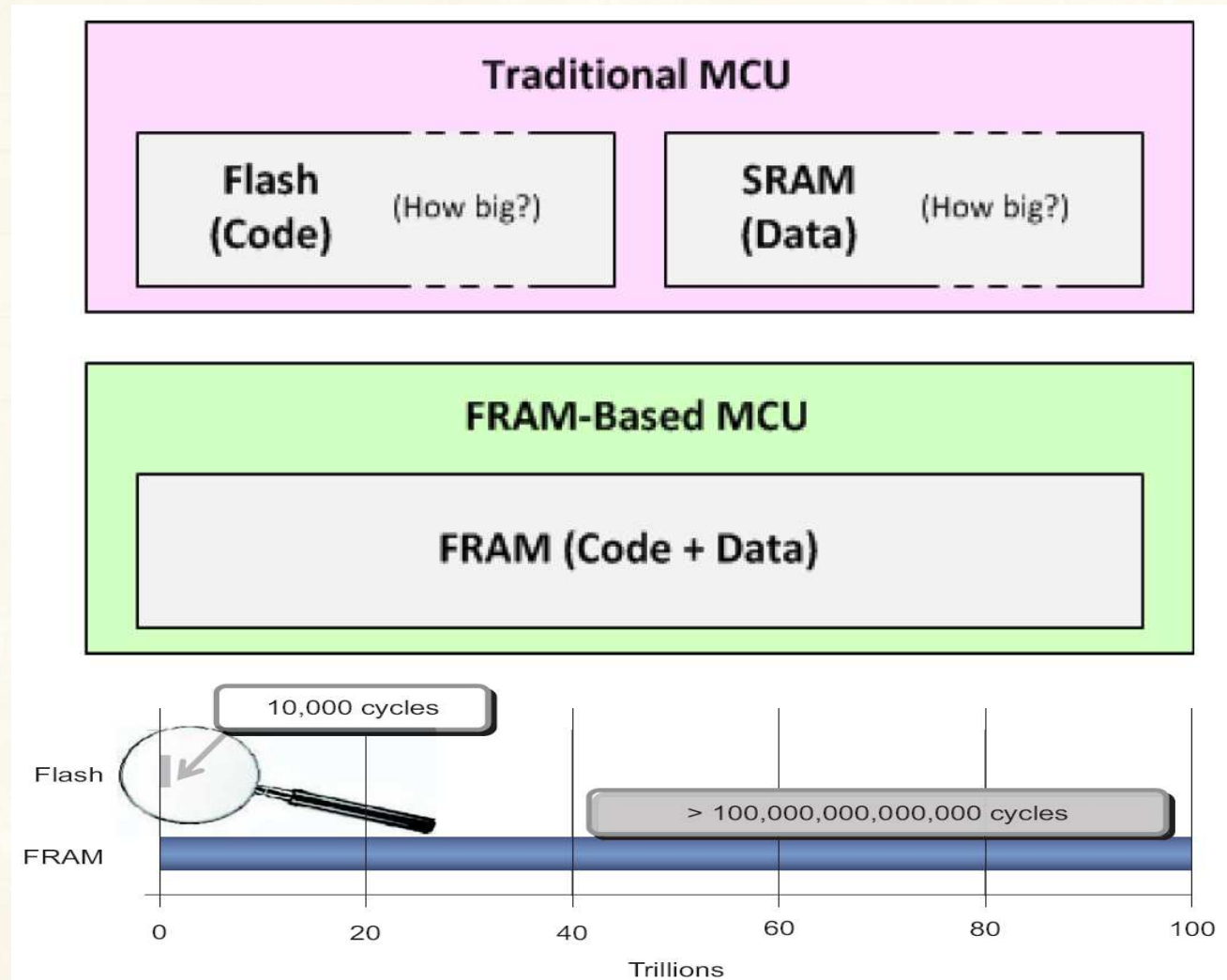
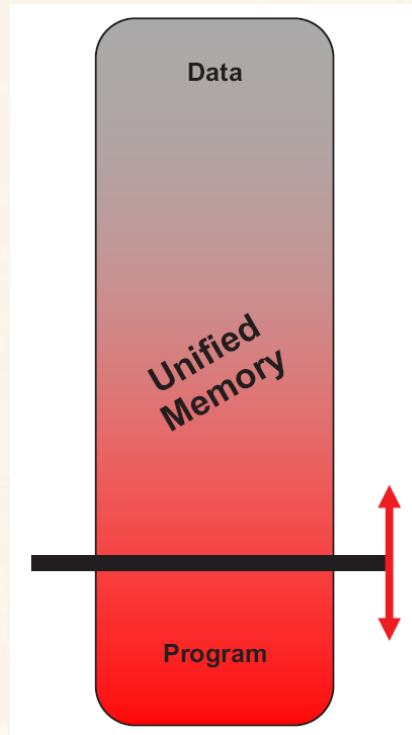


Feroelektrická tenká vrstva ( $130 \mu\text{m}$ ) keramiky PZT -  $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$  tvořeného tuhým roztokem zirkoničitanu a titaničitanu olova mění v elektrickém poli polaritu a vytváří tak dvoustavovou paměťovou buňku pro uložení 1 bitu informace.

- ❖ Přeskok atomu Zr/Ti - řádově 1ns
- ❖ Nelze ovlivnit magnetickým polem ani radiací (alfa i gama).
- ❖ Ramtron 1984, výroba 1993

- ❖ **Nonvolatile memory**
- ❖ Čtení a zápis srovnatelný s SRAM
- ❖ Velmi nízká spotřeba max. 15mA i pro 8Mb paměť
- ❖ Programování při nízkém napětí~1,5V
- ❖ Garantovaný počet zápisů  $> 10^{14}$ , trvanlivost  $>10$  let
- ❖ Proti EEPROM 3000x menší výkonová spotřeba, 1000x rychlejší zápis,  $10^9$ x větší počet zápisů
- ❖ **Použitelná jako ROM i RAM**
- ❖ Paralelní provedení paměti může sloužit pro uložení programu, tabulky a relativně časté ukládání dat i na stejné paměťové místo (mobily).
- ❖ Sériové provedení se využívá jako paměť tabulek, hlasových zpráv, střídaných dat nebo interpretovaného programu.

# PAMĚŤ FRAM - VLASTNOSTI



- ❖ **Energy Trace++ (TI)** ve vývojovém prostředí (CCS nebo IAR) lze sledovat spotřebu jednotlivých periférií mikroprocesoru (MSP430FR69x)

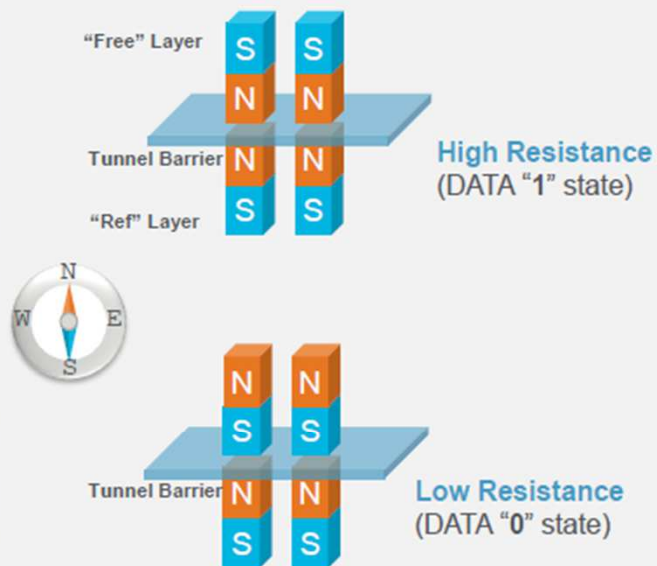
# PAMĚTI NEZALOŽENÉ NA NÁBOJOVÉM PRINCIPU

Stav buňky log.0 a Log.1 je identifikován jako rozdílný odpor, který buňka klade průchodu proudu.

## New Memories Based on Resistance Change

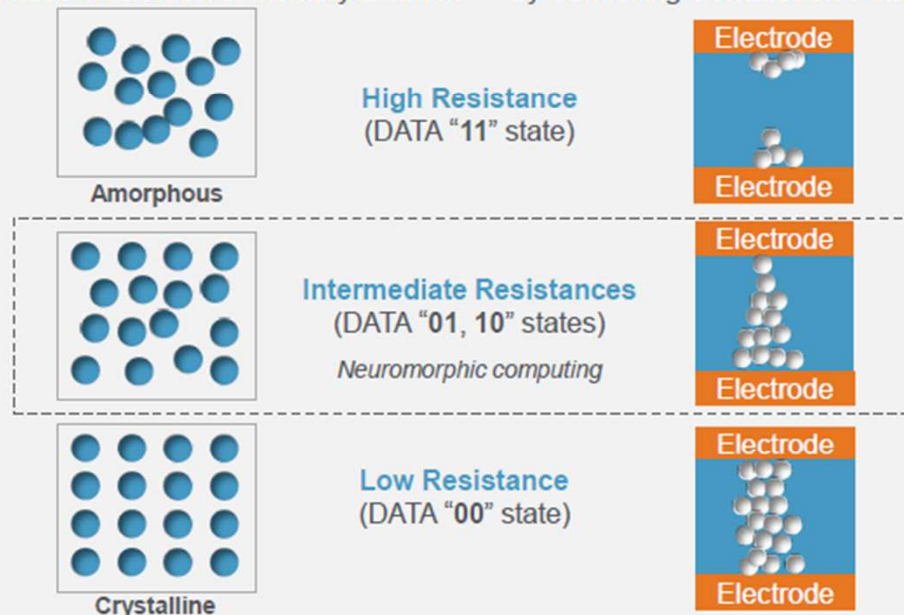
### Magnetic RAM (MRAM)

by Controlling the **Magnetic Orientation**



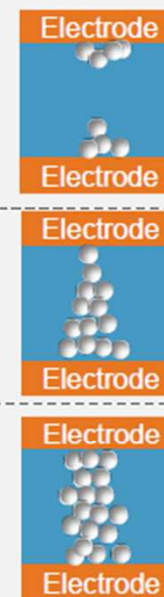
### Phase-Change RAM (PCRAM)

by Phase Transition of Memory Element



### Resistive RAM (ReRAM)

by Controlling Conduction Path Formation



**Novel Materials Engineering is Essential for New Memories**

External Use

APPLIED MATERIALS.

## PAMĚTI PRAM (PCRAM)

**Paměť PRAM** (Phase-change Random-Access-Memory), někdy též označovaná PCM, PCRAM, chalcogenidová RAM, je výkonná non-volatile memory. Hodnota uložené log.0 a log.1 spočívá v rozdílném odporu **dvou fází materiálu** - krystalickou a amorfni.

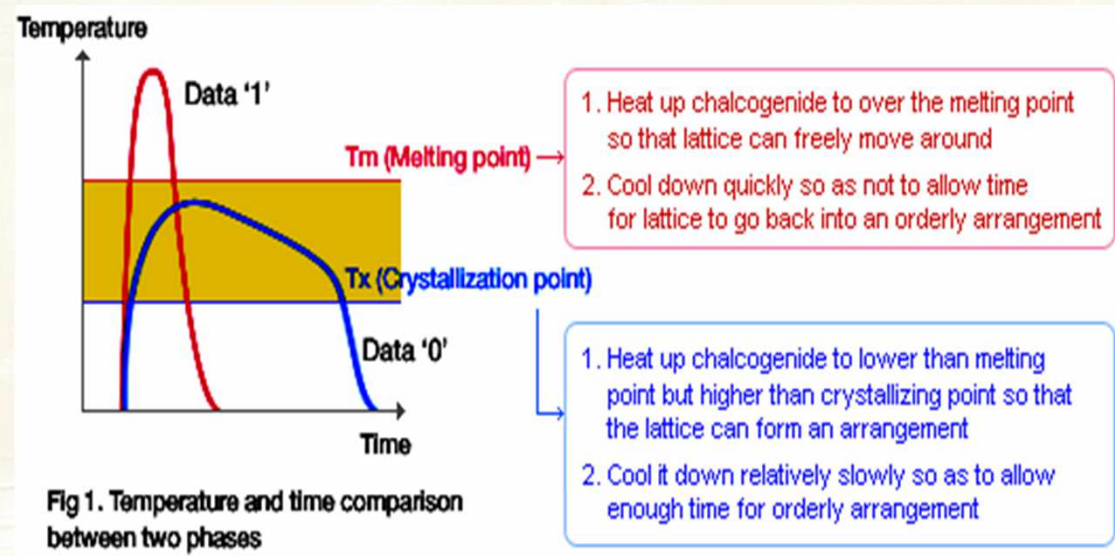
❖ **Krystalická fáze** - nízká hodnota odporu paměťové buňky

❖ **Amorfní fáze** – vyšší hodnota odporu paměťové buňky

Fázi materiálu paměťové buňky lze měnit pomocí **řízené tepelné energie** uvnitř paměťové buňky Fig.1.

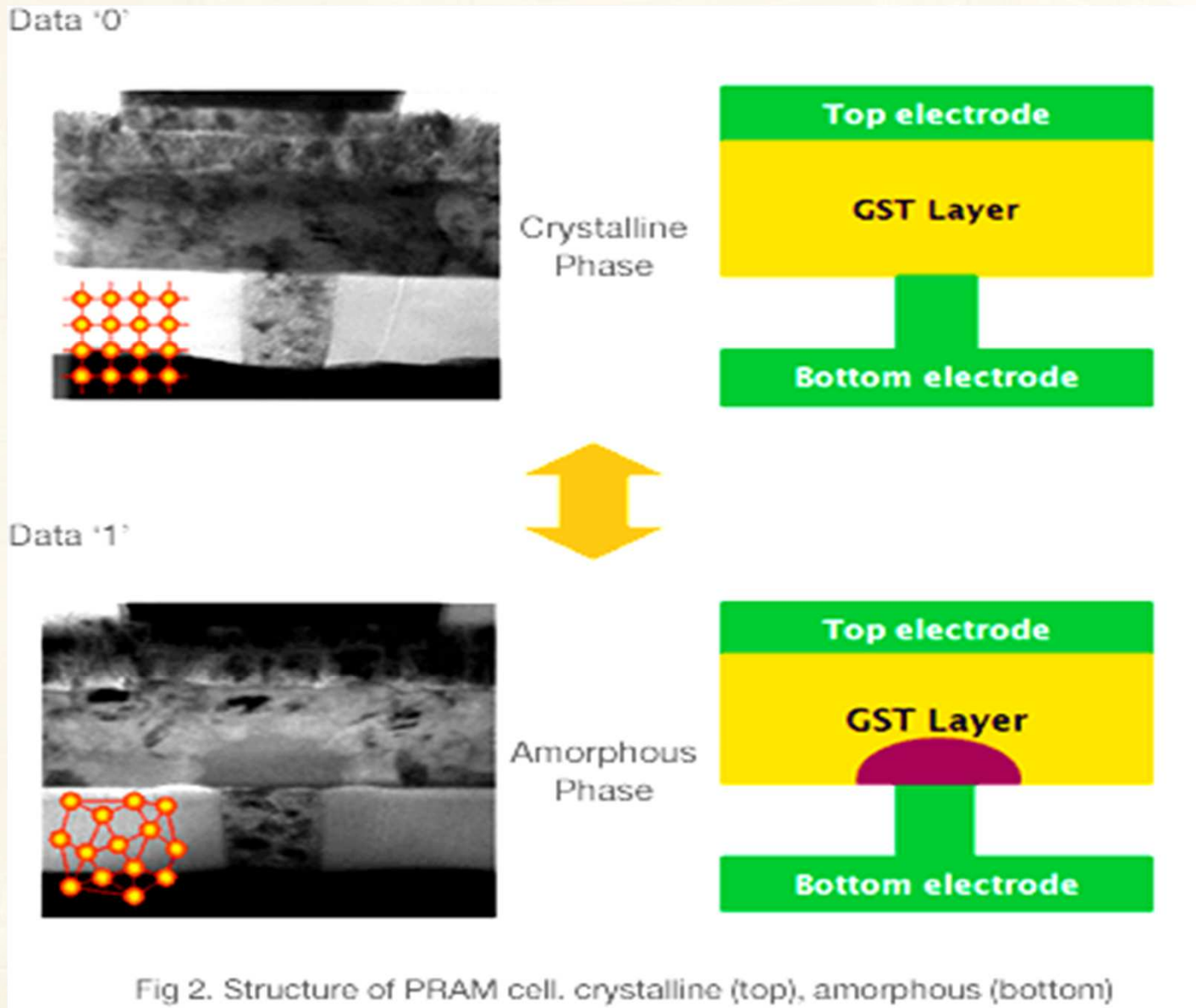
Paměť pracuje v podstatě na diodovém principu, je **výrobně jednodušší** a má **nejmenší plochu paměťové buňky**.

Oproti NOR/NAND dochází k minimálnímu ovlivňování jednotlivých buněk  $\Rightarrow$  vyšší spolehlivost.



# PAMĚTI PRAM - USPOŘÁDÁNÍ

## Fáze pro log.0 a log.1 paměti PRAM

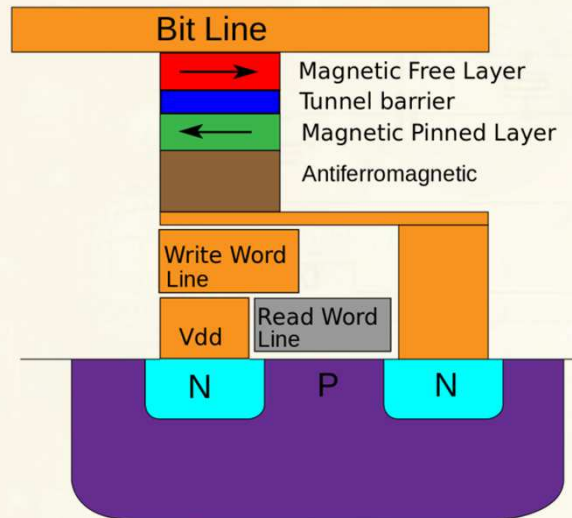


## PAMĚTI PRAM (PCRAM) - VLASTNOSTI

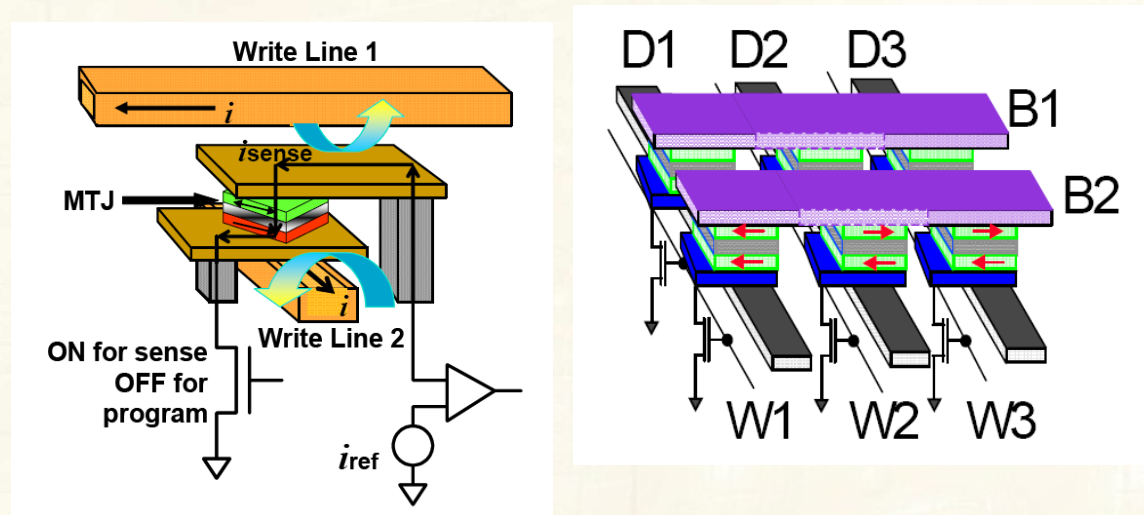
- ❖ Zachová obsah i bez napájení-**nonvolatile memory**
- ❖ Před programováním je potřeba paměť sma-zat po blocích.
- ❖ Doba zápisu bytu i stránky  $3\mu\text{s}$  na slovo
- ❖ Smazání bloku 80ms
- ❖ Doba vybavení pro čtení 100ns
- ❖ Garantovaný počet zápisů  $> 100000000$
- ❖ **Použití hlavně jako náhrada paměti Flash NAND a NOR**

# MRAM - MAGNETORESISTIVE RANDOM ACCESS MEMORY

## Základní struktura paměťové buňky



## Princip

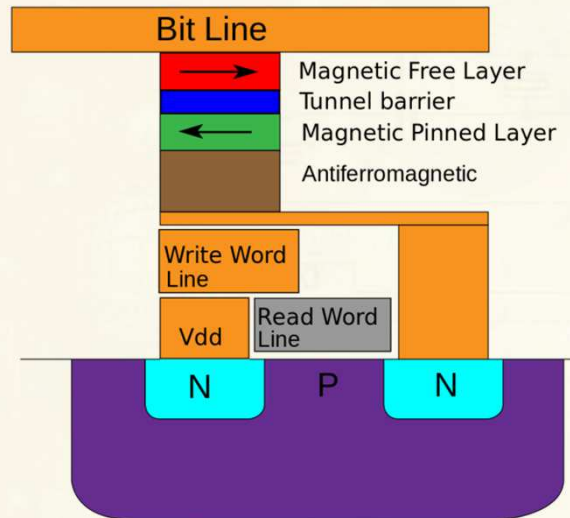


Paměťová buňka se skládá ze dvou vrstev magnetického materiálu oddělených tenkou izolační vrstvou oxidu hliníku, která představuje "magnetický tunelový přechod" (magnetic tunnel junction MTJ). Buňka obsahuje jeden tranzistor, který slouží ke čtení stavu buňky. MTJ se skládá ze tří základních částí - pevné magnetické vrstvy, dielektrika a volné magnetické vrstvy. Každá magnetická vrstva je ještě rozdělena na dvě vrstvy oddělené izolací. Informace log.0 nebo log.1 je dána orientací pole ve volné vrstvě, která při souhlasné orientaci představuje menší odpor, než při nesouhlasné orientaci vrstev.

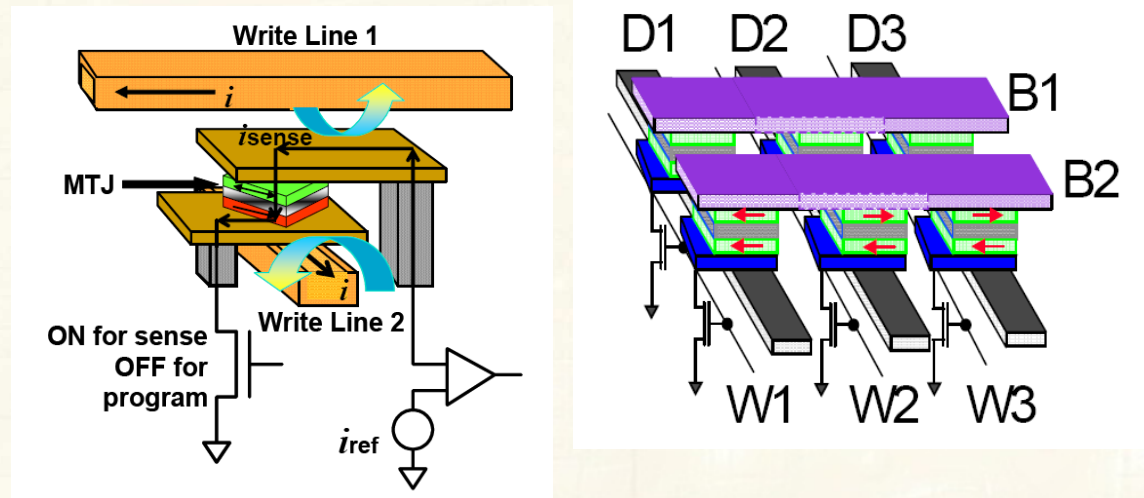


# MRAM - MAGNETORESISTIVE RANDOM ACCESS MEMORY

## Základní struktura paměťové buňky



## Princip

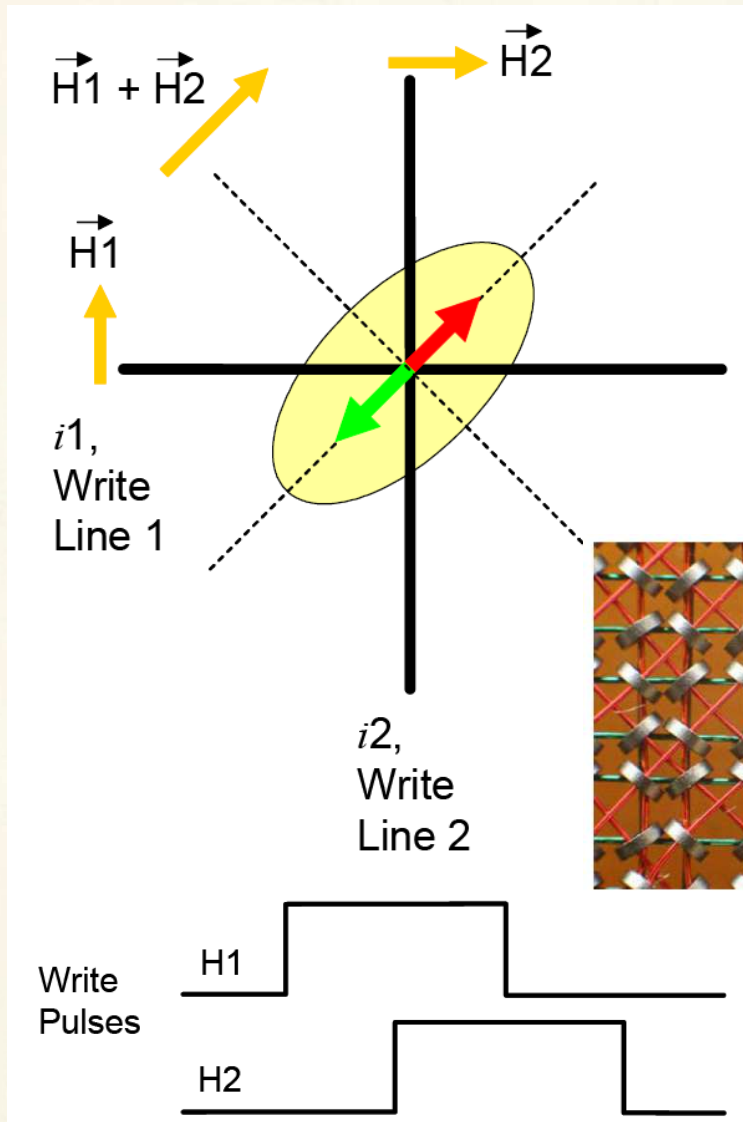


## Vlastnosti

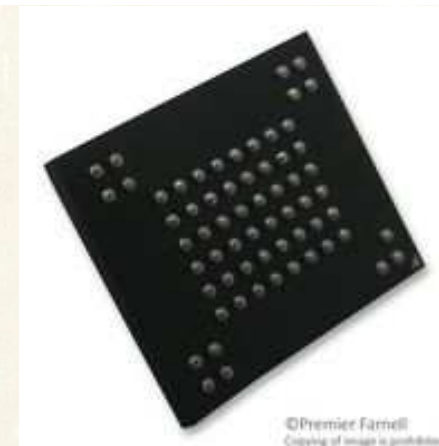
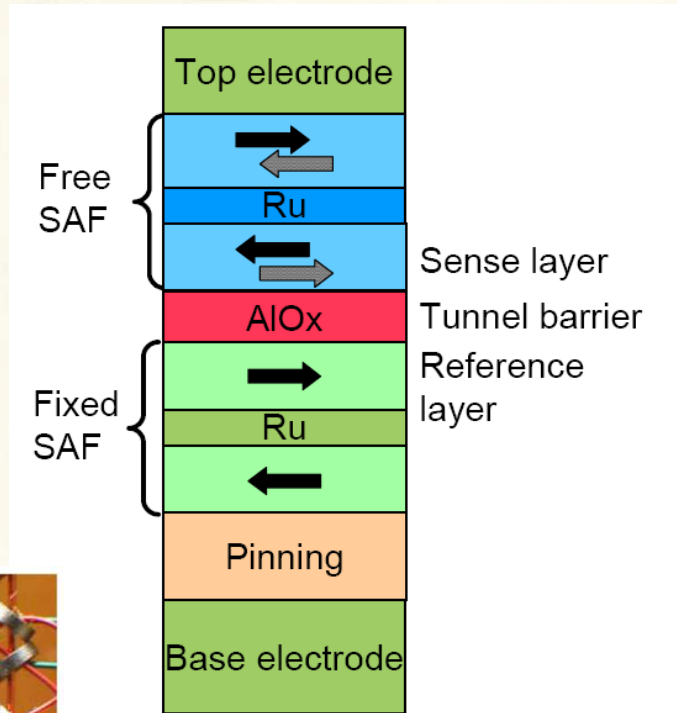
- ❖ Zachová obsah i bez napájení-**nonvolatile memory**
- ❖ Čtení a zápis časově srovnatelný s SRAM (20÷45ns).
- ❖ Počet zápisů - neomezený, trvanlivost >20 let
- ❖ Spotřeba 55÷165mA, standby 18mA pro paměť 256k x16b (dost. 16kx8 až 32Mx8)
- ❖ Náhrada pamětí Flash, SRAM, EEPROM a BBSRAM (zero RAM)
- ❖ **Využitelná současně jako ROM i RAM**

# MRAM - MAGNETORESISTIVE RANDOM ACCESS MEMORY

## Programování log.0 a log.1

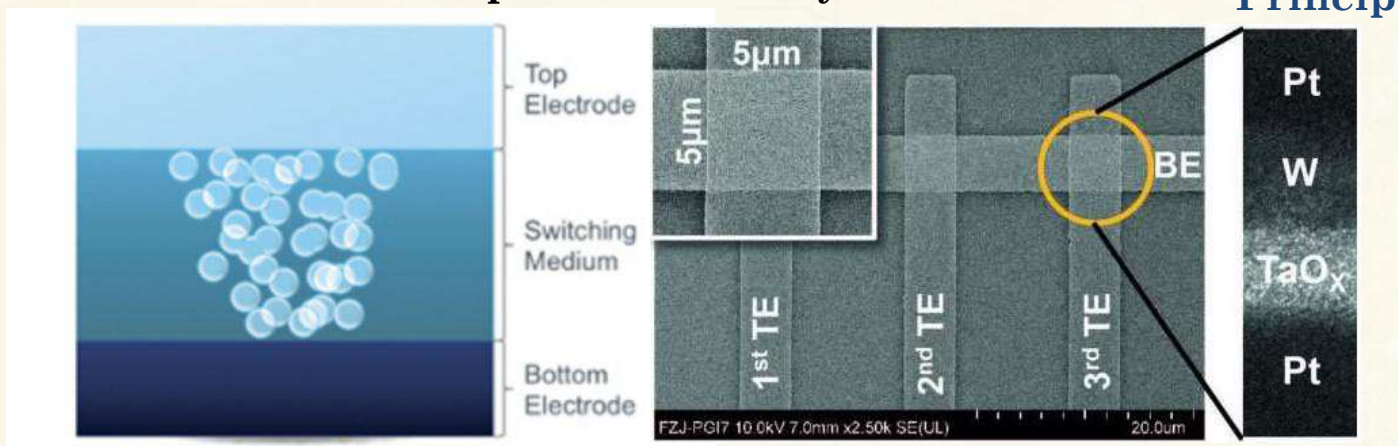


## Jednotlivé vrstvy buňky MTJ

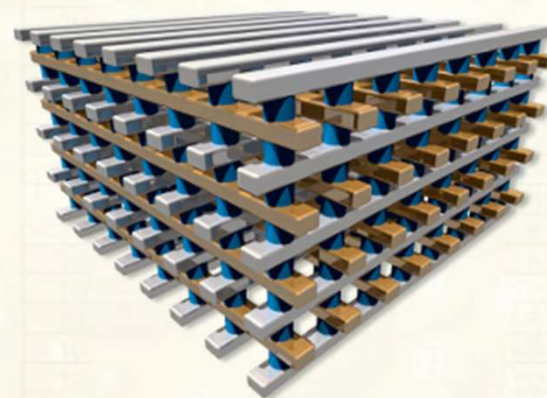


# ReRAM - RESISTIVE RANDOM ACCESS MEMORY

## Základní struktura paměťové buňky



## Princip



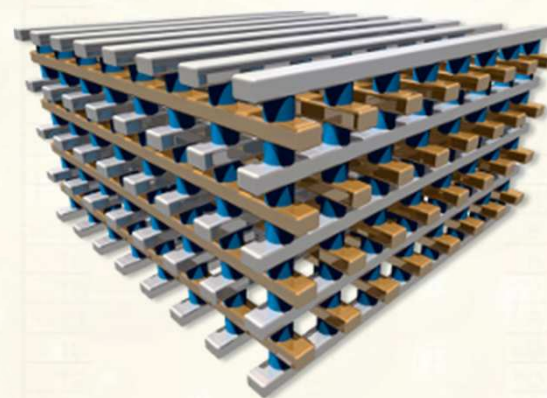
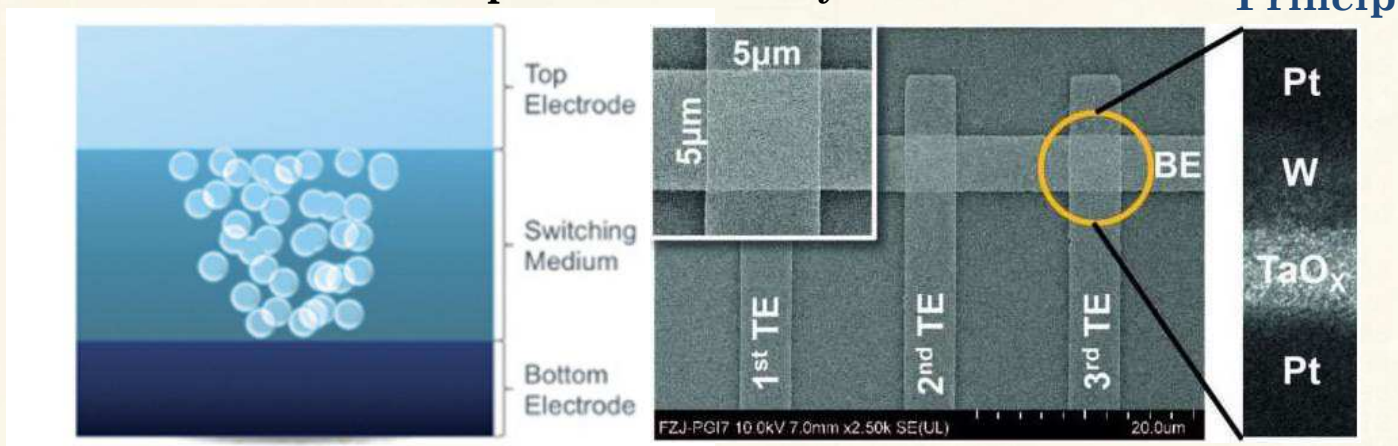
Paměťová buňka se skládá z tenké vrstvy oxidu tantalu (Ti:NiO, NiO, HfO<sub>2</sub>), jako materiálu s proměnným odporem, umístěným mezi dvěma kovovými vrstvami.

**Programování** - přivedení většího napětí, než je provozní napětí, dojde k uvolnění iontů z horní elektrody do vrstvy oxidu ⇒ výrazná změna odporu vrstvy oxidu. **Mazání** - přivedením opačného napětí, které způsobí přenosu iontů zpět do elektrody.

**Crossbar** – označení pro buňku ReRAM tvořenou nevodivým amorfním křemíkem (a-Si) s horní elektrodou ze stříbra nebo CMOS tranzistor využívaný k propojení periferie-vývod, sběrnice-sběrnice.

# ReRAM - RESISTIVE RANDOM ACCESS MEMORY

## Základní struktura paměťové buňky



## Vlastnosti

- ❖ Zachová obsah i bez napájení-**nonvolatile memory**
- ❖ Doba zápisu 10 ms
- ❖ Čtení časově srovnatelné s SRAM (35ns).
- ❖ Velmi nízká spotřeba přepis-1,3mA čtení-0,15mA pro 8Mb paměť při 5MHz
- ❖ Počet zápisů –  $1,2 \cdot 10^6$ , trvanlivost 10 let při 85 °C, čtení neomezené
- ❖ **Využitelná současně jako ROM i RAM**