

OVLÁDÁNÍ LOGICKÉHO OBVODU μ P

- ❖ Návrh LKO schématem v prostředí Quartus II
- ❖ Překlad návrhu, vytvoření Univerzitní simulace, grafická interpretace vstupních signálů pro simulaci, simulace funkční a časová.
- ❖ Návrh LSO z TTL obvodů schématem a simulace jeho chování.
- ❖ Stanovení časových parametrů pro jeho správnou činnost z katalogu jednotlivých logických řad.
- ❖ Programová realizace LKO
- ❖ Programové ovládání LSO TTL obvodu

LOGICKÉ KOMBINAČNÍ OBVODY

Příklad: LKO se čtyřbitovým vstupem (číslo 0 15), jehož výstup indikuje čísla dělitelná 2 a 5.

- Karnaughova mapa
- Minimální součtová forma
 - Realizace dvoustupňovým obvodem
 - Realizace s obvody se dvěma vstupy
- Minimální součinnová forma
 - Realizace dvoustupňovým obvodem
 - Realizace s obvody se dvěma vstupy
- Realizace AND-OR-INVERT – konstrukce PAL, GAL, CPLD
- Realizace Multiplexerem
- Realizace Read Mulerovou formou
- Realizace dekodérem
- Realizace paměti ROM

LOGICKÉ KOMBINAČNÍ OBVODY S NAND A NOR

○ Minimální součinná forma

- Realizace dvoustupňovým obvodem

$$F = \bar{x}_1 + \bar{x}_2 \cdot x_3 \cdot \bar{x}_4 + x_2 \cdot x_3 \cdot x_4$$

- Realizace s obvodu se dvěma vstupy

$$F = \bar{x}_1 + x_3 \cdot (\bar{x}_2 \cdot \bar{x}_4 + x_2 \cdot x_4)$$

	x_1	x_2		
x_3	1	0	0	1
x_4	1	1	0	1
	1	0	1	1
	1	0	0	1

○ Minimální součinná forma

- Realizace dvoustupňovým obvodem

$$F = (\bar{x}_1 + x_3) \cdot (\bar{x}_1 + x_2 + \bar{x}_4) \cdot (\bar{x}_1 + \bar{x}_2 + x_4)$$

- Realizace s obvodu se dvěma vstupy

$$F = (\bar{x}_1 + x_3) \cdot (\bar{x}_1 + (x_2 + \bar{x}_4)) \cdot (\bar{x}_2 + x_4)$$

LOGICKÉ KOMBINAČNÍ OBVODY S NAND A NOR

- o Realizace AND-OR-INVERT

$$F = \overline{x_1 \cdot \bar{x}_3 + x_1 \cdot x_2 \cdot \bar{x}_4 + x_1 \cdot \bar{x}_2 \cdot x_4}$$

- o Realizace Multiplexerem

	x_1		x_2		x_4			
x_3	1	0	0	1	1	0	0	1
	1	1	0	1	1	1	0	1

Nyní záleží na propojení

adresových vstupů s x_1, x_2, x_4

na vstupy I_0 až I_7 podle stavu ve

sloupci – 0, 1, x_3 , non x_3

- o Realizace Read Mulerovou formou

$$F = A \oplus I \oplus D.C.A \oplus B.C.A \oplus C.A$$

- o Realizace dekodérem
- o Realizace paměti ROM

0x0000 01 00 01 00 01 01 01 00 01 00 01 00 01 00 01 01

- Návrh dekodéru BIN→7SEG, BCD →7SEG
 - Klasický návrh LKO, návrh ROM, návrh RAM
 - Využití obvodů z řady TTL
- Zápis hodnoty do registru – Časové průběhy, časové parametry, programové řešení v jazyce C pro ARM (brány = I/O vývody ovládané registrem GPIOx->ODR nebo GPIOx->BSSR).
- Zápis hodnoty do registru – Časové průběhy, časové parametry, programové řešení v jazyce C pro ARM
- Chování čítače
 - Asynchronní např. 7490, 7493
 - Synchronní např. 74162, 74163
 - Programové např. inkrementace proměnné, cyklus for, atd.
- Realizace 4 nepřekrývajících signálů
 - Dekodérem a čítačem např. 74139, 74163
 - Speciálním čítačem se stavy 1, 2, 4 a 8