



Paralelní dvojkový 64-bitový sumátor se zrychlenými přenosy a předvídáním (Carry Look-Ahead)

1. Vypracujte v jazyku Verilog popis jednotky kombinační logiky úplné sčítačky pro j -ty řád sumátoru CLA. Úplnou sčítačku uvažujte jako dvě separátní jednotky, zodpovídající sekcím SUM a pg .
Vstupy: x_j, y_u a c_j . Výstupy: s_j, p_j a g_j .
2. Popište v jazyku Verilog 4-bitovou jednotku CLA přenosu s předvídáním.
3. Popište v jazyku Verilog strukturu kompletního 64-bitového sumátoru s třemi úrovněmi přenosů s předvídáním CLA. Využijte repetitivní strukturu této jednotky. Proces přenosů CLA rozčleňte do 4-bitových modulů.
Vstupy: $X(63:0), Y(63:0), c0$. Výstupy: $SUM(63:0), c64$
4. Simulujte sčítání a odčítání dvou 64-bitových čísel. Správnost výsledku ověřte.
5. Určete celkové zpoždění sumátoru, a porovnejte ho se zpožděním sumátoru se zvlněným přenosem. Předpokládejte stejné zpoždění signálu na všech hradlech, zpoždění mezi hradly zanedbejte.