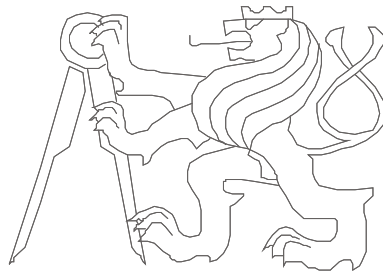


Pokročilé architektury počítačů

– Podklady pro cvičení –
Typické (časté) chyby



České vysoké učení technické, Fakulta elektrotechnická



Klopný obvod D spouštěný náběžnou hranou clk (positive edge):

```
module D_flip_flop (input clk,  
                    input d,  
                    output q);  
    always @ (posedge clk)  
        q <= d;  
endmodule
```

Klopný obvod D spouštěný náběžnou hranou clk (positive edge):

```
module D_flip_flop (input clk,  
                    input d,  
                    output q);  
    always @ (posedge clk)  
        q <= d;  
endmodule
```

Všechny signály (použité uvnitř always) na levé straně přiřazení (=, <=) musejí být deklarovány jako reg

Multiplexor

```
module mux2 (input select, d0, d1,  
             output reg y);  
    always @ (select)  
        if(select) y <= d1;  
        else y <= d0;  
endmodule
```

Multiplexor

```
module mux2 (input select, d0, d1,  
             output reg y);  
    always @ (select)  
        if(select) y <= d1;  
        else y <= d0;  
endmodule
```

Hodnota y se nezmění při změně dat.. Řešení:

always @(*)

nebo ternární operátor: assign y = select ? d1 : d0;

a nepoužít konstrukci always