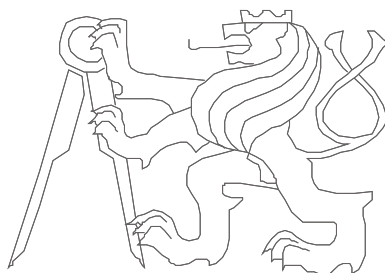


Architektury počítačů

Procesory a mikrokontroléry Motorola 68000, 683xx a ColdFire



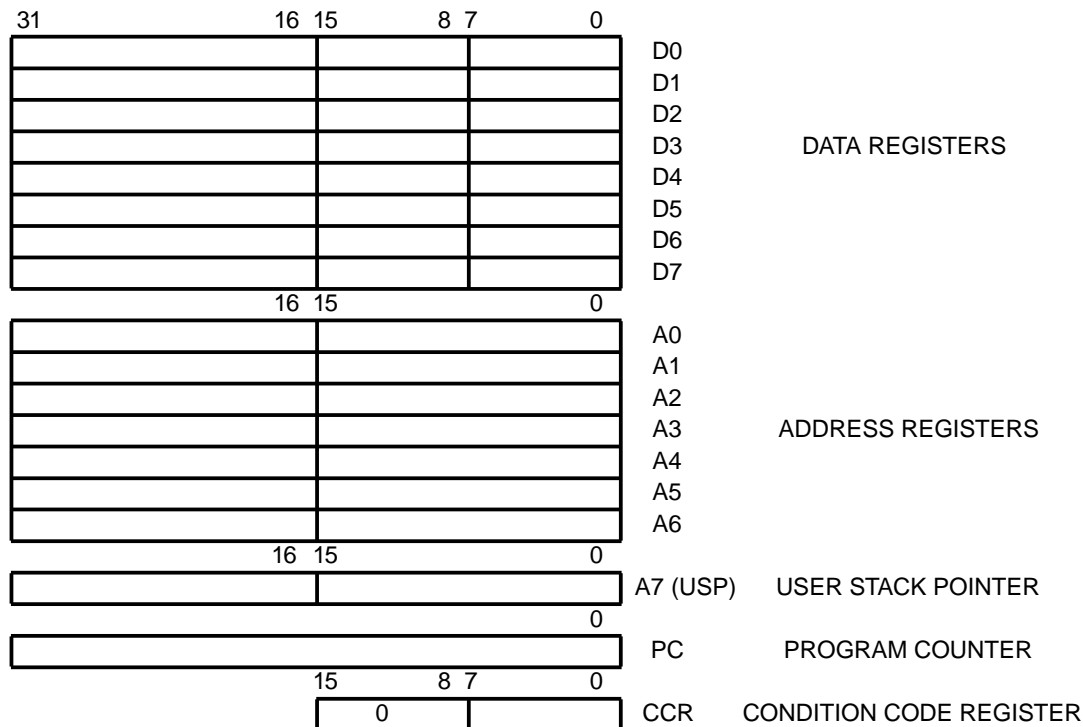
České vysoké učení technické, Fakulta elektrotechnická

Základní výkonná/desktopová řada 680X0

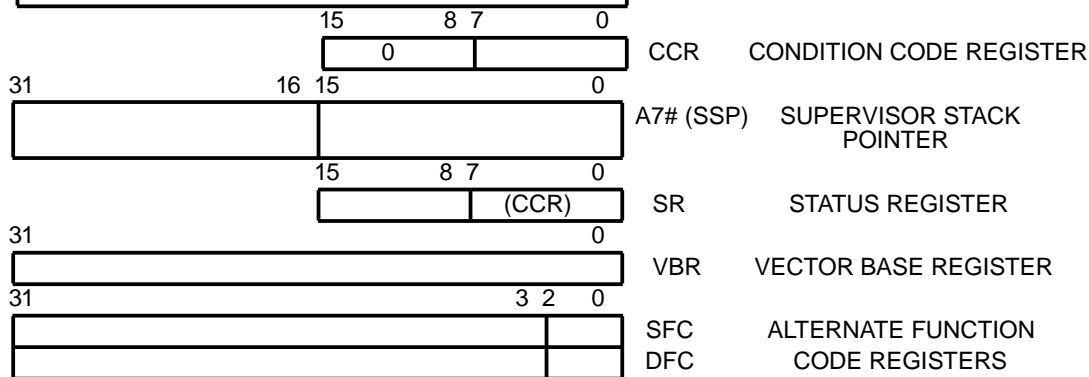
Feature	68000	'EC000	68010	68020	68030	68040	68060
Data bus	16	8/16	16	8/16/32	8/16/32	32	32
Addr bus	23	23	23	32	32	32	32
Misaligned Addr	-	-	-	Yes	Yes	Yes	Yes
Virtual memory	-	-	Yes	Yes	Yes	Yes	Yes
Instruct Cache	-	-	3	256	256	4096	8192
Data Cache	-	-	-	-	256	4096	8192
Memory manager	68451 or 68851			68851	Yes	Yes	Yes
ATC entries	-	-	-	-	22	64/64	64/64
FPU interface	-	-	-	68881 or 68882		Internal FPU	
built-in FPU	-	-	-	-	-	Yes	Yes
Burst Memory	-	-	-	-	Yes	Yes	Yes
Bus Cycle type	asynchronous				both	synchronous	
Data Bus Sizing	-	-	-	Yes	Yes	use 68150	
Power (watts)	1.2	0.13-0.26	0.13	1.75	2.6	4-6	3.9-4.9
at frequency of	8.0	8-16	8	16-25	16-50	25-40	50-66
MIPS/kDhryst.	1.2/2.1	2.5/4.3		6.5/11	14/23	35/60	100/300
Transistors	68k		84k	190k	273k	1,170k	2,500k
Introduction	1979		1982	1984	1987	1991	1994

Základní registry procesorů M68xxx/CPU32/ColdFire

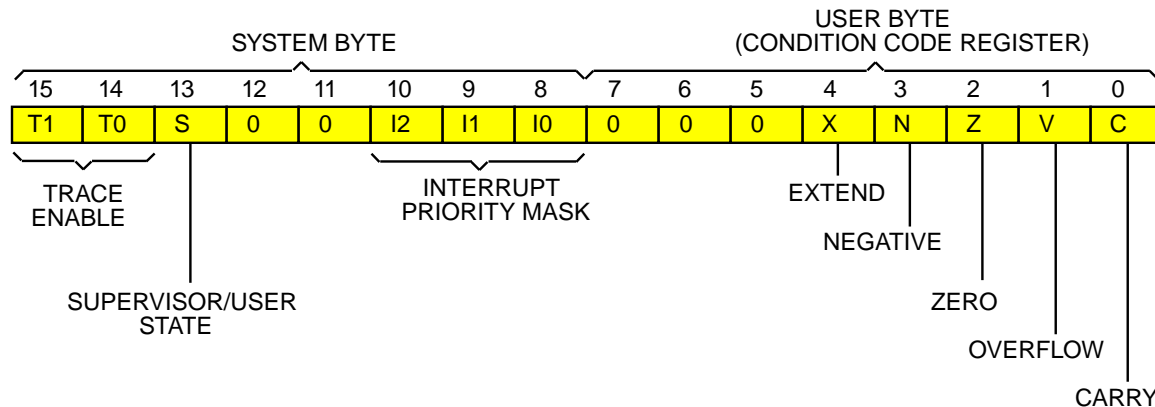
Uživatelský model architektury



Systemový model

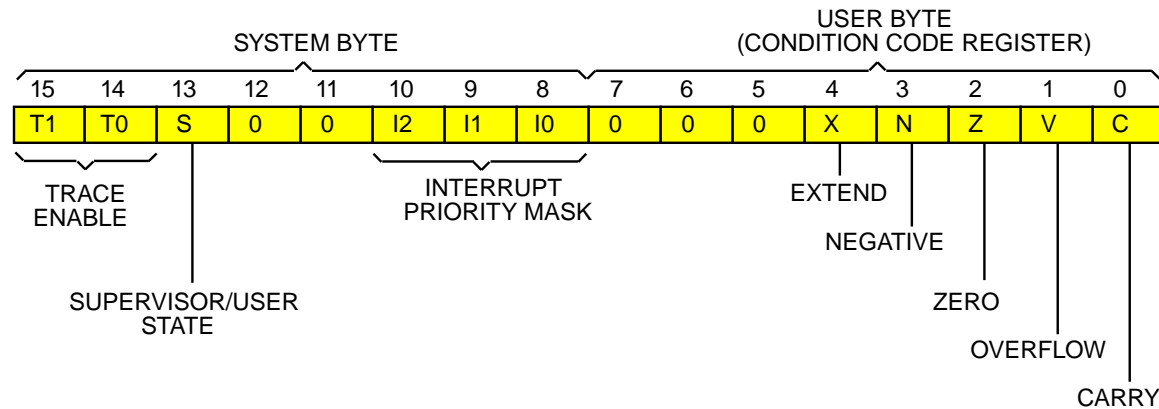


Stavový registr – podmínková část



- N – negative ... = 1 pokud je nejvíce významný byte operandu nebo výsledku roven 1 (negativní výsledek v doplňkovém kódu)
- Z – zero ... = 1 pokud jsou veškeré bity operandu nebo výsledku nulové
- V – overflow .. = 1 pokud je výsledek mimo zobrazitelný rozsah (např. přetečení při znaménkových operacích)
- C – carry ... = 1 pokud dochází k přenosu (carry) z nejvíce významného bitu během aritmetické operace nebo je potřeba výpůjčka (borrow) při odčítání
- X - extend (extended carry) ..použitý při rozšíření operací na vícenásobnou přesnost (odpovídá hodnotě C)

Stavový registr – systémová část



- T1, T0 – trace ... pokud je některý z bitů nastavený, dojde ke generování výjimky po provedení každé instrukce nebo po instrukcích změny toku programu (skok, návrat, volání)
- S – supervisor ... pokud je nastaven na 1, procesor se nachází v systémovém režimu a SP odpovídá SSP. Jinak se procesor nachází v uživatelském režimu, SP odpovídá USP a manipulace se systémovou částí není možná a na přístupy k paměti (MMU) jsou aplikovaná omezení příslušná uživatelskému režimu
- I2, I1, I0 - interrupt mask ... definuje úroveň přerušení po kterou je přijetí žádosti blokováno – odložené na později. Výjimkou jsou žádosti úrovně 7, která nejsou maskovatelná

Adresní režimy 68000

- Pro přístup k operandům slouží 14 režimů adresace. V literatuře je užívána dále popsaná následující konvence pro popis režimů adresace a instrukcí.

Adresace – konvence pro registry

- **EA** - efektivní adresa
- **An** - adresový registr n, například **A3**
- **Dn** - datový registr n, například **D3**
- **Rn** - libovolný z datových a adresových registrů
- **Xn.SIZE*SCALE** index registr, libovolný datový nebo adresový registr
 - **SIZE** velikost indexu **W** (16 bitový) nebo **L** (32 bitový)
 - **SCALE** měřítko - násobitel indexu 1, 2, 4 nebo 8
- **PC** - čítač programu
- **SR** - stavový registr
- **SP** - ukazatel zásobníku (**A7** - **USR** nebo **SSR**)
- **CCR** - podmínkový registr, nižší byte **SR**
- **USP** - ukazatel zásobníku v uživatelském režimu
- **SSP** - ukazatel zásobníku v systémovém režimu

Adresace – konvence přímé operandy a indirekce

- **dn** ofset, délky n bitů
- **bd** báze adresy až 32 bitů
- **L** délka 32 bitů (long-word)
- **W** délka 16 bitů (word)
- **B** délka 8 bitů (byte)
- **(An)** závorky určují adresaci obsaženou hodnotou

Adresace – režimy, 68000

- **Rn** obsah datového nebo adresového registru
- **(An)** obsah paměti na adrese **An**
- **(An)+** obsah paměti na adrese **An** s následnou inkrementací registru o hodnotu danou délkou operandu
- **-(An)** nejdříve dojde k dekrementaci registru o délku operandu a pak je registr použit k adresaci
- **(d16,An)** adresový registr s 16 bitovým znaménkovým posunutím
- **(d8,An,Xn)** adresový registr s 8 bitovým znaménkovým posunutím a přičtením indexového registru (případně jen jeho nižších 16 bitů), pro procesory CPU32 a 68020+ může být index násoben číslem 1, 2, 4 nebo 8
- **(xxx).W** 16 bitová absolutní adresa
- **(xxx).L** 32 bitová absolutní adresa

Adresace – rozšířené indexy a autorelativní adresace

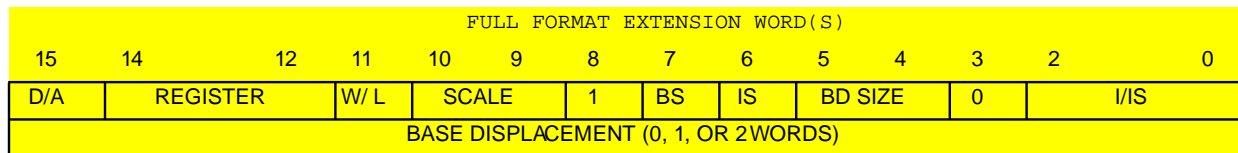
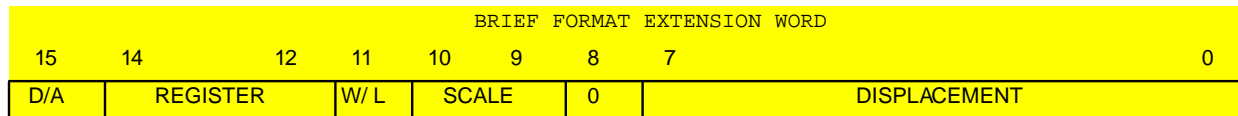
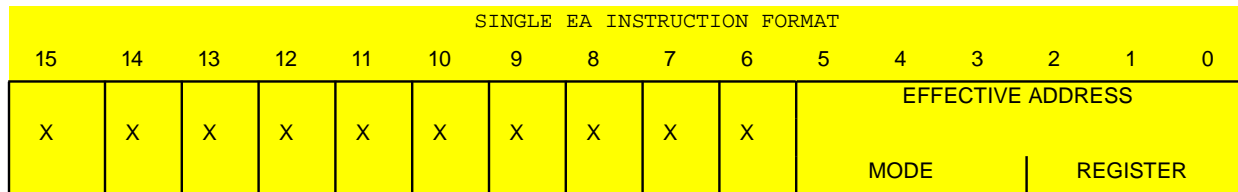
- **(bd,An,Xn*SCALE)** adresa je vytvořena ze součtu adresového registru s indexovým registrem násobeným měřítkem **SCALE** (1, 2, 4 nebo 8) a bázovým posunutím délky až 32 bitů (0, 16 nebo 32), kódování režimu umožňuje potlačit hodnotu indexu, případně i adresového registru, tento režim adresace je implementován v procesorech CPU32 a 68020+
- **(d16,PC)** adresace relativní k **PC** s šestnáctibitovým znaménkovým posunutím
- **(d8,PC,Xn)** adresa relativní k **PC** s osmibitovým znaménkovým posunutím a přičteným indexem
- **(bd,PC,Xn*SCALE)** adresa relativní k **PC** s posunutím až 32 bitů a s indexem násobeným měřítkem, další možnosti jsou shodné s režimy vztaženými k adresovým registrům

Adresace – rozšíření 68020+

Pro úplnost jsou dále uvedeny i režimy adresace, které nejsou implementovány v jádře CPU32. Tyto režimy jsou implementovány pouze v procesorech 68020 až 68060. Znalost těchto chybějících režimů může být výhodná při hledání problémů s programy původně určenými pro výkonnější členy rodiny 680x0.

- **([bd,An],Xn,od)** adresu tvoří hodnota v paměti na adrese **An+bd**, ke které je přičteno posunutí **od** a index
- **([bd,PC],Xn,od)** totéž ale relativně k **PC**
- **([bd,An,Xn],od)** adresu tvoří hodnota v paměti na adrese **An+Xn+bd**, ke které je přičteno posunutí **od**
- **([bd,PC,Xn],od)** totéž ale relativně k **PC**

Kódování instrukcí a režimů adresace



Field	Definition	Field	Definition
Instruction		BS	Base Register Suppress 0 = Base Register Added 1 = Base Register Suppressed
Register	General Register Number		
Extension			
Register	Index Register Number	IS	Index Suppress 0 = Evaluate and Add Index Operand 1 = Suppress Index Operand
D/A	Index Register Type 0 = Dn 1 = An		
W/L	Word/Long Word Index Size 0 = Sign-Extended Word 1 = Long Word	BD SIZE	Base Displacement Size 00 = Reserved 01 = Null Displacement 10 = Word Displacement 11 = Long-Word Displacement
Scale	Scale Factor 00 = 1 01 = 2 10 = 4 11 = 8	I/IS *	Index/Indirect Selection Indirect and Indexing Operand Determined in Conjunction with Bit 6, Index Suppress

*Memory indirect addressing will cause illegal instruction trap; must be = 000 if IS = 1

Instrukční soubor 68000

Mnemonic	Description	Mnemonic	Description
ABCD	Add Decimal with Extend	MOVE	Move Source to Destination
ADD	Add	MULS	Signed Multiply
AND	Logical AND	MULU	Unsigned Multiply
ASL	Arithmetic Shift Left	NBCD	Negate Decimal with Extended
ASR	Arithmetic Shift Right	NEG	Negate
B<cc>	Branch Conditionally	NOP	No Operation
BCHG	Bit Test and Change	NOT	One's Complement
BCLR	Bit Test and Clear	OR	Logical OR
BRA	Branch Always	PEA	Push effective Address
BSET	Bit Test and Set	RESET	Reset External Devices
BSR	Branch to Subroutine	ROL	Rotate Left without Extend
BTST	Bit Test	ROR	Rotate Right without Extend
CHK	Check Register Against Bounds	ROXL	Rotate Left with Extend
CLR	Clear Operand	ROXR	Rotate Right with Extend
CMP	Compare	RTD	Return and Deallocate
DB<cc>	Decrement and Branch Conditionally	RTE	Return from Exception
DIVS	Signed Divide	RTR	Return and Restore
DIVU	Unsigned Divide	RTS	Return from Subroutine
EOR	Exclusive OR	SBCD	Subtract Decimal with Extend
EXG	Exchange Registers	S<cc>	Set Conditional
EXT	Sign Extend	STOP	Stop
JMP	Jump	SUB	Subtract
JSR	Jump to Subroutine	SWAP	Swap data register halves
LEA	Load Effective Address	TAS	Test and Set Operand
LINK	Link Stack	TRAP	Trap
LSL	Logical Shift Left	TRAPV	Trap on Overflow
LSR	Logical Shift Right	TST	Test
		UNLK	Unlink Stack Frame

Rozšíření CPU32 a 68020

Mnemonic	Description	CPU32	M68020
Bcc	Supports 32-Bit Displacement	yes	yes
BFxxx	Bit Field Instructions (BFCHG, BFCLR, BFEXTS, BFEXTU, BFFO, BFINS, BFSET, BFTST)		yes
BGND	Background Operation	yes	
BKPT	New Instruction Function	yes	yes
BRA	Supports 32-Bit Displacement	yes	yes
BSR	Supports 32-Bit Displacement	yes	yes
CALLM	New Instruction		yes
CAS,CAS2	New Instruction		yes
CHK	Supports 32-Bit Operands	yes	yes
CHK2	New Instruction	yes	yes
CMP1	Supports Program Counter Relative Addressing	yes	yes
CMP2	New Instruction	yes	yes
cp	Coprocessor Instructions		yes
DIVS/DIVU	Supports 32-Bit and 64-Bit Operations	yes	yes
EXTB	Supports 8-Bit Extend to 32 Bits	yes	yes
LINK	Supports 32-Bit Displacement	yes	yes
LPSTOP	New Instruction	yes	
MOVEC	Supports New Control Registers	yes	yes
MULS/MULU	Supports 32-Bit Operands and 64-Bit Results	yes	yes
PACK	New Instruction		yes
RTM	New Instruction		yes
TBLSN,TBLUN TBLT,TBLU	New Instruction	yes	
TST	Supports Program Counter Relative, Immediate, and An Addressing	yes	yes
TRAPcc	New Instruction	yes	yes
UNPK	New Instruction		yes

Volání funkcí (LINK/UNLK)

f(1,2,3);

```

movl #3,%sp@-
  pea 3
movl #2,%sp@-
movl #1,%sp@-
jsr  f
ret_pc:
addq #12,%sp
  lea %sp@(12),%sp

```

int f(int a, int b, int c)
 { return a + b + c; }

```

f: linkw %fp,#0
   movel %a6,%sp@-
   movel %a7,%a6
   movel %d2,%sp@-
   subql #20,%sp

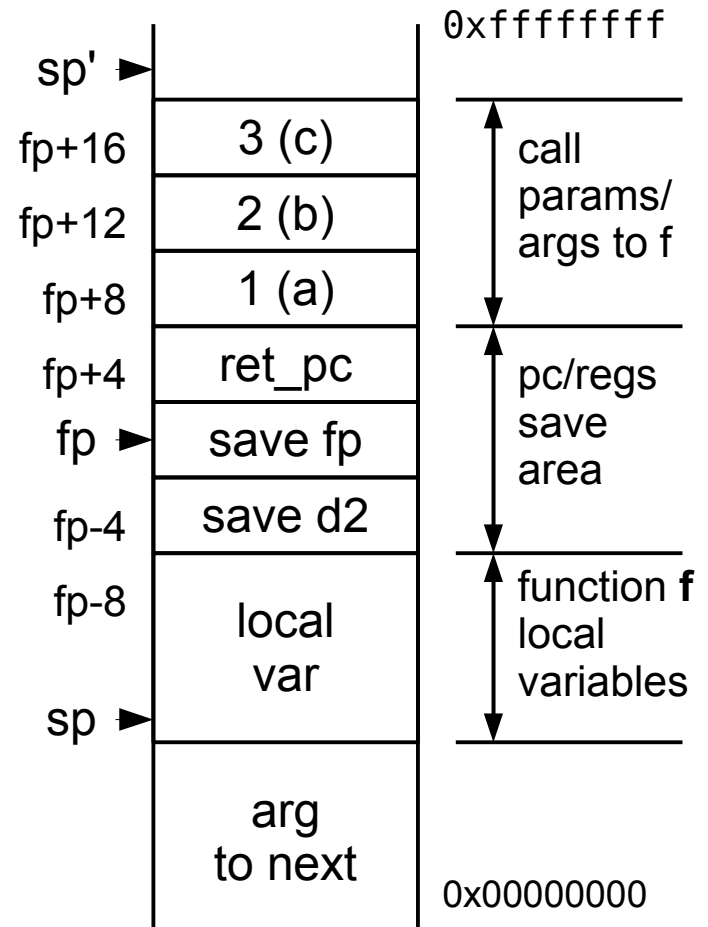
   movel %fp@(8),%d0
   addl  %fp@(12),%d0
   addl  %fp@(16),%d0

   addql #20,%sp
   movel %sp@+,%d2
   unlk  %fp
   movel %a6,%a7
   movel %sp@+,%a6
   rts

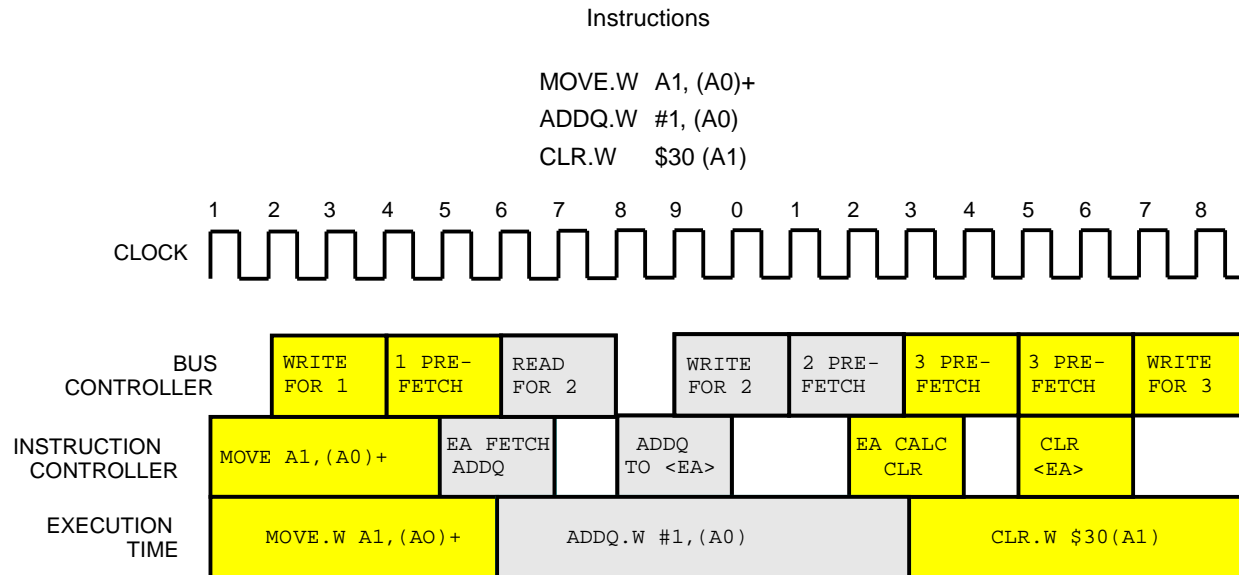
```

Volací konvence m68k

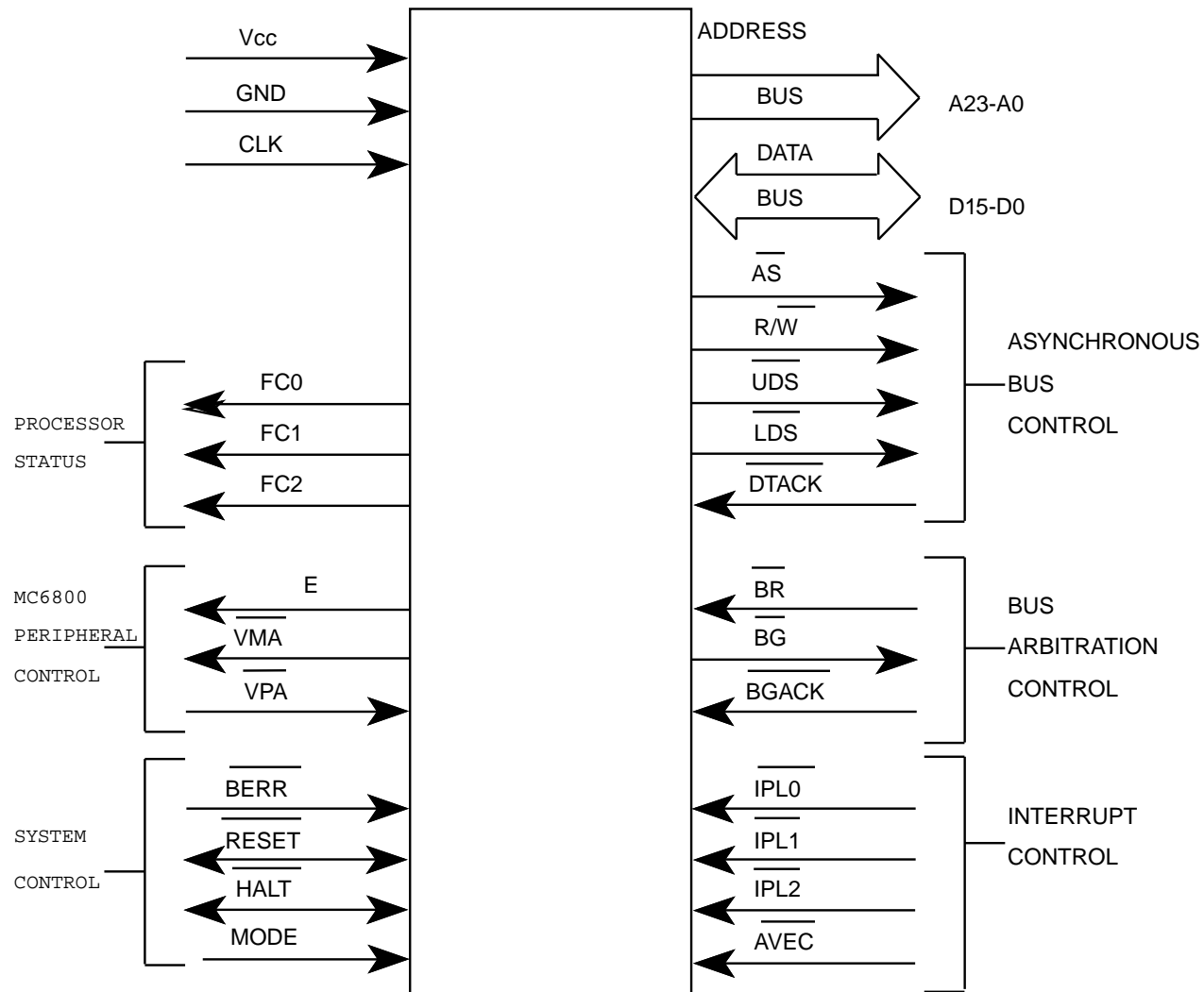
fixed A7 = SP, (A6 = FP)
 return D0, D0+D1
 parameters on stack
 clobberable registers D0, D1, A0, A1



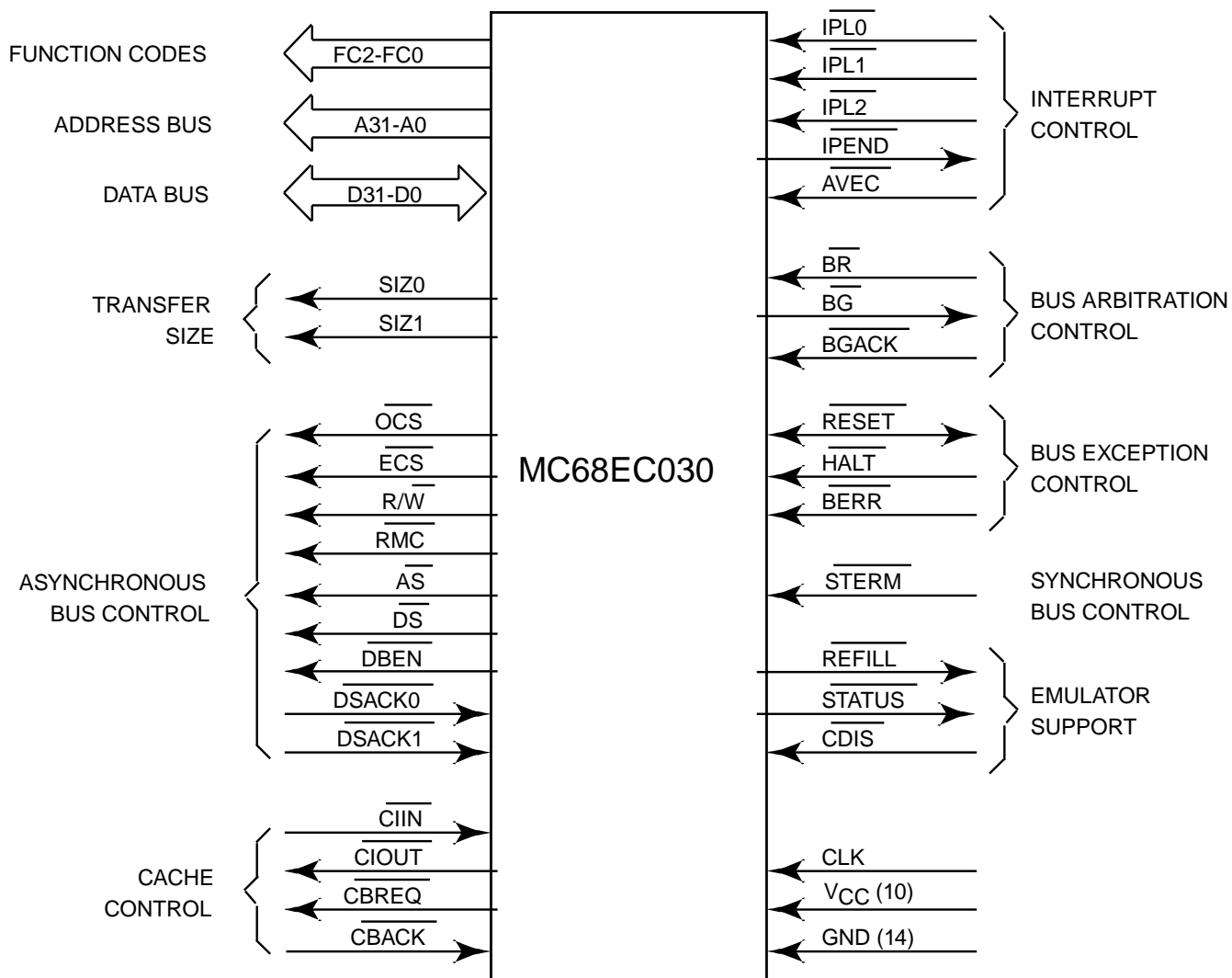
Příklad časování CPU32



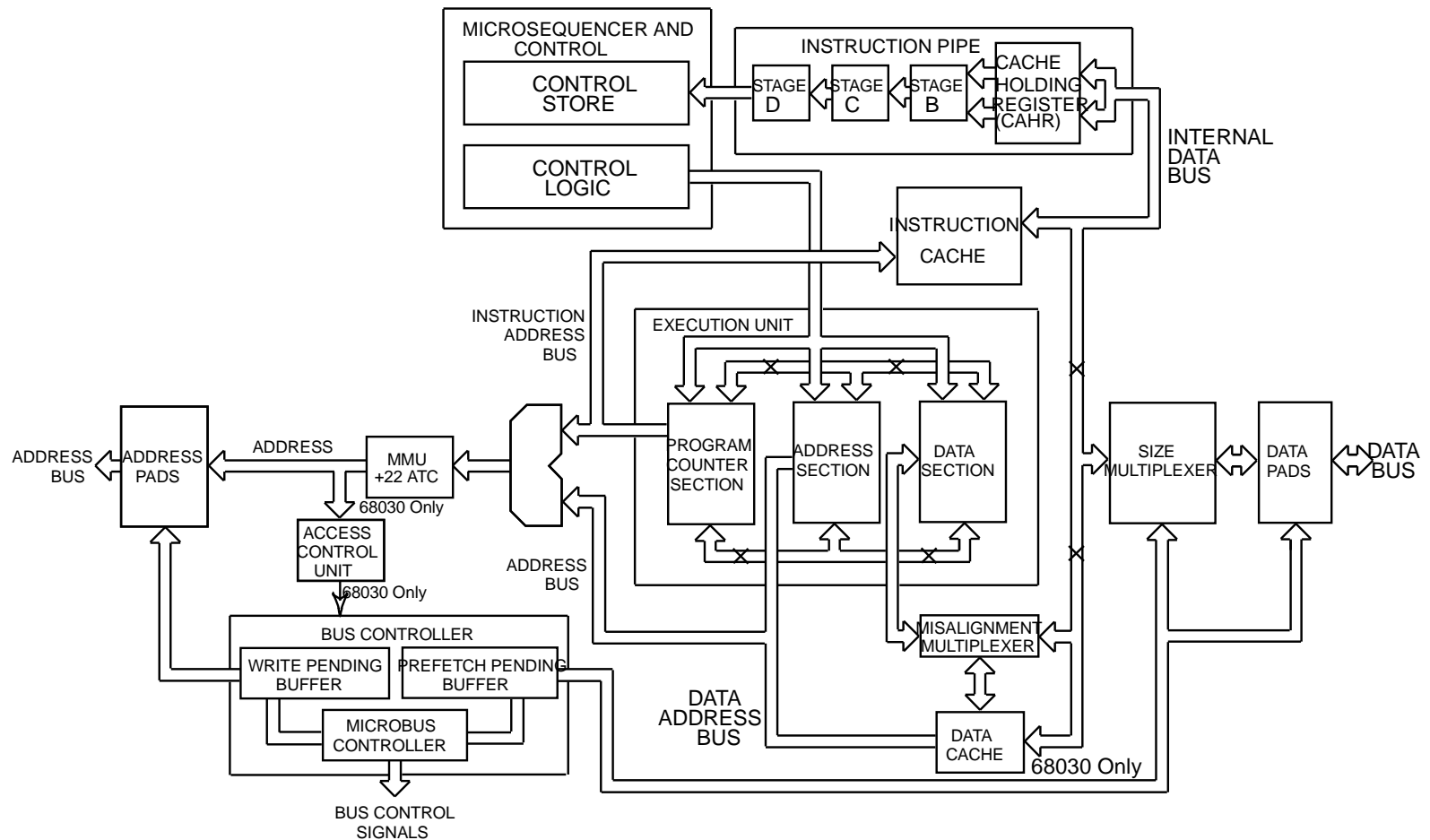
Piny/signály procesorů 68000, 68008, 68EC000



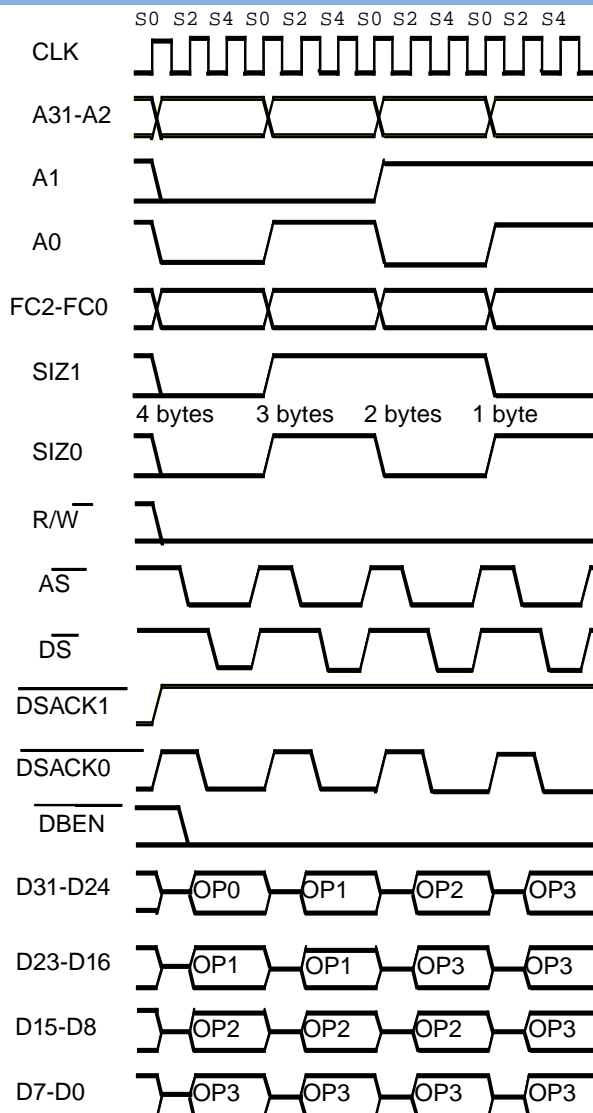
Signály 68030



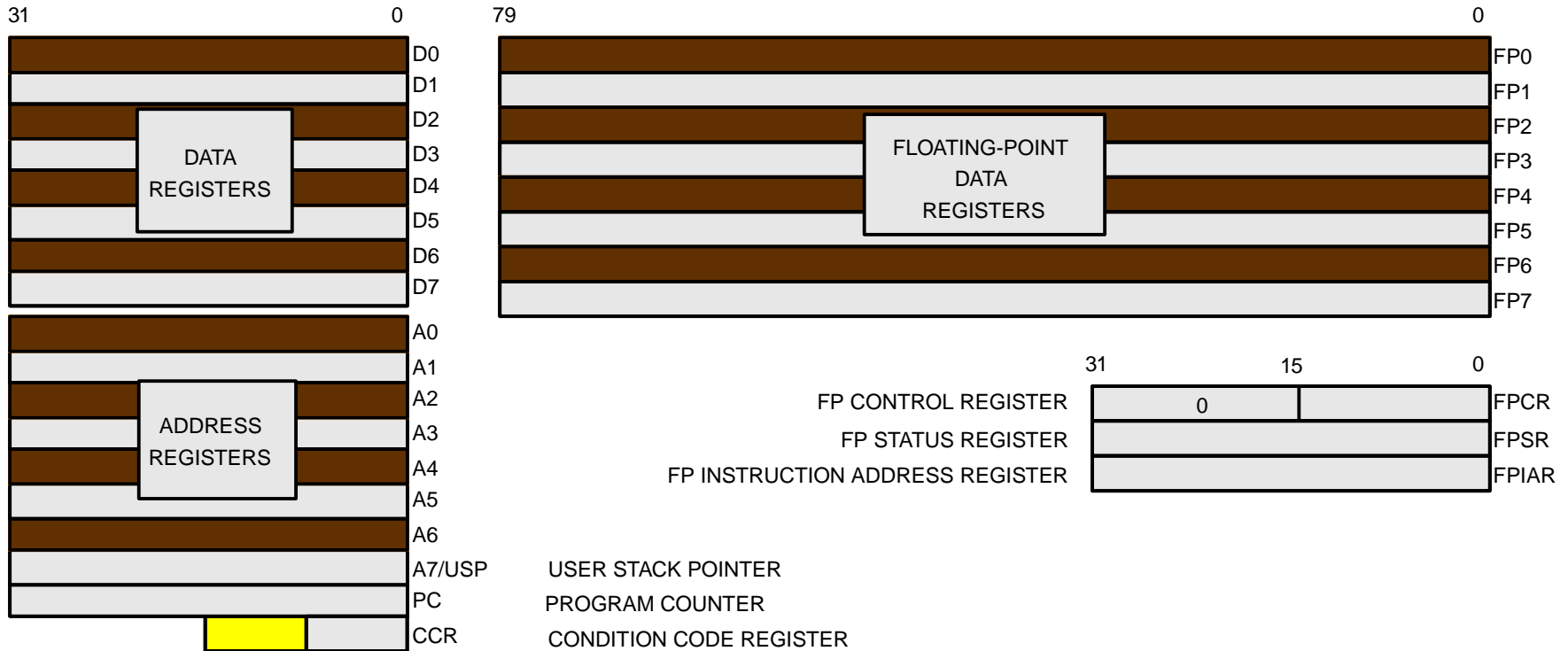
Blokové schéma 68030



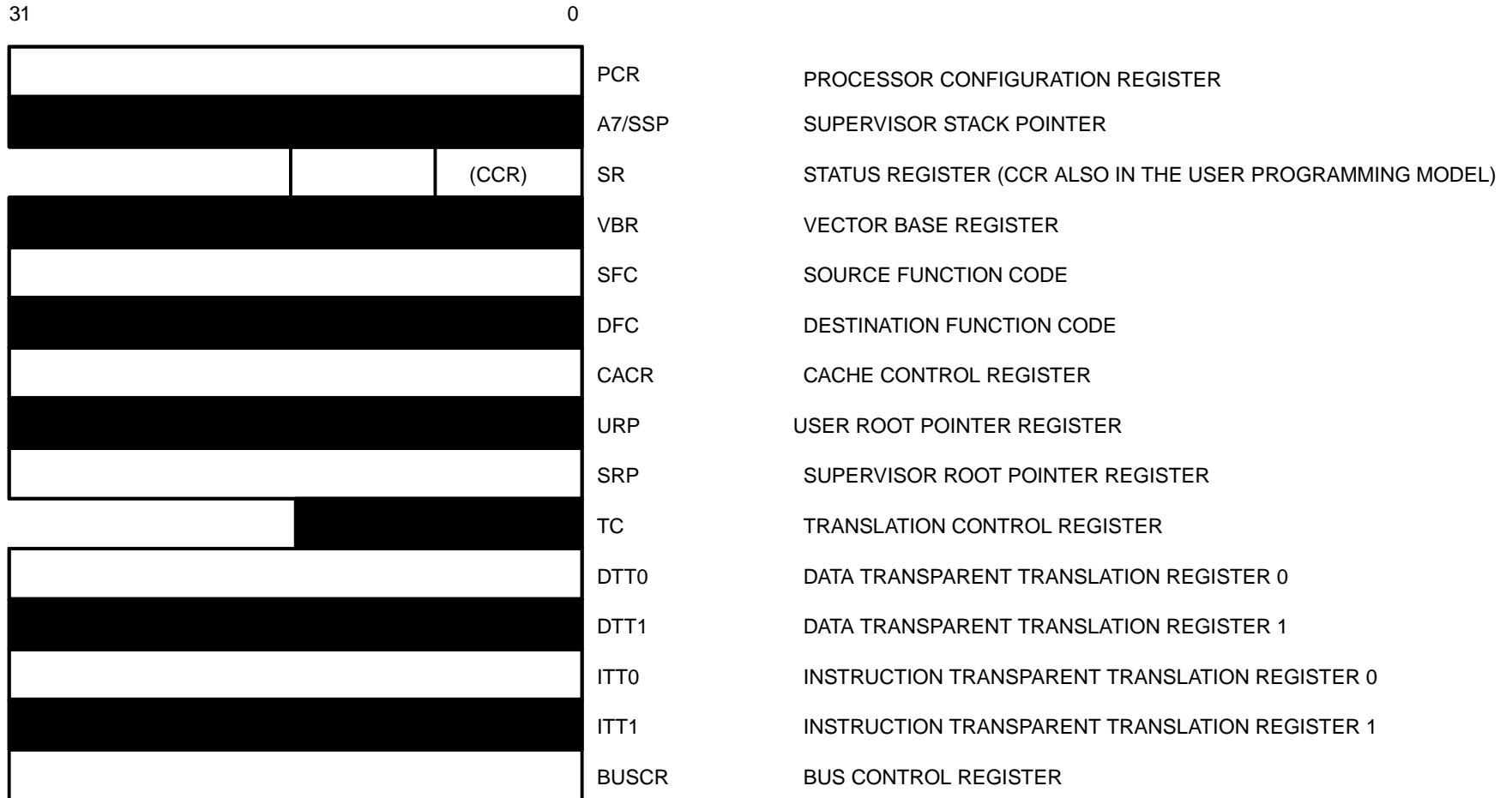
Automatická šířka sběrnice u CPU32(+) a 68020/030



Uživatelský režim 68060



Systemový režim 68060



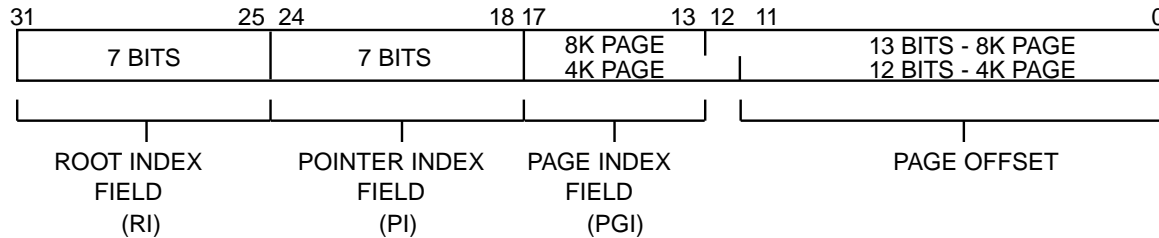
Obsluha výjimek procesoru 68060

Vector Number(s)	Vector Offset (Hex)	Stack Frame Format	Stacked Program Counter *	Assignment
0	000	-	-	Reset Initial SSP
1	004	-	-	Reset Initial PC
2	008	4	-	Access Fault
3	00C	2	fault	Address Error
4	010	0	fault	Illegal Instruction
5	014	2	next	Integer Divide-by-Zero
6	018	2	next	CHK, CHK2 Instructions
7	01C	2	next	TRAPcc, TRAPV Instructions
8	020	0	fault	Privilege Violation
9	024	2	next	Trace
10	028	0	fault	Line 1010 Emulator (Unimplemented A-Line Opcode)
11	02C	0	fault	Line 1111 Emulator (Unimplemented F-Line Opcode)
11	02C	2	next	Floating-Point Unimplemented Instruction
11	02C	4	next	Floating-Point Disabled
12	030	0	next	Emulator Interrupt
13	034	0	-	Only 68020, 68030 - Coprocessor Protocol Violation
14	038	0	fault	Format Error
15	03C	0	next	Uninitialized Interrupt
16-23	040-05C	-	-	(Unassigned, Reserved)
24	060	0	next	Spurious Interrupt
25	064	0	next	Level 1 Interrupt Autovector
26	068	0	next	Level 2 Interrupt Autovector
27	06C	0	next	Level 3 Interrupt Autovector
28	070	0	next	Level 4 Interrupt Autovector
29	074	0	next	Level 5 Interrupt Autovector
30	078	0	next	Level 6 Interrupt Autovector
31	07C	0	next	Level 7 Interrupt Autovector
32-47	080-0BC	0	next	TRAP #0-15 Instruction Vectors
48-55	0C0-0DC	-	-	Floating-Point Exceptions [#]
56	0E0	-	-	Only 68030, 68851 - PMMU Configuration
57	0E4	-	-	Only 68851 - PMMU Illegal Operation
58	0E8	-	-	Only 68851 - PMMU Access Level Violation
59	0EC	-	-	(Unassigned, Reserved)
60	0F0	0	fault	Unimplemented Effective Address
61	0F4	0	fault	Unimplemented Integer Instruction
62-63	0F8-0FC	-	-	(Unassigned, Reserved)
64-255	100-3FC	0	next	User Defined Vectors (192)

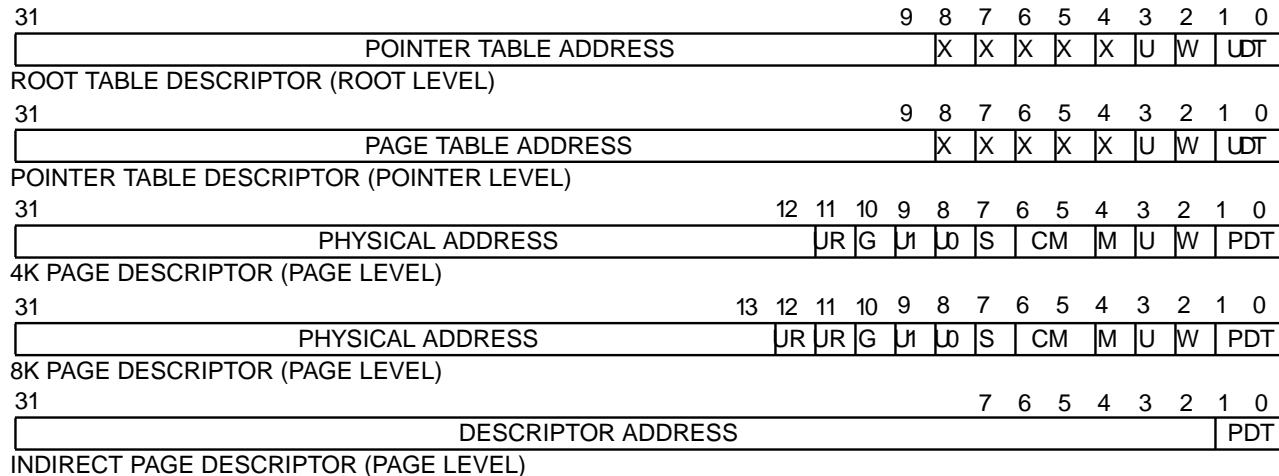
*For the Access Fault exception PC and internal CPU state necessary to finish instruction is stored "fault" refers to the PC of the instruction that caused the exception. "next" refers to the PC of the next instruction that follows the instruction that caused the fault.

Stránkování 68060

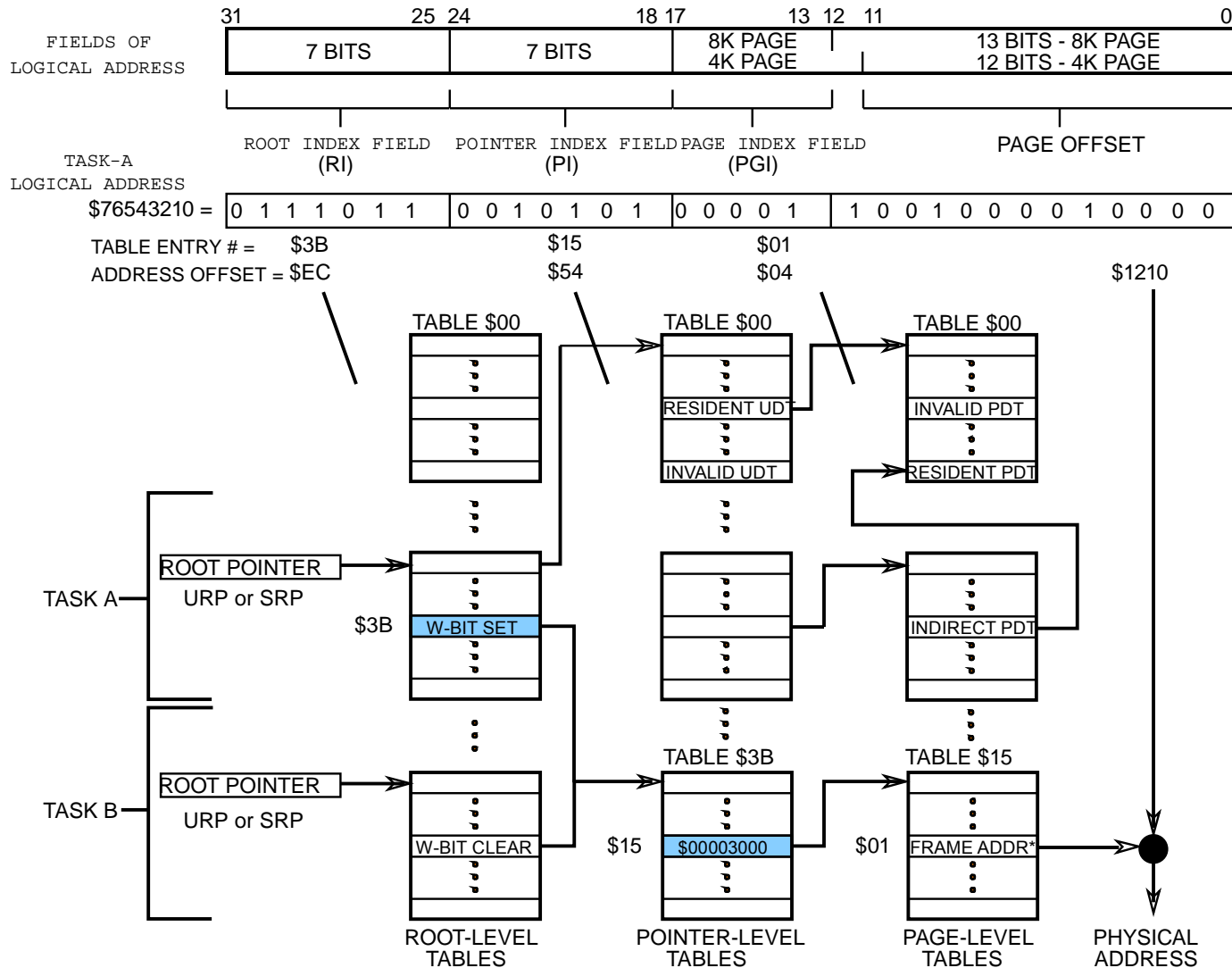
Formát virtuální adresy



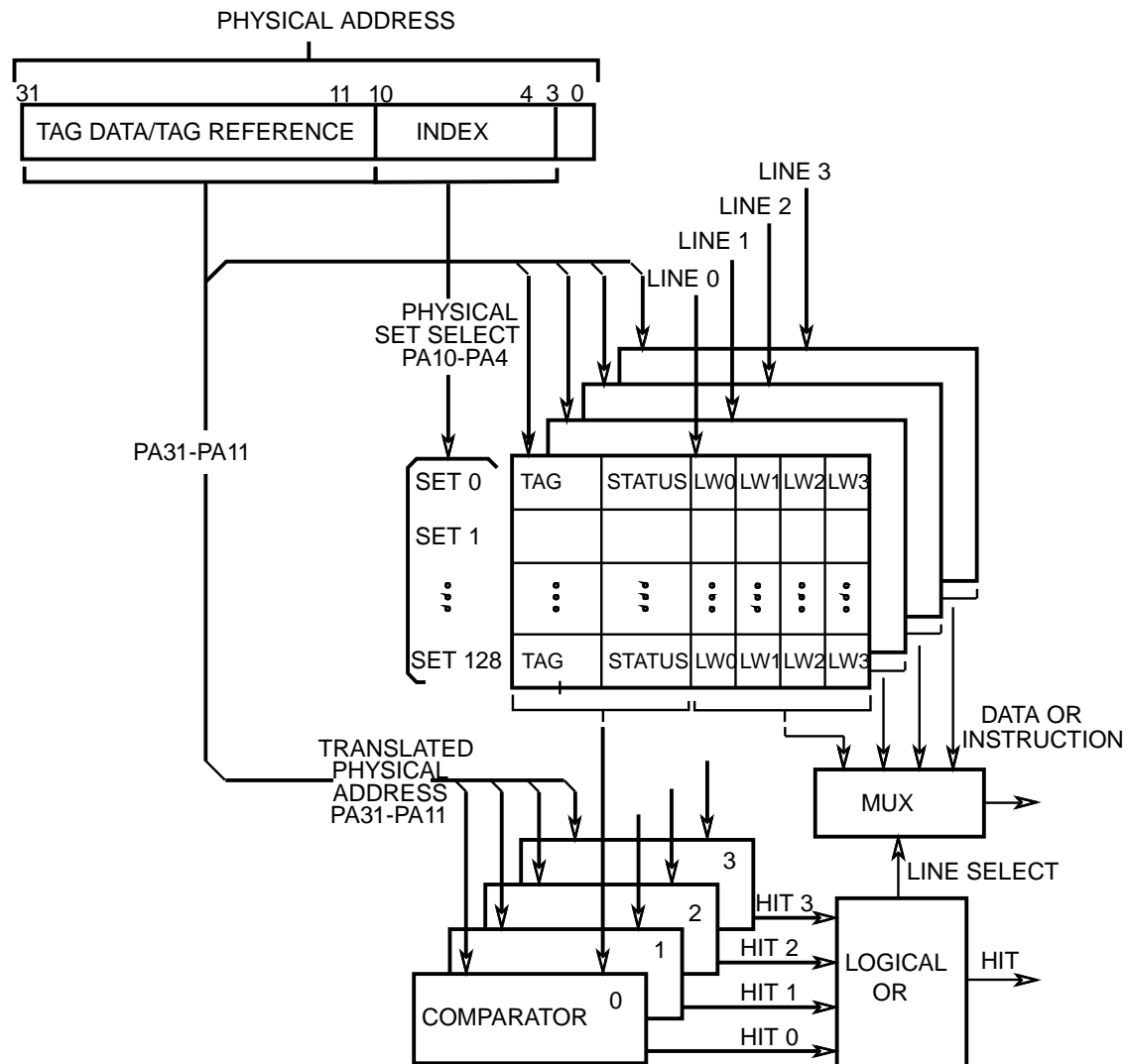
Deskriptory stránek



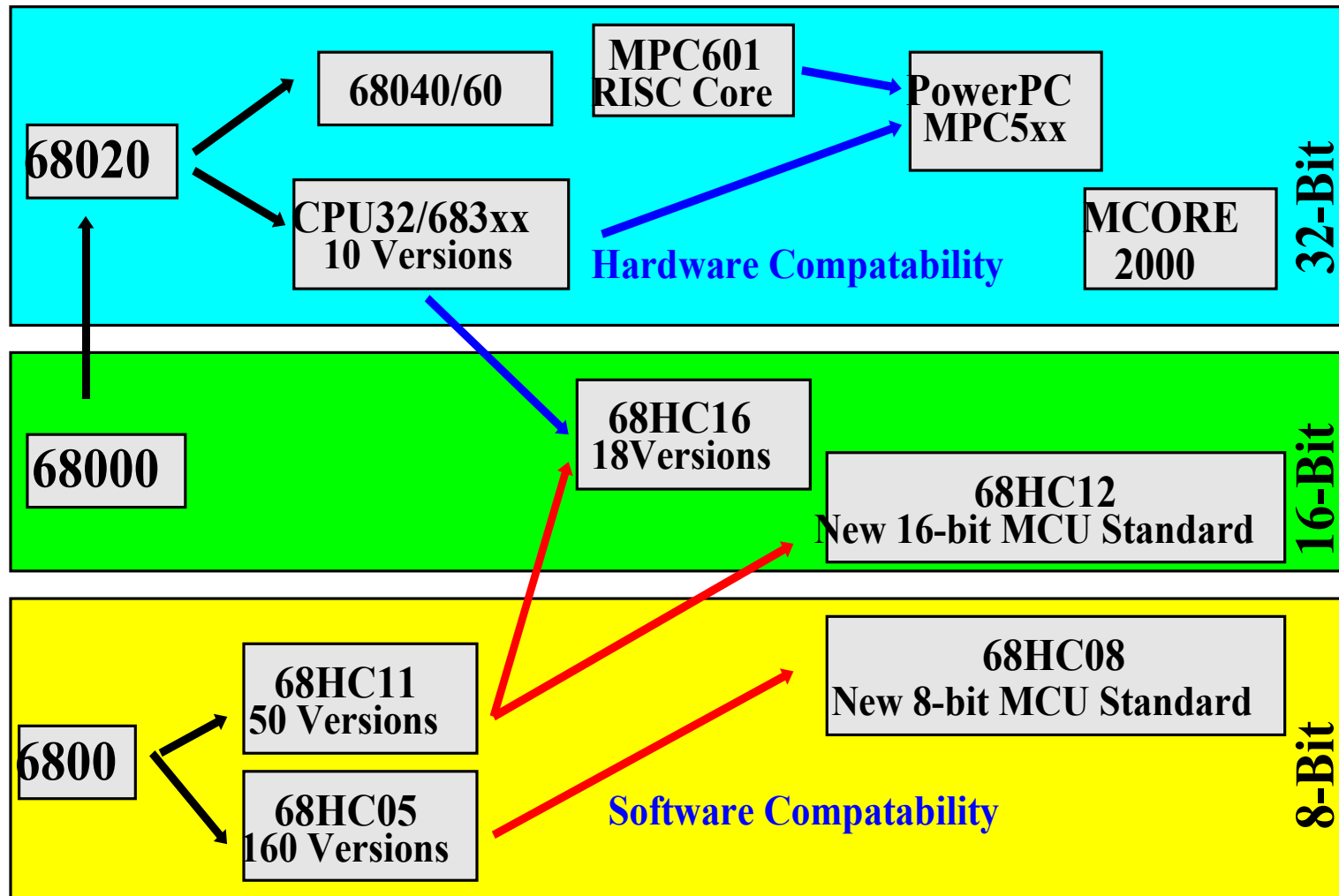
Princip stránkování



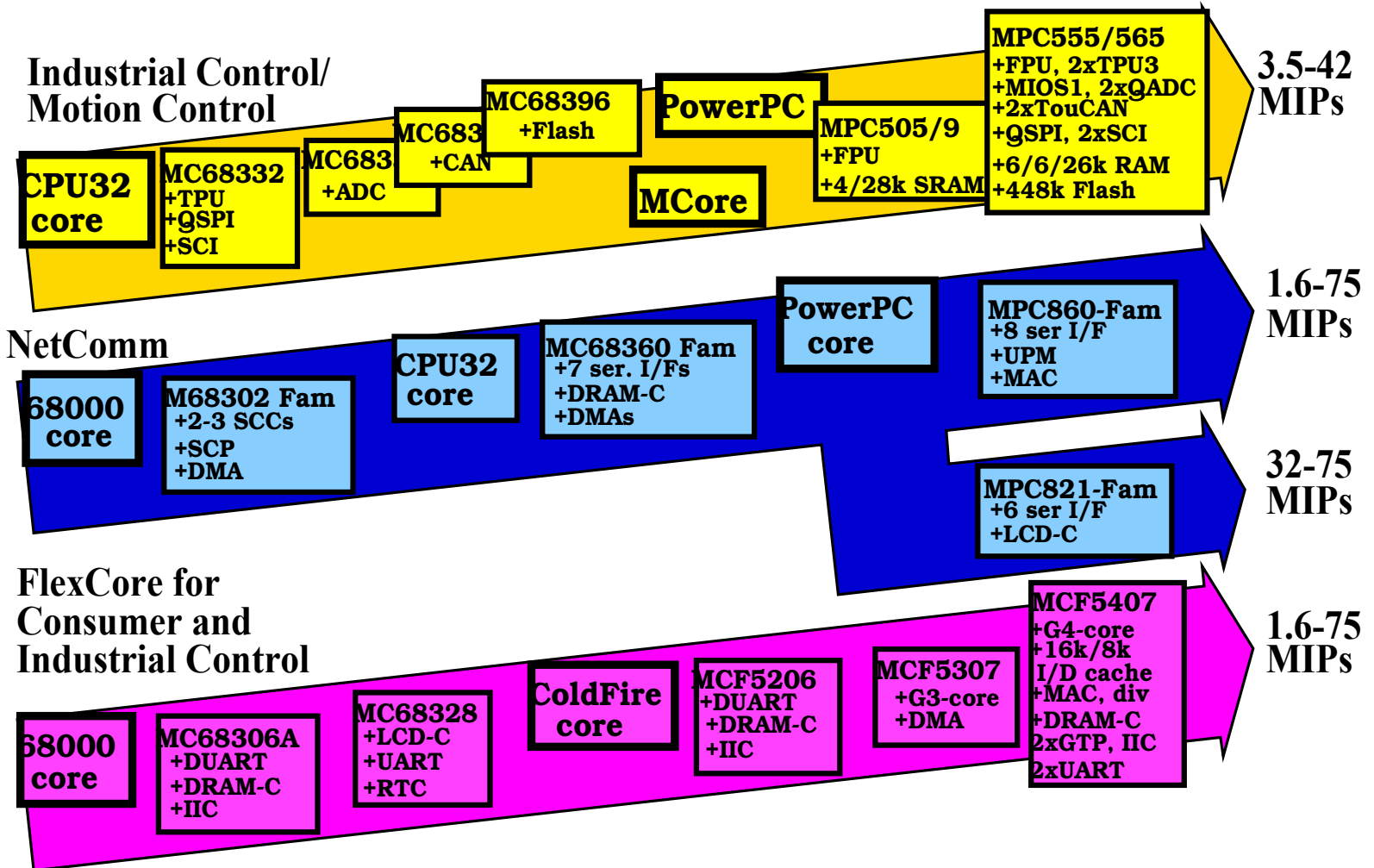
Paměti cache v procesorech 68060



Přehled vývoje CPU a MCU firmy Motorola/FreeScale



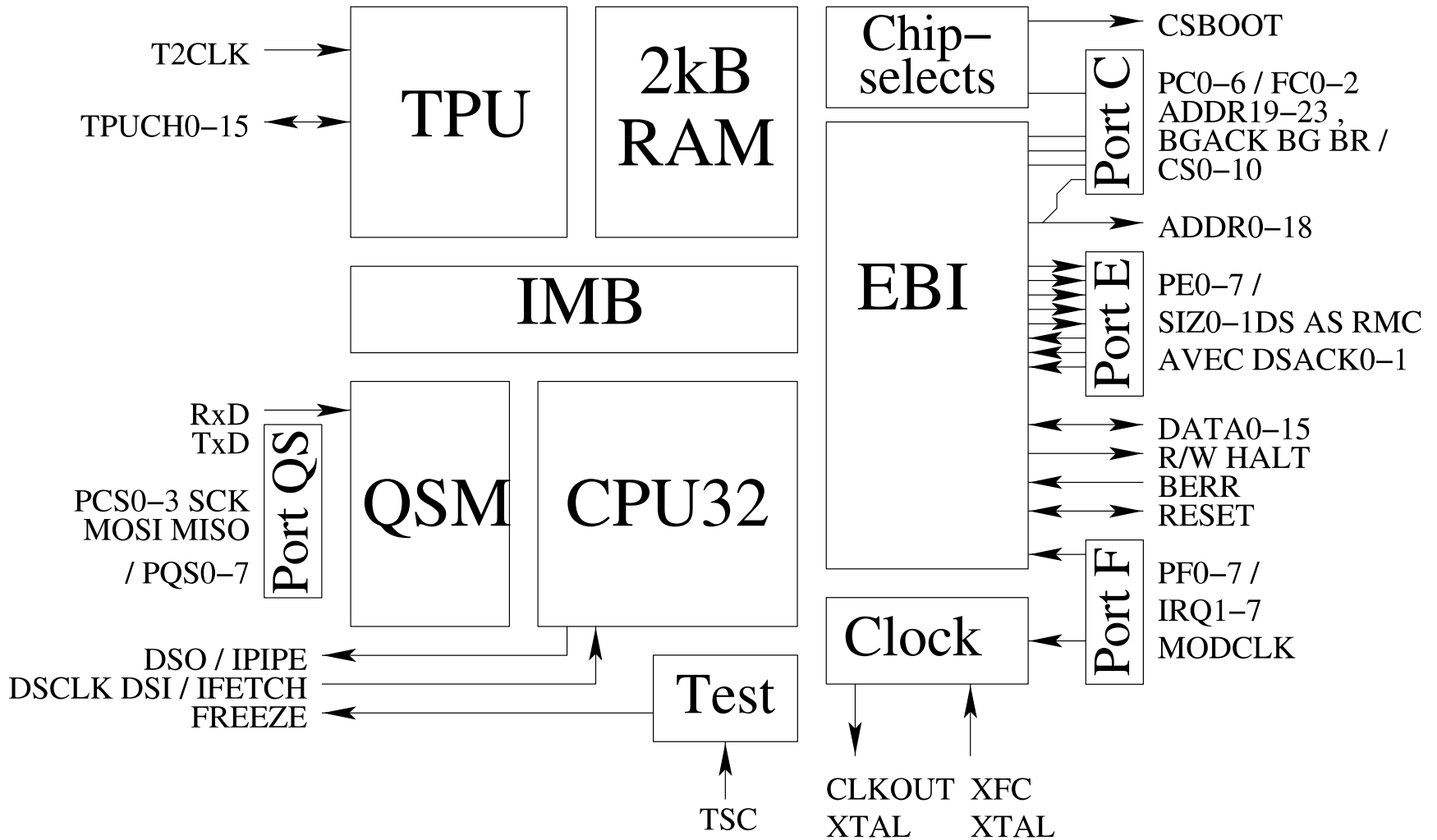
Řady výkonných MCU a CPU pro embedded aplikace



Procesory z rodiny 683xx/CPU32(+)

Feature	68332	68376	68360	68VZ328
Core CPU	CPU32	CPU32	CPU32+	FLX68000
Data Bus	8/16	8/16	8/16/32	8/16
Addr Bus	24	24	32	24/32MB DRAM
Misaligned Addr	-	-	Yes	
Development Int.	BDM	BDM	BDM/JTAG	ICE
TPU (timer)	Yes	Yes		
UART			2xSMC	2x
DRAM controller			Yes	EDO, FP, SD
Static Ram	2K	3.5K+4K	2.5K	
Flash EEPROM				
A/D Converter		8/10 bits		
Serial Ports	1xSCM	1xSCM	4xSCC	
SPI interface	1xQSM	1xQSM	1xSCP	2x
DMA			2 ch	
Timer		CTM4 (8)	4x16, 2x32	2x+2xPWM
Parallel Ports (bits)	up 4 (31)	up 6 (47)	3	10 (78)
Chip Selects X	12	12	8	8
More ...		TouCAN	opt. Ethernet	LCD, RTC
Clock speed Mhz	16/20/25	16/20/25	25/33	up 33
Power voltage	5V	5V	3.3 or 5V	2.7-3.3
Power (watts)	0.6	0.6	0.3-1.0	0.06-0.1
at frequency of	20	20.97	25	33

Mikrokontrolér 68332



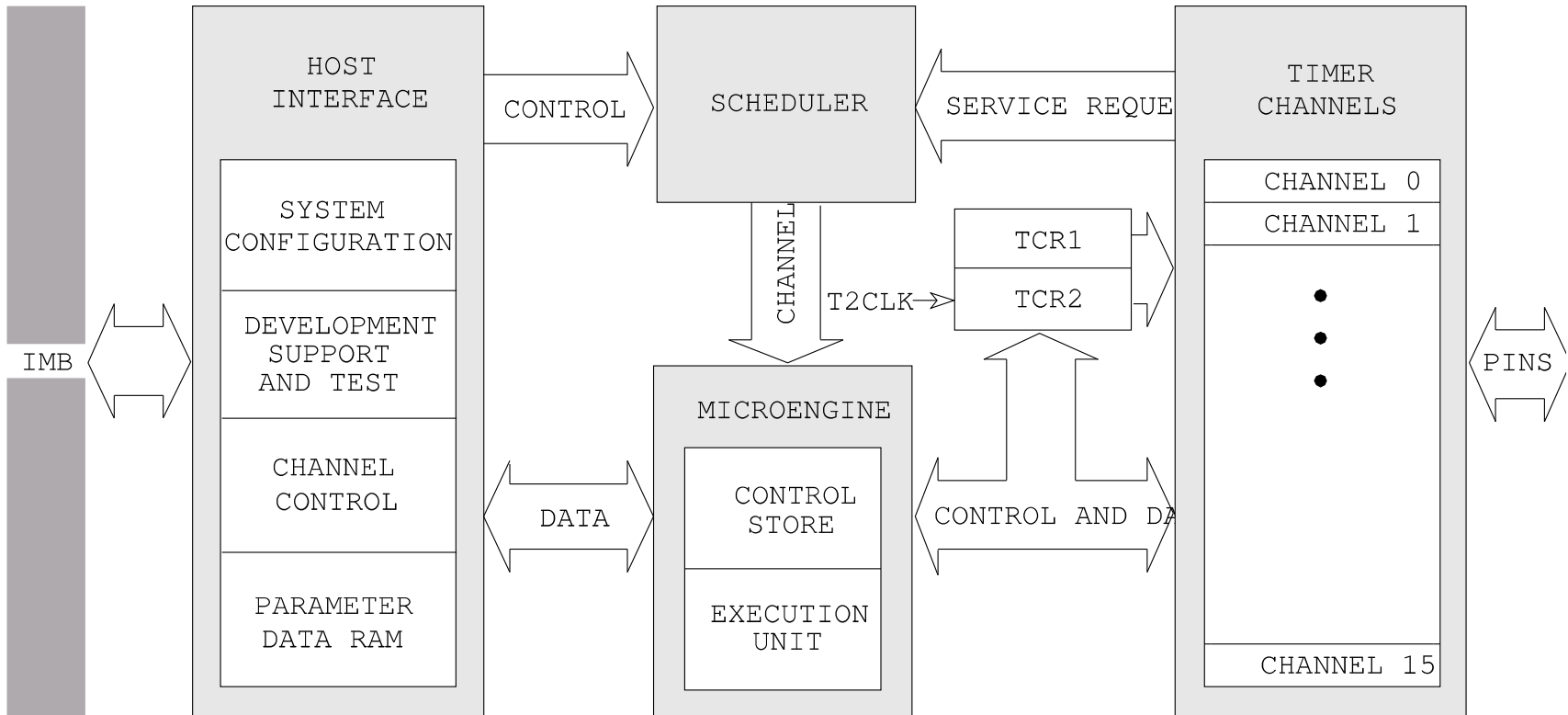
System Integration Module (SIM)

- Obstarává propojení vnitřní (mezimodulové) a externí sběrnice
- Obsahuje logiku programovatelných chipselectů
- Umožňuje ochranu systému
- Obsahuje kontrolní čítač watchdog, hlídání správné hodinové frekvence, monitor systémové sběrnice
- Systémové hodiny mohou být odvozeny od 32.768-kHz krystalu, výsledkem je pak nízká spotřeba
- Obsahuje testovací/ladící logiku pro výrobní a uživatelské testování a pro vývoj

Central Processing Unit (CPU)

- 32-bitová architektura
- Kompatibilní s procesory MC68000 a MC68010
- Nové instrukce pro řídicí aplikace
- Virtuální paměť pouze s vnější MMU (Memory Management Unit) jednotkou
- Rychlé provádění cyklů obsahujících jednu instrukci
- Instrukce pro práci a interpolaci tabulek
- Vylepšené zpracování vyjímek pro řídicí aplikace
- Podporuje trasování do změny toku instrukcí (návrat, volání, ...)
- Vstup pro vnější signál hardwarového breakpointu a kompletní logiku pro ladění Background Debug Mode
- Plně statická činnost umožňuje snižování a i zastavení hodin procesoru

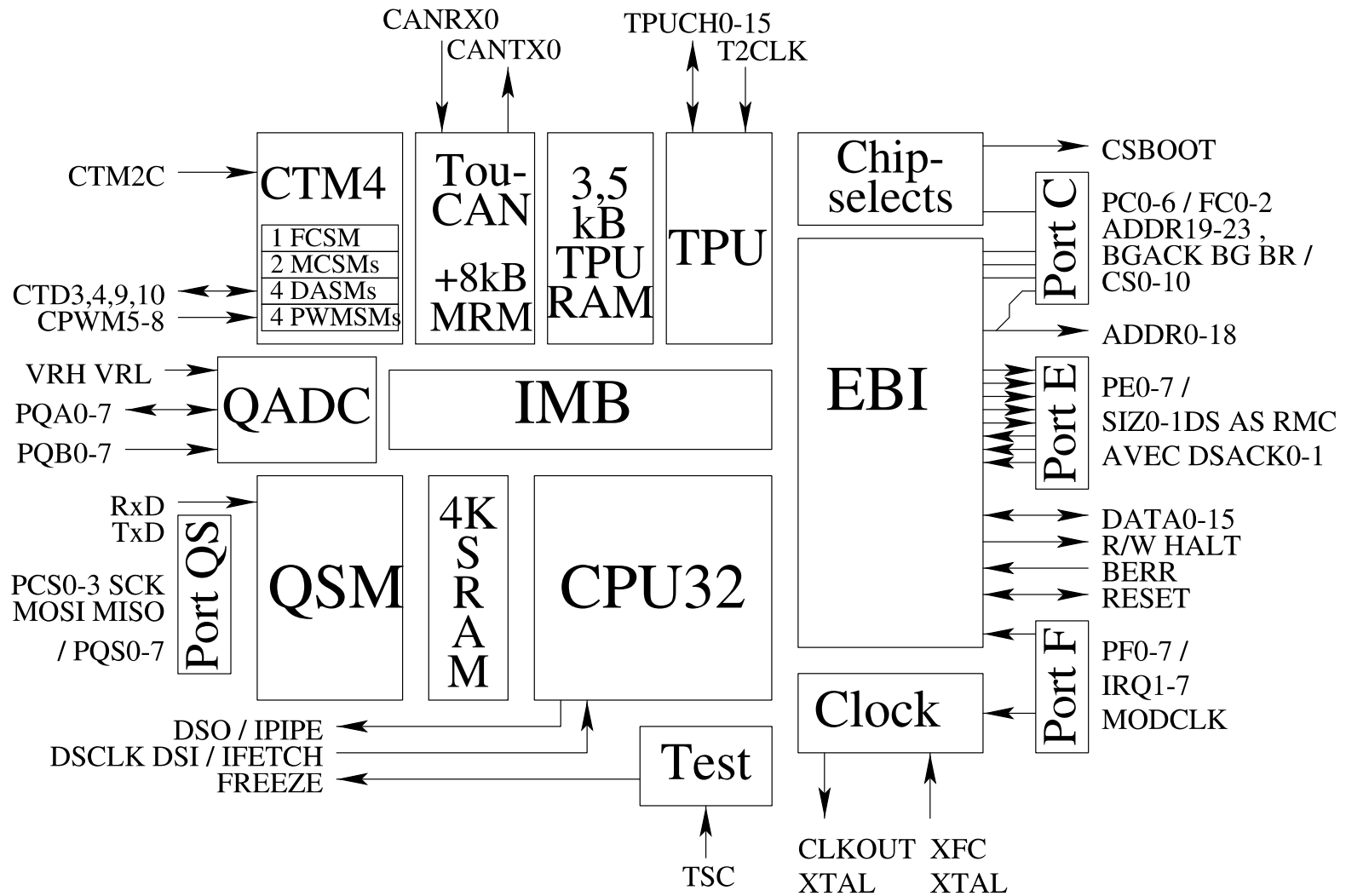
Time Processor Unit (TPU)



Time Processor Unit (TPU)

- Obsahuje vlastní řadič mikrokódu pracující nezávisle na CPU32
- 16 nezávislých, programovatelných kanálů a pinů
- Každý kanál může vykonávat libovolnou časovou funkci
- Více kanálů může být vzájemně synchronizováno nebo může vytvářet složitější funkci využívající více pinů
- Dva čítače času s programovatelnými předděličkami
- Volitelnou prioritu jednotlivých kanálů

Mikrokontrolér 6868376



Dotazy?